

Funktelefon C-Netz

Gerätebeschreibungen

Band 2

SIEMENS

**Fu Tel C-Netz
Gerätebeschreibungen
LM 6**

Band 2

**FKM-OSK
-H132-E1-**

**PHE
-H133-F1-**

**SPK-K
-H149-E1-**

**OSK-K
-H150-E1-**

**FKM-SPK-D
-H203-E1-**

**FKM-SPK-E
-H204-E1-**

**Stromvers.
-H901-B3-**

**Stromvers.
-H903-A2-**

**Stromvers.
-H905-A1-**

**Ortsf. Fu . Spr.-
Gestell
-H907-A1-**

Herausgegeben vom Bereich Öffentliche Vermittlungssysteme
Hofmannstraße 51, D-8000 München 70
Verfasser: SÖ ETG 22, Wien

Weitergabe sowie Vervielfältigung dieser Unterlage, Verwertung
und Mitteilung ihres Inhalts nicht gestattet, soweit nicht aus-
drücklich zugestanden. Zuwiderhandlungen verpflichten zu Scha-
denersatz. Alle Rechte vorbehalten, insbesondere für den Fall der
Patenterteilung oder GM-Eintragung.
Technische Änderungen vorbehalten.

© Siemens AG 1989

SIEMENS

Fu Tel C-Netz

Beschreibung

Funkmodem

FKM-OSK

S42023-H132-..

S42023-H132-E1-1-18

Herausgegeben vom Bereich Öffentliche Vermittlungssysteme
Hofmannstraße 51, D-8000 München 70
Verfasser: SÖ ETG 113 Wien

Weitergabe sowie Vervielfältigung dieser Unterlage, Verwertung
und Mitteilung ihres Inhalts nicht gestattet, soweit nicht aus-
drücklich zugestanden. Zuwiderhandlungen verpflichten zu Scha-
denersatz. Alle Rechte vorbehalten, insbesondere für den Fall der
Patenterteilung oder GM-Eintragung.
Technische Änderungen vorbehalten.

© Siemens AG 1990

Inhalt

	Seite	
1	Übersicht	5
1.1	Funkmodem (FKM-OSK) im Netz C450	5
1.2	Funkmodem in der Basisstation	6
1.3	Funktionseinheiten des Funkmodems	6
2	Schnittstellen	12
2.1	Externe Schnittstellen	12
2.1.1	Schnittstelle zum Sende-/Empfangskoppler	12
2.1.2	Schnittstelle zum Frequenzverteiler	12
2.1.3	Schnittstelle zur Senderendstufe	12
2.1.4	Schnittstelle zum MSC	12
2.1.5	Serielle Schnittstelle zur Funkdatensteuerung (FDS)	13
2.1.6	Schnittstelle zur Gestellverdrahtung	13
2.1.7	Schnittstelle zur Stromversorgung	13
2.2	Interne Schnittstellen	13
3	Funkteil	15
3.1	Empfänger S42024-H169-...	15
3.1.1	Stromversorgung für PLL-Demodulator	15
3.1.2	Eingangsstufe mit Mischer 1	15
3.1.3	Verstärker für 1. Zwischenfrequenz und Mischer 2	17
3.1.4	Begrenzer-Verstärker für 2. Zwischenfrequenz, PLL-Demodulator und Feldstärkesignalgewinnung	17
3.1.5	Basisbandaufbereitung	18
3.1.6	Squelch-Einrichtung	18
3.2	Synthesizer S42024-H168-...	18
3.2.1	Prinzip Synthesizer	20
3.2.2	Synthesizer-Baustein und Vorteiler	21
3.2.3	Oszillator (VCO) und Entkopplungsverstärker 1	23
3.2.4	Entkopplungsverstärker 2	23
3.2.5	Ausgangsverstärker 1 und 2	23
3.2.6	Spannungsregelung +10V/+8V	24
3.3	Modulator S42024-H167-...	24
3.3.1	Aktives NF-Filter	28
3.3.2	Oszillator (VCO) und Entkopplungsverstärker	28
3.3.3	Modulationsgesteuerte Phasenregelschleife	29
3.3.4	Mischer und Sendevorstufe	30
3.4	Umschalter UM-EM S42024-H385-...	31
3.4.1	Allgemeine Hinweise	31
3.4.2	Funktion	31
3.5	Umschalter UM-MO S42024-H398-...	33
3.6	Audio-Teil S42024-H381-...	34

4	Funkkanalsteuerung	37
4.1	CPU S42025-H418-*1 + Software S42023-H432-A15	37
4.1.1	CPU-Baustein 80C85, Adressen- Daten- und Steuerbus	41
4.1.2	Speicher	43
4.1.3	Interruptsteuerung	45
4.1.4	Serielle Schnittstelle	46
4.1.5	VLSI-Bausteine	46
4.1.5.1	Takterzeugung	50
4.1.5.2	Teilerketten	51
4.1.5.3	Ablaufsteuerung	54
4.1.5.4	Überwachung und Rechnerreset	55
4.1.5.5	Korrelationsempfänger	56
4.1.5.6	Jittermesser	59
4.1.5.7	Offsetkorrektur	62
4.1.5.8	Decoder	64
4.1.5.9	Coder	66
4.2	Audio-Interface S42024-H382-...	69
4.2.1	Laufzeitkorrektur	70
4.2.2	Adressendecodierung	70
4.2.3	Abfrage der Gestelladresse	73
4.2.4	Ausgabeports	73
4.2.5	Umsetzung der Feldstärke	73
4.2.6	Offsetkorrektur	74
4.2.7	Power-on-Reset, Resettaste	74
4.2.8	Störungsregister	74
4.2.9	KOAX-Relais-Steuerung, Redundanz	75
4.2.10	Sonstiges	76
5	Technische Daten	77
5.1	Empfänger	78
5.2	Umschalter UM-EM	78
5.3	Synthesizer	78
5.4	Umschalter UM-MO	79
5.5	Modulator	79
5.6	Audio-Teil	79
5.7	CPU	79
5.8	Audio-Interface	80
6	Geräteübersicht	81

1 Übersicht

1.1 Funkmodem (FKM-OSK) im Netz C450

Der Einsatz Funkmodem (FKM-OSK) in der Basisstation (BS) arbeitet als Organisations-/ Sprechkanal. Er ist für die Betriebsarten Organisationskanal und Sprechkanal einsetzbar.

Organisationskanalbetrieb

Über den Organisationskanal wird die Erfassung des Teilnehmers, der Austausch von Steuerinformationen und Registrierung des Teilnehmers im Dateiensystem der Basisstation vorgenommen. Schaltet ein Teilnehmer sein Gerät ein, empfängt er im Organisationskanal die Signalisierung aller erreichbaren Basisstationen. Das Teilnehmergerät (MS) sucht nach bestimmten Kriterien (Empfangsgüte, Entfernung, Statussignalisierung) einen Funkbereich aus und meldet sich mit einer Erstmeldung bei der Basisstation an (automatische Zuordnung zum besterreichbaren Funkbereich). Mit der Bestätigung der Erstmeldung durch die Basisstation wird der Teilnehmer in das Dateiensystem eingetragen, d.h. er wird sowohl in der BS-internen Aktivdatei, wie auch in seiner Heimatdatei als AKTIV gemeldet. Zum ständigen Überprüfen der Erreichbarkeit ruft die Basisstation das Teilnehmergerät in turnusmäßigen Folgen auf. Das Teilnehmergerät prüft weiterhin automatisch die Erreichbarkeit seiner Bezugsbasisstation im Vergleich zu den Basisstationen in den Nachbarfunkbereichen. Bei diesem Vorgang wird der Trend der durch die Fahrzeugbewegung ständig verursachten Veränderung der Erreichbarkeit festgestellt. Sobald auf Grund dieser Fakten feststeht, daß ein anderer Funkbereich besser empfangen werden kann, meldet sich die Teilnehmerstation um. Die Ummeldung veranlaßt eine umgehende Aktualisierung des Dateiensystems.

Schaltet ein Funkteilnehmer sein Gerät ab, wird dies zuerst durch die Aktivdatei der Basisstation registriert. Die Aktivdatei aktualisiert dann das übrige Dateiensystem.

Zum Verbindungsaufbau wird dem Teilnehmer über den Organisationskanal ein Kanal vorgegeben. Im vorgegebenen Kanal werden zwischen Teilnehmer und Basisstation Daten in konzentrierter Signalisierung ausgetauscht. Bei diesem Vorgang wird der Geräuschabstand gemessen. Ist die Qualität der Verbindung unzureichend, vergibt die Funkdatensteuerung (FDS) über den Organisationskanal einen neuen Kanal für einen weiteren Verbindungsaufbau.

Bei Warteschlangenbetrieb erfaßt die FDS (DKV) den Teilnehmer in einer Warteschlange. Ist in einem Funkbereich die Kapazität der Warteschlange voll ausgelastet, weichen Teilnehmergeräte gesprächssuchender Teilnehmer aus den Randzonen des Funkbereichs auf benachbarte Funkbereiche mit freien Kanälen aus.

Sprechkanalbetrieb

Hauptaufgabe ist das Übermitteln von Gesprächen. Zusätzlich wird im Sprechkanalbetrieb während des Bestehens einer Verbindung durch eine laufende, gegenseitige Identifizierung von Basisstation und Teilnehmer die Verbindung überwacht. Die Überwachung wird in unhörbaren Telegrammeinblendungen vorgenommen, die zusätzliche Funktionen, wie z.B. die Übertragung der Gebühren zum Teilnehmer und Überwachung der Sprechqualität, ermöglichen.

Die Sprachübertragung ist in den Betriebsarten "Verschleierte Sprache" oder "Klare Sprache" möglich.

1.2 Funkmodem in der Basisstation (Bild 1)

Der Organisations-/Sprechkanal ist als Ersatzschalteinheit vorgesehen, um auch bei Ausfall des im Organisationskanalbetrieb arbeitenden Einsatzes den Organisationsbetrieb in der Basisstation aufrechtzuerhalten. Es gibt daher zwei OSK-Einsätze (Funkgestelle I und II). Im Normalbetrieb arbeitet ein OSK als Organisationskanal (OgK), der andere als Sprechkanal (SpK). Vor dem Senderkoppler mit seinen frequenzselektiv, nach Ogk- oder SpK-Betrieb getrennten Filtern, ist ein Zweiwege-HF-Relais (im folgenden auch KOAX-Relais oder OSK-Relais genannt) angeordnet, welches entsprechend der Aufgabenzuordnung (OgK oder SpK) vom Funkgestell I und Funkgestell II zum Senderkoppler umschaltet.

Dieses Relais wird von den Audio-Interface-Baugruppen der beiden OSK gesteuert. Die Umschaltung OgK/SpK übernehmen die Einrichtungen OSK selbst (siehe Kapitel 4.2.9).

Ist der OSK im Funkgestell I nicht verfügbar oder nicht vorhanden, nimmt das Relais seine Ruhestellung (Funkgestell II auf Organisationskanal-Frequenz) ein.

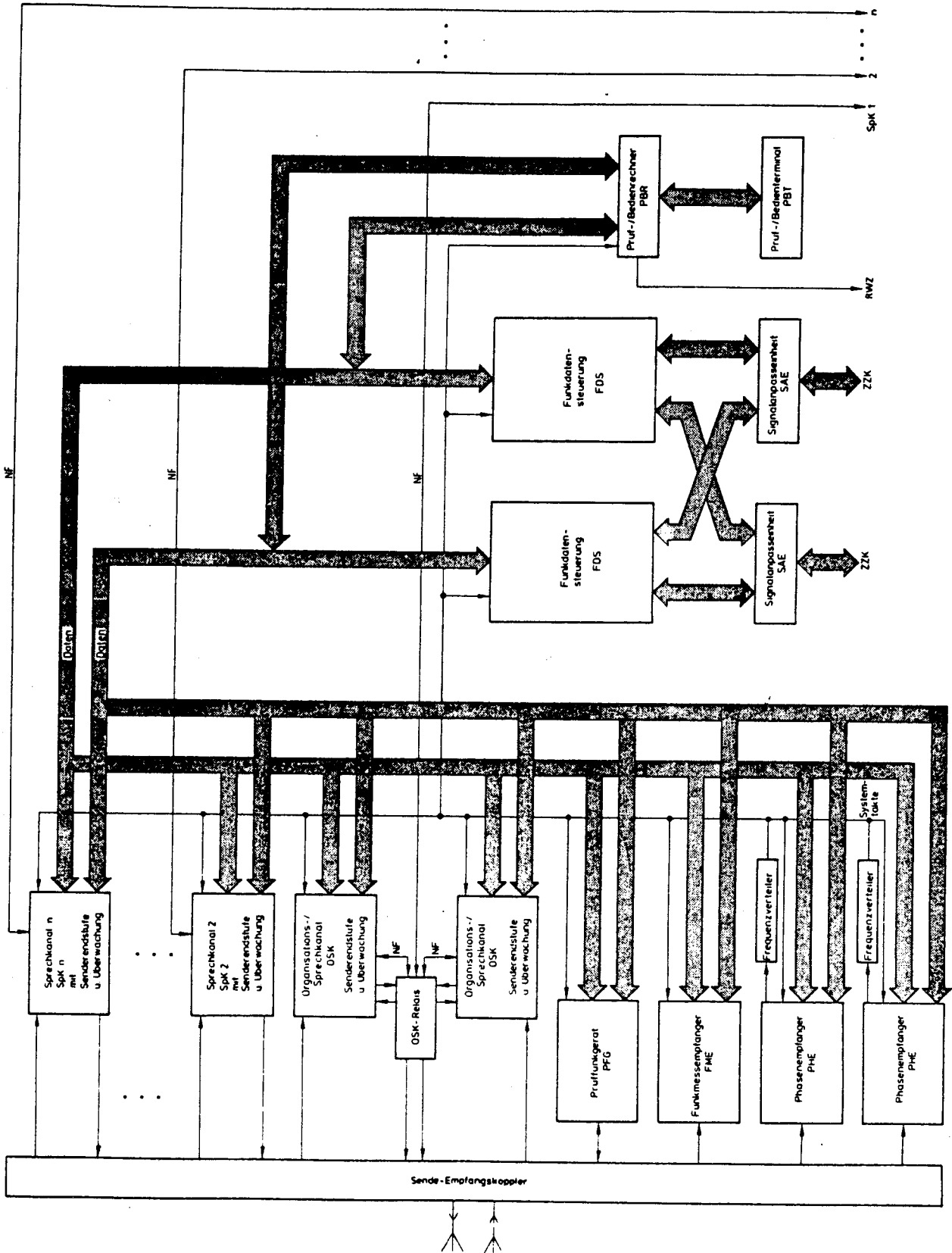


Bild 1 Übersichtsschaltplan einer Basisstation

1.3 Funktionseinheiten des Funkmodems (Bilder 2 und 3)

Funkteil

Der Funkteil besteht aus den vier Synthesizern mit den beiden Umschaltern, dem Empfänger, dem Modulator und dem Audio-Teil.

Der Empfänger ist an den Trennverstärker des Empfängerkopplers angeschlossen. Das Empfangssignal wird in eine Zwischenfrequenzlage umgesetzt und demoduliert. Das demodulierte Signal wird einerseits zur Auswertung der Signalisierungsdaten und zur Signalebewertung der Funkkanalsteuerung zugeführt, andererseits zur Verarbeitung des NF-Anteils zum Audio-Teil geführt.

Der Modulator erzeugt ein frequenzmoduliertes HF-Signal zur Ansteuerung der Endstufe. Für die Modulation wird das NF-Signal aus dem Audio-Teil bzw. das Datensignal mit den Signalisierungsdaten aus der Funkkanalsteuerung herangezogen.

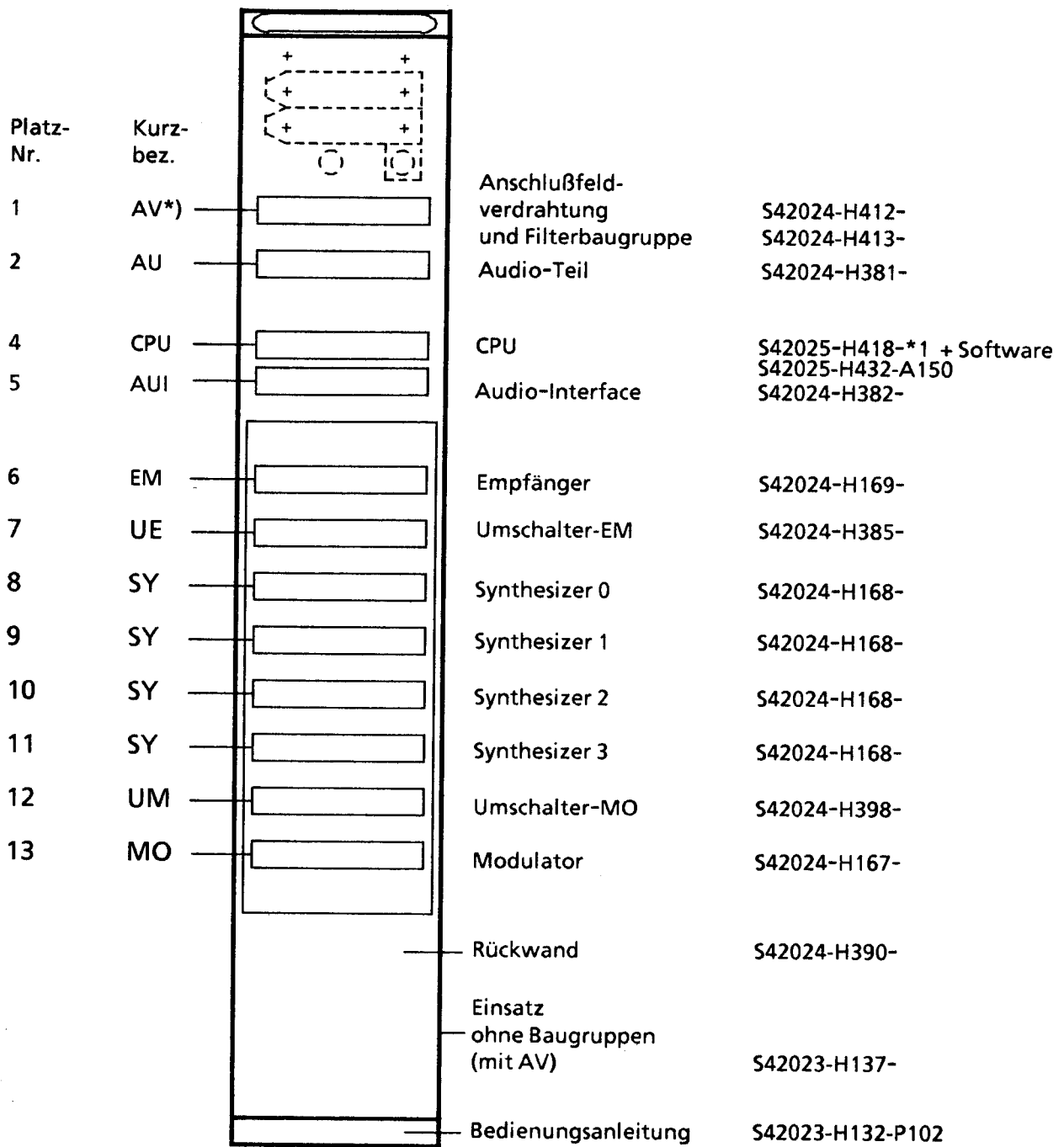
Die Synthesizer versorgen über die Umschalter Empfänger und Modulator mit den entsprechenden Umsetzfrequenzen. Die Einstellung der Frequenz sowie die Ansteuerung der Umschalter wird über die Funkkanalsteuerung vorgenommen.

Funkkanalsteuerung

Die Funkkanalsteuerung besteht aus den beiden Baugruppen CPU und Audio-Interface.

Die CPU-Baugruppe enthält neben CPU (80C85), RAM und EPROM einen Zeitgeber und einen seriellen Ein-/Ausgabebaustein (USART) für block- und zeitplatzorientierten Datenaustausch zur Funkdatensteuerung sowie die beiden VLSI-Bausteine.

Die Baugruppe Audio-Interface enthält neben den Rechnerports zum Funkteil die Störungsregister und die Einrichtung zum automatischen Umschalten auf den Ersatz-OSK.



*) Bestandteil des Leereinsatzes

Bild 2 Aufbau des Funkmodems (OSK)

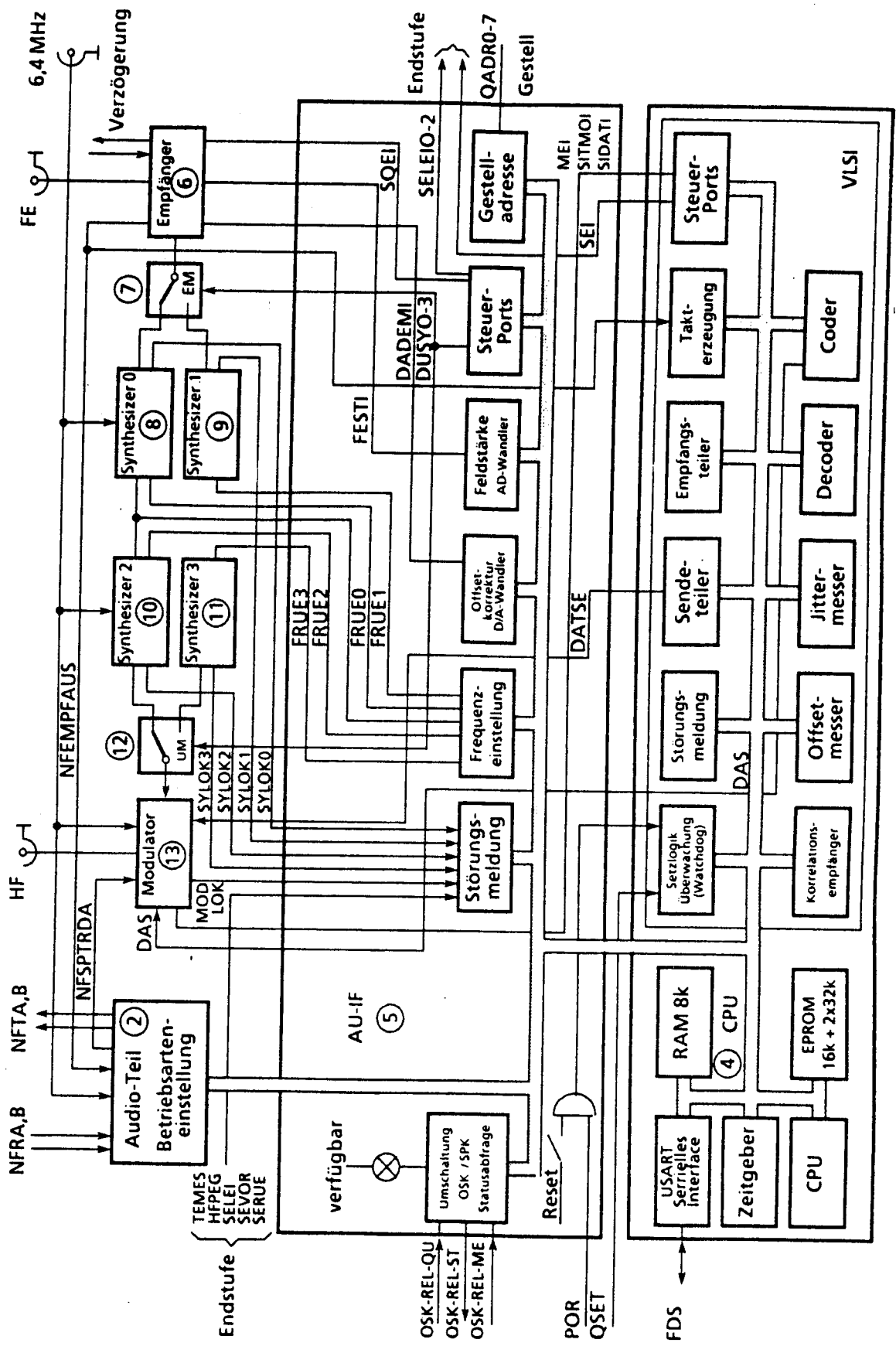


Bild 3 Übersichtsschaltplan Funkmodem (OSK)

Die Signalbewertung ist in den VLSI-Bausteinen auf der CPU enthalten. Sie besteht aus den drei Funktionseinheiten Jittermesser, Offsetmesser und Korrelationsempfänger. Aus dem Barkercode des Empfangsdatenblockes werden Phase und Offset des empfangenen Teilnehmers ermittelt und an die Empfangsteilerkette und die Offsetkorrektur übergeben. Der Empfänger ist gleichspannungsgekoppelt. Jede Gleichspannungsablage beeinträchtigt die Lesesicherheit der Nutzinformation. Der Offsetmesser ermittelt die Ablage; daraufhin regelt der Rechner die Schwelle am Komparator nach. Damit kann mit Hilfe des Decoders (ebenfalls in den VLSI-Bausteinen) die Nutzinformation gelesen werden. Durch den Jittermesser wird über die blockweise summierten Zeichenwechselveränderungen der digitalen Signalisierungsdaten im Rechner der Geräuschspannungsabstand ermittelt; dieser Wert gilt ebenso wie die Feldstärke als Maß für die Empfangsgüte.

Die VLSI-Bausteine enthalten eine Sende- und Empfangsteilerkette. Die Sende-teilerkette wird rahmenweise durch das Rahmensetzsignal QSETZ aus dem Phasempfänger gesetzt. Beide Teilerketten werden von einer Überwachungseinheit überwacht.

2 Schnittstellen

2.1 Externe Schnittstellen

2.1.1 Schnittstelle zum Sende-/Empfangskoppler

Der Empfänger des Funkmodems erhält vom Trennverstärker in der Antennenanlage das HF-Signal FE zugeführt (Koaxialanschluß).

2.1.2 Schnittstelle zum Frequenzverteiler

Hier werden der Takt QT6,4M (Koaxstecker) und das Rahmensetzsignal QSETZ (symmetrische Leitung), die vom Frequenzverteiler kommen, eingespeist.

Über Koaxleitungen gelangt der 6,4-MHz-Takt einerseits zu den Synthesizern und zum Modulator, andererseits zum Audio-Teil, von wo er über die Rückwandplatine zum Audio-Interface geführt wird. Dort wird zur Versorgung der Steuerung auf TTL-Pegel umgesetzt.

2.1.3 Schnittstelle zur Senderendstufe

Vom Modulator gelangt das HF-Signal über eine Koaxialleitung zur Endstufe. Die Steuerleitungen SEI (Sender ein) und SELEI 0-2 (Einstellung der Senderleistung) führen ebenfalls zur Endstufe.

Die Störungsmeldungen -SELEI (Sendeleistung), -TEMES (Endstufentemperatur überschritten) und -HFPEG (HF-Eingangspiegel Senderendstufe) von der Endstufe und die beiden Störungsmeldungen -SEVOR (Vorlauf Sendeleistung unter Sollwert) und -SERUE (Rücklauf Sendeleistung > 8 dB) von der S/E-Weiche gelangen zum Audio-Interface.

2.1.4 Schnittstelle zum MSC

Die Sprach-/WT-Signale werden als symmetrische Signale NFTA/NFTB und NFRA/NFRB vom MSC zum Audio-Teil bzw. in umgekehrter Richtung geführt.

2.1.5 Serielle Schnittstelle zur Funkdatensteuerung (FDS)

Über diese Schnittstelle, die aus symmetrischen Leitungen besteht, wird der Datenaustausch mit der FDS vorgenommen. Die Daten werden über jeweils zwei Treiberbausteine (Signale QSST1 und QSST2) gesendet und über zwei Empfangsbausteine (Signale QSSR1 und QSSR2) empfangen. Die Bausteine befinden sich auf der CPU.

2.1.6 Schnittstelle zur Gestellverdrahtung

An dieser Schnittstelle wird die durch die Gestellverdrahtung festgelegte Gestelladresse (auch als Kanaladresse bezeichnet) übergeben (Auswertung auf Audio-Interface; Leitungen QADR0-7).

2.1.7 Schnittstelle zur Stromversorgung

Zur Generierung eines Power-on-Resets nach Spannungsausfall wird außer den Versorgungsspannungen +5 V und +10 V das Signal POR (-FKM) aus der Stromversorgung zugeführt.

2.2 Interne Schnittstellen

Im folgenden sind die Schnittstellensignale zwischen der Funkkanalsteuerung und den Baugruppen des Funkteils erläutert.

Synthesizer

Die Frequenzeinstellung wird mit Hilfe der Signale FRUE 0-3 und FREQ 0-6 aus dem Audio-Interface vorgenommen. Die Synthesizer liefern im nicht gerasteten Zustand die Fehlermeldungen -SYLOK 0-3.

Empfänger

Die Signale FESTI (Feldstärke) und DADEMI (demoduliertes Datensignal) werden im Audio-Interface verarbeitet. Mit dem Signal SQEI (aus dem Audio-Interface) wird die Funktion Squelch (Rauschsperrung) ein bzw. ausgeschaltet.

Umschalter

Mit Hilfe der Signale DUSY 0-3 werden die Synthesizerfrequenzen zum Empfänger bzw. Modulator durchgeschaltet. Das Signal -UMSCH liegt beim OSK auf GND (Umschalter-Empfänger ist gesteckt) und dient der Software als Unterscheidungsmerkmal zwischen SPK und OSK.

Modulator

Aus der CPU (VLSI-Bausteine) gelangen folgende Signale zum Modulator:

MEI	Modulator ein
SITMOI	Signaltor Modulator (Umschaltung Sprache/Daten im Sprechkanal)
SIDATI	Signaltor Daten
DATSE	Datentor senden
DAS	Datensignal (Signalisierungsdaten).

Das Signal -MODLOK meldet das Einrastkriterium der Phasenregelschleife des Modulators an den Rechner (Audio-Interface), es wird low bei Fehler.

Audio-Teil

Der Audio-Teil ist an den Rechnerbus der CPU mit den Signalen -WRX0, -RDB, -WRB, ALEB, ADB0-7 angeschlossen.

Für die Komprimierung der Daten werden das Signal SIKO (Signaltor Komprimierung) und die Takte T38K40S und T42K24S, für die Expandierung SIEX (Signaltor Expandierung) sowie die Takte T38K40E und T42K24E aus der CPU (VLSI) zugeführt.

Ebenfalls aus der CPU kommt das Signal SPRDA (Umschalten Sprache/Daten zur Sperre des NF-Weges).

Das Signal DYNKOMP (Dynamikkompandierung) dient für Testzwecke und kann über den Diagnosestecker der CPU (z.B. mit Hilfe des CPU-Adapters) gesteuert werden (das Signal ist auf der CPU nur vom Diagnose- zum Busstecker durchgeschleift).

3 Funkteil

3.1 Empfänger S42024-H169-...

Der Empfänger (siehe Bild 4) ist Bestandteil des Funkteils im Organisations-/ Sprechkanal; er steht mit dem Empfängerkoppler über Koaxialkabel in Verbindung (siehe externe Schnittstellen 2.1).

Der Empfangsfrequenzbereich beträgt 450,0 MHz bis 455,74 MHz.

Das vom Empfängerkoppler kommende Empfangssignal (FE) wird über die 1. Zwischenfrequenz (21,4 MHz) in die 2. Zwischenfrequenz (100 kHz) umgesetzt, demoduliert und über den Datenweg (DADEMI) und NF-Weg (NFEMPFAUS) der Funkkanalsteuerung und der Baugruppe Audio-Teil zugeführt.

3.1.1 Stromversorgung für PLL-Demodulator

Die besonderen Anforderungen an die Konstanz des PLL-Demodulators 304 erfordern eine Betriebsspannung (+12 V) hoher Stabilität. Diese Spannung wird mit Hilfe eines Gleichspannungswandlers aus der extern zugeführten Betriebsspannung (10 V) gewonnen. Dazu erzeugt der IC305 Rechteckimpulse mit einer Frequenz von etwa 6 kHz. Diese Impulse werden mit Hilfe der Diode 250 und dem Kondensator 175 der Betriebsspannung (10 V) überlagert und zusammen gleichgerichtet (Diode 251 und Kondensator 176). Nach der anschließenden Stabilisierungsschaltung (Widerstand 57, Referenzdiode 252 und Kondensator 170) steht die gewünschte Ausgangsspannung (+12 V) zur Verfügung. Sie versorgt den IC304 und dient zur Erzeugung der Arbeitspunkte der Operationsverstärker 303 und 307.

3.1.2 Eingangsstufe mit Mischer 1

Das ankommende HF-Eingangssignal (FE) wird vom Transistor 271, dessen Arbeitspunkt vom Transistor 270 stabilisiert ist, verstärkt. Über das nachfolgende Zweikreis-Helical-Filter 240 gelangt das verstärkte Eingangssignal zum Ringmischer 320. Dort wird es mit Hilfe des Signales $F_{\text{syn B10}}$, das der Synthesizer des Funkteils liefert, auf die 1. Zwischenfrequenz (1. ZF) von 21,4 MHz umgesetzt.

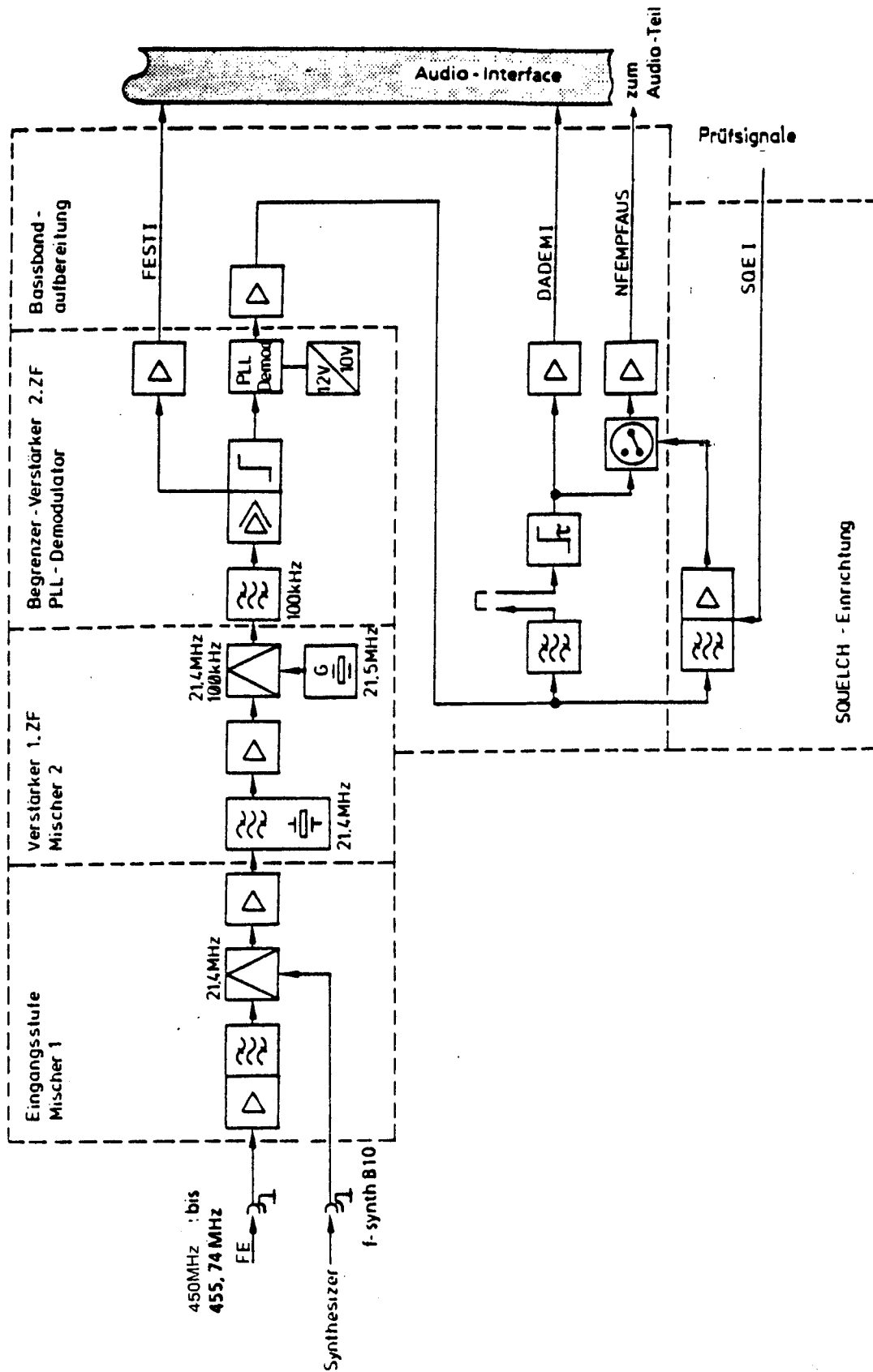


Bild 4 Übersichtsschaltplan Empfänger

3.1.3 Verstärker für 1. Zwischenfrequenz und Mischer 2

Der Transistor 272 verstärkt die vom Ringmischer 320 gelieferte 1. ZF und leitet sie über eine Anpaßschaltung (Kondensator 139 und Spule 225) zum 8poligen Quarzfilter 300, in dem die Hauptselektion des Empfängers vorgenommen wird.

Der nach der Anpaßschaltung (Kondensator 142 und Spule 226) folgende Schaltungsteil mit dem Transistor 273 verstärkt das vom Quarzfilter 300 kommende 21,4-MHz-Signal und führt es zum Mischer 2 (301).

Das IC 301 wird als selbstschwingender Mischer betrieben; dabei bestimmt der angeschlossene 21,5-MHz-Quarz die Umsetzfrequenz und damit die Umsetzung auf die 2. Zwischenfrequenz von 100 kHz.

3.1.4 Begrenzer-Verstärker für 2. Zwischenfrequenz, PLL-Demodulator und Feldstärkesignalgewinnung

Das am Ausgang von Mischer 2 austretende 100-kHz-Signal (2. Zwischenfrequenz) gelangt über ein 100-kHz-Zweikreis-Bandfilter (Kondensatoren 155, 156, 157 sowie Spulen 229 und 230) zum Begrenzer-Verstärker 302. Dieser leitet es an den Demodulator (IC 304) weiter. Das 100-kHz-Zweikreis-Bandfilter dient sowohl zum Unterdrücken der durch den Mischer 2 erzeugten Umsatzfrequenz als auch zur weiteren Selektion des Empfangssignals.

Das Begrenzer-IC302 erfüllt zwei Aufgaben; es verstärkt und begrenzt das ZF-Signal, sodaß unabhängig vom Eingangspegel des Empfängers ein konstanter Pegel am Pin 11 für den nachfolgenden PLL-Demodulator zur Verfügung steht. Außerdem erzeugt es eine dem Empfangspegel proportionale Spannung (PIN 15), die im Operationsverstärker 303 auf einen Ausgangspegel zwischen 0 V und 2,5 V gebracht wird. Diese Spannung dient zum Messen des HF-Eingangspegels des Empfängers im Bereich von etwa -120 dBm bis etwa -60 dBm.

Das IC304 enthält einen spannungsgesteuerten 100-kHz-Oszillator (VCO), einen Phasenkomparator und ein Loop-Filter, die zusammen als PLL-Demodulator geschaltet sind. Die beim Übertragen von NRZ-Daten (Modulationssignal) notwendige Gleichspannungskopplung bei der Demodulation erfordert eine hohe Konstanz des Oszillators, die durch den Präzisions-IC304 bei der 2. ZF von 100 kHz gewährleistet ist. Am Ausgang des PLL-Demodulators 304 (Pin 10) steht das demodulierte Basisbandsignal zur Verfügung.

3.1.5 Basisbandaufbereitung

Das demodulierte Basisbandsignal wird vom nachfolgenden Operationsverstärker 306 verstärkt. Im Operationsverstärker 306 wird auch die gemeinsame PegelEinstellung für den Daten- und NF-Ausgang vorgenommen. In einem Besselfilter 3. Ordnung wird das Basisfrequenzband anschließend auf etwa 4 kHz begrenzt und dem Allpaß 308 zugeführt. Dieser Allpaß ermöglicht die Einstellung der erforderlichen Soll-Laufzeit im Empfänger.

Nach dem Allpaß 308 wird eine Verzweigung in Daten- und NF-Weg vorgenommen. Der Operationsverstärker 303 verstärkt das Datensignal (DADEMI) auf eine Pegel von 2 V (Spitze-Spitze) und übergibt es an die Baugruppe Audio-Interface. Das NF-Signal (NFEMPFAUS) gelangt bei durchgeschaltetem Transistor 276 zum Operationsverstärker 307, der es auf 860 mV (Spitze-Spitze) verstärkt. Der Transistor 276 wirkt dabei als Schalter, der mit Hilfe der Steuerschaltung ermöglicht, kurzzeitige Störgeräusche zu unterdrücken (Squelch-Einrichtung).

3.1.6 Squelch-Einrichtung

Die Squelch-Einrichtung (Rauschunterdrückung) besteht aus dem Feldeffekttransistor 276 und einer zugehörigen Steuerschaltung. Die Steuerschaltung besteht aus dem Bandpaß 307 und der nachfolgenden Gleichrichtung (Transistor 282). Damit wird der Rauschanteil oberhalb des Basisbandes bei etwa 12 kHz zum Steuersignal ausgewertet. Der parallele Widerstand 75 verhindert, daß bei gesperrtem Transistor 276 der NF-Weg völlig abgeschaltet wird.

Durch die Squelch-Einrichtung wird eine Verbesserung der Sprachverständlichkeit erreicht. Kurzzeitige Störgeräusche, verursacht durch Feldstärkeeinbrüche oder Zündfunkenstörungen, werden "gedämpft", wobei die Verbindung noch als bestehend erkennbar bleibt.

Über den Eingang SQEI läßt sich die Squelch-Einrichtung ein- oder ausschalten.

3.2 Synthesizer S42024-H168-....

Je zwei der vier Synthesizer (siehe Bild 5) erzeugen im Organisations-/Sprechkanal die Umsetzfrequenz für Modulator und Empfänger.

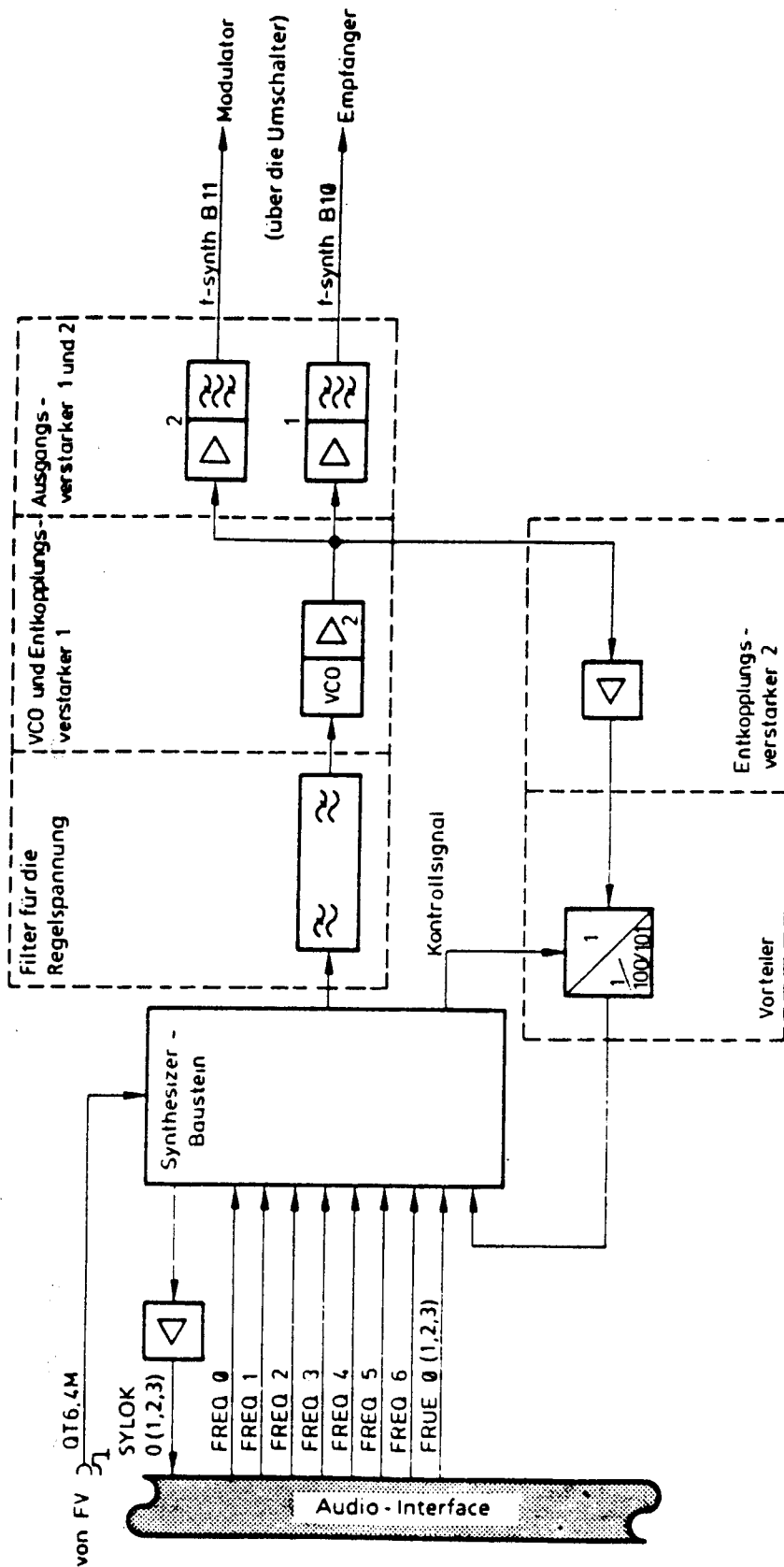


Bild 5 Übersichtsschaltplan Synthesizer

Die Frequenz des Synthesizers ist durch ein 8-bit-Wort in Schritten von 10 kHz oder 12,5 kHz im Frequenzbereich von 428,6 MHz bis 434,34 MHz einstellbar. Der Signalpegel für das 8-bit-Wort beträgt +5 V. Nach Einstellung der gewünschten Frequenz geht das Signal - SYLOK auf "1" (es gibt vier Signale SYLOK0-3 entsprechend den vier Synthesizern).

Der Synthesizer benötigt die externe Zuführung der Referenzfrequenz von 6,4 MHz.

3.2.1 Prinzip Synthesizer

Bild 6 zeigt in vereinfachter Darstellung die indirekte Frequenzsynthese, wie sie im Synthesizer verwendet wird.

Der Frequenzteiler T2 dient zum Einstellen des Kanalrasters (10/12,5 kHz). Die Ausgangsfrequenz F_k stellt die Referenz für die Phasenbrücke (Phi) dar.

Der VCO ist ein spannungsgesteuerter Oszillator, der die Frequenzen von 428,6 MHz bis 434,34 MHz erzeugt. Der programmierbare Teiler T1 muß so eingestellt werden, daß $n \times F_k$ die gewünschte Frequenz F_{syn} ergibt. Am Ausgang der Phasenbrücke entsteht die Gleichspannung X, die proportional der Phase von $F_k / (F_{syn}/n)$ ist. Die Oberwellen der Frequenz F_k werden mit dem Filter Phi unterdrückt.

Die Gleichspannung X dient als Steuersignal für den Oszillator und steuert diesen solange nach, bis F_k und (F_{syn}/n) gleich sind.

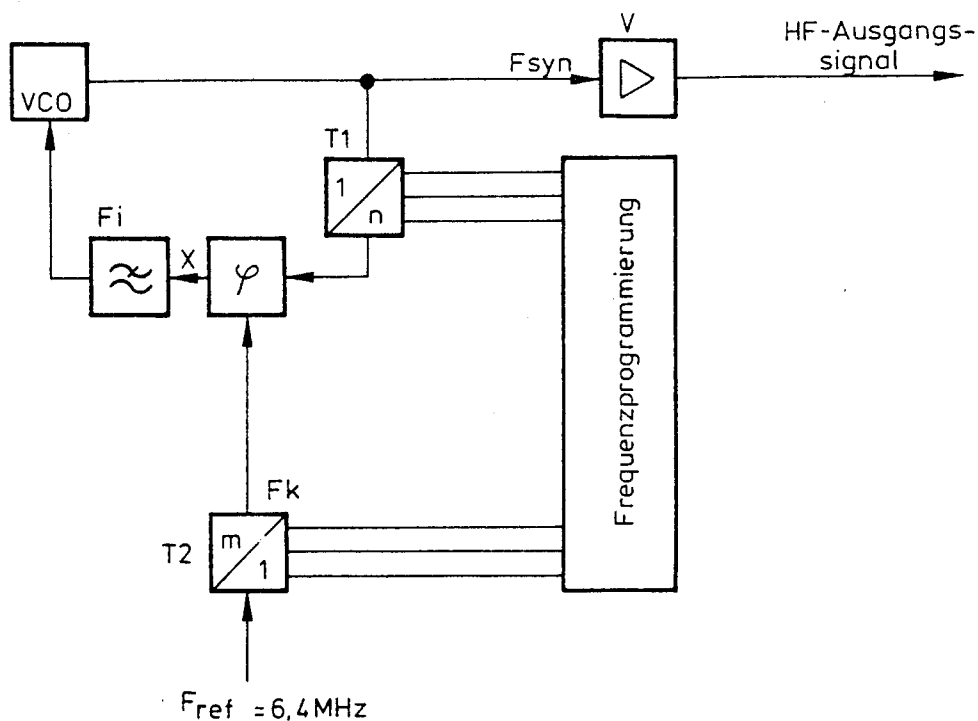


Bild 6 Prinzip Synthesizer

3.2.2 Synthesizer-Baustein und Vorteiler

In den Synthesizer-Baustein (Bild 7) integriert sind die Frequenzteiler für die Referenz (12-bit-R-Teiler) und ein Teil der Frequenzteiler, die die Ausgangsfrequenz auf die benötigte Rasterfrequenz von 10 kHz oder 12,5 kHz teilen. Außerdem sind zwei Phasendetektoren, ein Lockdetektor, eine Kontrolllogik zur Steuerung eines externen Vorteilers und eine Programmierlogik enthalten.

Der 7-bit-A-Teiler, der 10-bit-N-Teiler, die beiden externen Bausteine 552, 553 sowie die Kontrolllogik bilden den vollständigen Frequenzteiler für das HF-Ausgangssignal (f-synth B10). Die Bausteine 552, 553 bilden einen 100/101-Vorteiler, der mit dem Kontrollsignal definiert umgeschaltet wird.

Die Frequenzprogrammierung (Signale FREQ0 bis 6 von der Baugruppe Audio-Interface) geschieht an den Eingängen D0 bis D3, A0 bis A2 und St (Signale FRUE0-3 entsprechend den vier Synthesizern). Die Adresseneingänge A0 bis A2 wählen die Speicher (S0 bis S7) aus, die die Daten von D0 bis D3 empfangen sollen. Mit dem Signal FRUEI0 wird am Eingang St der Übernahmezeitpunkt bestimmt.

Zur Gewinnung der Steuerspannung für den Oszillator stehen zwei Phasendetektoren (A, B) zur Verfügung, von denen der Phasendetektor A verwendet wird. Die Ausgangsspannung des Phasendetektors dient zum Ansteuern des Oszillators.

Die Widerstände 22, 28, 29, 30 und die Kondensatoren 203, 208, 229 und 230 bilden vier in Serie geschaltete Tiefpässe. Die Widerstände 24, 26 und der Kondensator 205 dienen zur Stabilisierung des Regelkreises (Lag-Glieder). Die Tiefpässe unterdrücken die Referenzfrequenz und deren Oberwellen.

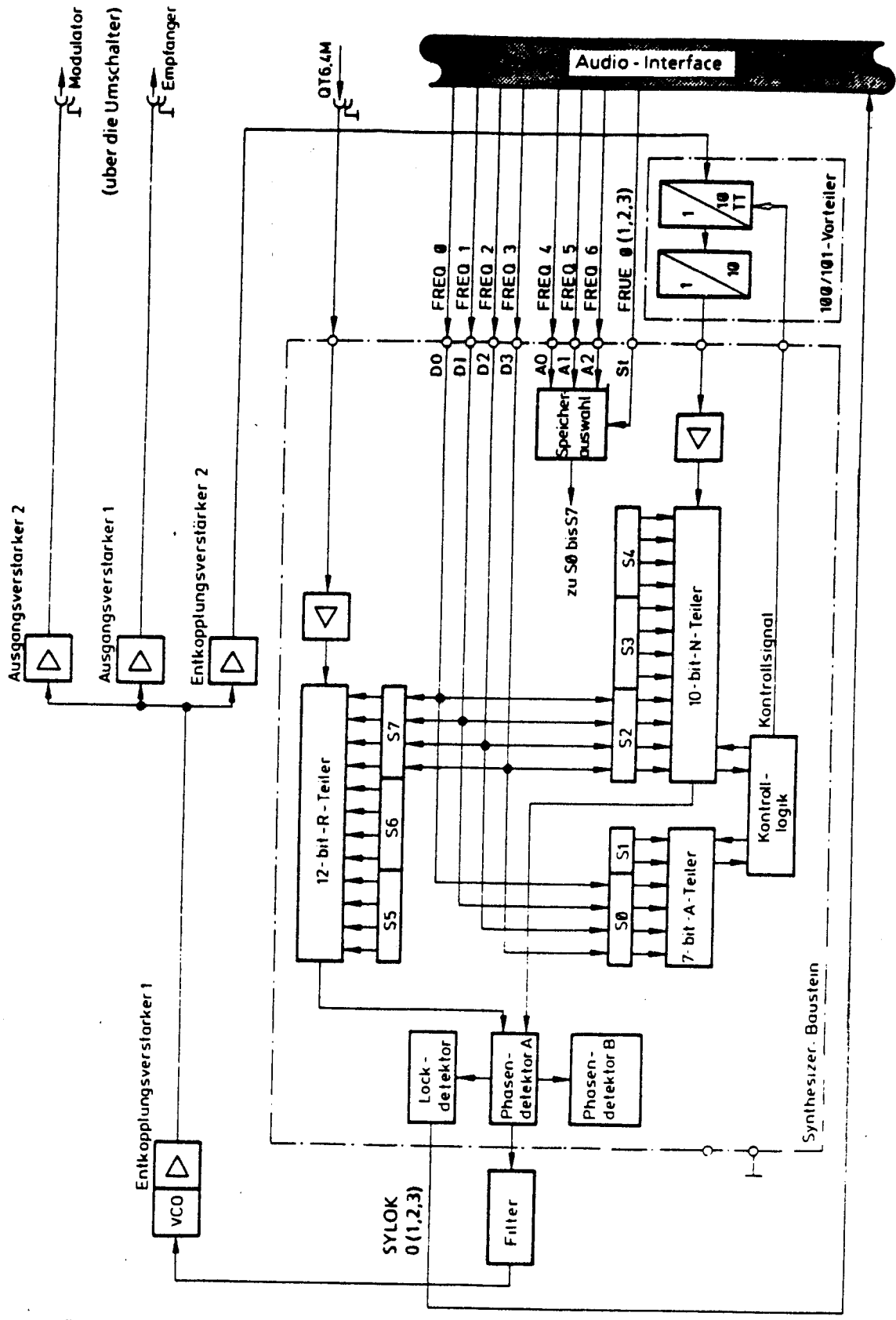


Bild 7 Übersichtsschaltplan Synthesizer-Baustein

3.2.3 Oszillator (VCO) und Entkopplungsverstärker 1

Der spannungsgesteuerte Oszillator (VCO) besteht im wesentlichen aus dem Feldeffekttransistor 507 sowie dem Rückkoppelnetzwerk 235, 236. Die Schwingkreisspule besteht aus einem 20 mm langen Kupferdraht auf den Stützpunkten A, B, C.

Mit den beiden Kapazitätsdioden 472 und 473, die über die Kondensatoren 231, 232, an den Schwingkreis angekoppelt sind, läßt sich der Oszillator in seiner Frequenz verändern. Um Rückwirkungen vom Ausgang und von den Frequenzteilern möglichst gering zu halten, ist ein zweistufiger Entkopplungsverstärker (Transistoren 508, 509) erforderlich.

Das Dämpfungsglied (Widerständen 63, 64 und 65) dient zum Erhöhen der Entkopplung und zum Anpassen der Ausgangsleistung. Um die Störmodulation, bedingt z.B. durch mechanische Erschütterung, klein zu halten, befinden sich der VCO und beide Stufen in einem fest umschlossenen Gehäuse.

3.2.4 Entkopplungsverstärker 2

Der hochfrequente Teiler 553 wird vom Verstärker mit dem Transistor 505 angesteuert. Der Verstärker ist beidseitig mit einem Dämpfungsglied abgeschlossen, um den Pegel am Teiler 553 anzupassen. Der Entkopplungsverstärker 2 hält Nebenwellen, die im Frequenzteiler entstehen, vom Oszillator fern.

3.2.5 Ausgangsverstärker 1 und 2

Der Ausgangsverstärker 1 besteht aus den Transistoren 513 und 517.

Die Verstärkung beträgt etwa 14 dB, die Ausgangsleistung liegt zwischen 50 mW und 100 mW. Die Transistoren 511 und 515 dienen zur Arbeitspunktregelung der beiden Verstärkerstufen. Um eine Amplitudenmodulation der Endstufe (517) durch überlagerte Störspannungen auf der +10-V-Versorgungsspannung zu verhindern, ist eine einfache Spannungsregelung mit dem Transistor 519 und der Zenerdiode 483 erforderlich. Das Helical-Filter 375 mit Bandfiltercharakteristik unterdrückt Nebenwellen, die in den Frequenzteilern entstehen.

Der Ausgangsverstärker 2 besteht aus dem Transistor 523. Die Ausgangsleistung des Verstärkers liegt zwischen 15 mW und 40 mW. Der Transistor 521 dient zur Arbeitspunktregelung der Verstärkerstufe. Die Zenerdiode 485 unterdrückt Störspannungen, die der +10-V-Versorgungsspannung überlagert sind. Das Helical-Filter 381 erfüllt die gleiche Funktion, wie für Ausgangsverstärker 1 beschrieben.

3.2.6 Spannungsregelung +10 V/+8 V

Für besonders empfindliche Schaltungen und Bauelemente des Synthesizers sind die von der Gestell-Stromversorgung gelieferten Spannungen zusätzlich stabilisiert. Zu den empfindlichen Schaltungen gehören der Oszillator und die Entkopplungsverstärker mit den Transistoren 505, 508 und 509. Die Stabilisierungsschaltung ist mit dem IC554 und dem Transistor 530 aufgebaut.

Der Transistor ist notwendig, um einen möglichst geringen Spannungsabfall an der Stabilisierungsschaltung zu erhalten.

3.3 Modulator S42024-H167-....

Der Modulator (siehe Bild 8) im Funkmodem erzeugt ein frequenzmoduliertes HF-Signal zum Ansteuern der Sendeendstufe.

Das zugeführte Modulationssignal ist ein Sprach- bzw. Wechselstromtelegraphiesignal und ein Datensignal (Signalisierungsdaten).

Das Sprach- bzw. Wechselstrom-Telegraphiesignal wird auf der Baugruppe Audio-Teilzeitkomprimiert. In die hierdurch entstehenden Zeitschlitzte werden auf der Modulatorbaugruppe die Signalisierungsdaten (NRZ-Daten) eingefügt, die zur Verbindungsüberwachung zwischen Basisstation und Teilnehmer benötigt werden.

Der Modulator ist im wesentlichen ein phasengeregelter, modulierbarer Quarzoszillator (VCO), dessen Mittenfrequenz 31,4 MHz beträgt. Um eine Frequenzdrift des Oszillators zu vermeiden, wird er mittels einer Phasenregelschleife an die systemeigene Referenzfrequenz von 6,4 MHz angebunden.

Die Phasenregelschleife besteht aus Phasenvergleichern, steuerbaren Vorteilern, Frequenzverdopplerschaltung, Vorteiler für Referenzfrequenz, aktivem Tiefpaßfilter zur Umwandlung des digitalen Regelsignales in analoge Regelspannung und Überwachungssignalerzeugung bei gerasteter Phasenregelschleife (Signal MODLOK). Für die Modulationssignale ist eine Betriebsartenumschaltung notwendig. Hierzu dienen die Signale SIDATI, SITMOI und DATSE von der Funkkanalsteuerung. Diese Ansteuersignale werden auf der Modulatorbaugruppe decodiert. Die Umschaltung der Modulationssignale wird von integrierten Analogschaltern vorgenommen.

Bei Datenbetrieb steuert das Modulationssignal einen Vorteiler der Phasenregelschleife. Durch diese Maßnahme wird vermieden, daß modulationsbedingte Frequenzänderungen des Oszillators durch die Phasenregelschleife ausgeregelt werden.

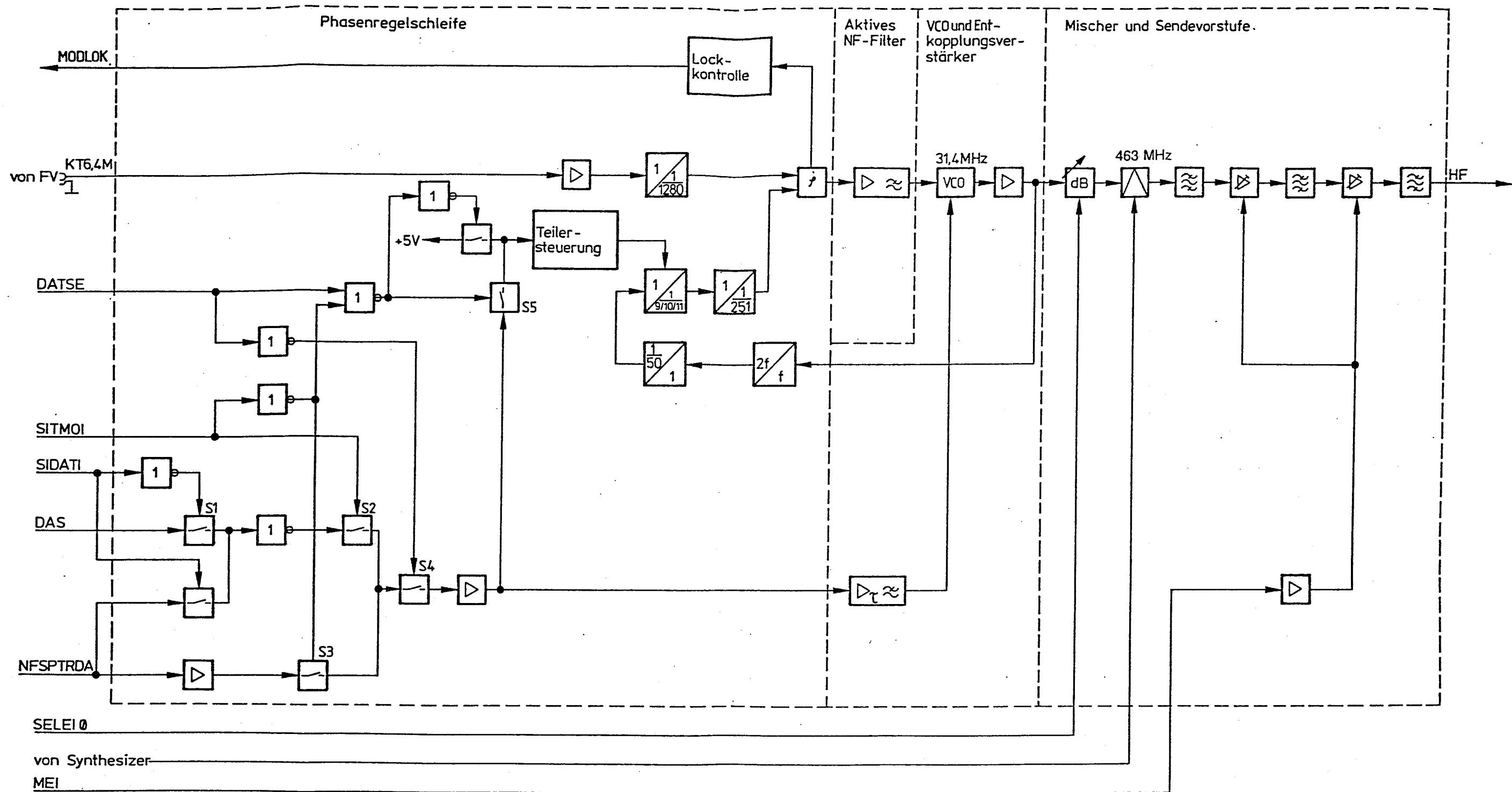


Bild 8 Übersichtsschaltplan Modulator



Die 31,4-MHz-Zwischenfrequenz wird im Mischer 1 auf die Sendefrequenz (460,0 MHz bis 465,74 MHz) umgesetzt. Die Baugruppe Synthesizer liefert die Umsetzfrequenz für den Mischer. Ein zweistufiger Verstärker erzeugt den erforderlichen HF-Ausgangspegel.

Betriebsartenumschaltung

Am Eingang NFSPTRDA des Modulators können folgende Nutzschnale anstehen:

- Komprimierte Sprache
- Komprimierte Wechselstromtelegraphie.

Am Eingang DAS des Modulators können folgende Nutzschnale anstehen:

- Signalisierungsdaten (NRZ), 4-bit-Datenblock alle 12,5 ms bei verteilter Signalisierung.
- Signalisierungsdaten (NRZ), konzentriertes Datensignal 5,28 kBaud.

Bei Betrieb im Sprechkanal wird der Datenblock dem auf der Baugruppe Audio-Teil komprimierten Modulationssignal zum Zeitpunkt des Komprimierungsschlitzes zugeschaltet (Bild 9).

Aus der nachfolgenden Tabelle sind Betriebsarten, Zustand der Steuereingänge und der Signalweg des Modulationssignals zu ersehen.

Tabelle Steuerung des Modulationssignals

Betriebsart	Zustand der Steuereingänge			Signalweg (siehe Bild 8)
	SIDATI	SITMOI	DATSE	
komprimierte Sprache bzw. WT	-	0	0	Vom Eingang NFSPTRDA über Schalter S3 und S4.
Signalisierungsdaten	0	1	0	Vom Eingang DAS über Schalter S1, Inverter, Schalter S2, Schalter S4. Über Schalter S5 wird der Vorteiler gesteuert.
Modulation AUS	-	-	1	Schalter S4 trennt alle Signalwege auf. Modulator schaltet auf Mittenfrequenz.

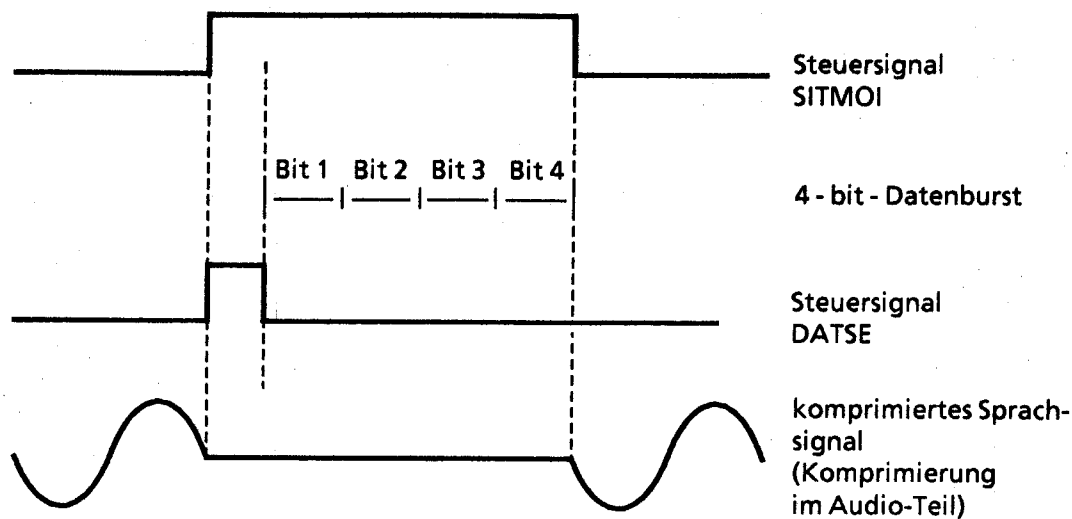


Bild 9 Zuschalten des Datenblocks

3.3.1 Aktives NF-Filter

Das aktive NF-Filter besteht aus den Bausteinen 231, 232, den Widerständen 25 bis 33 und den Kondensatoren 111 bis 121. Das Filter ist laufzeitgebnet (Besselcharakteristik), es hat die Aufgabe die Frequenz der ankommenden Modulationssignale zu begrenzen. Das Datensignal und das im Audio-Teil amplitudenbegrenzte Sprachsignal würden ohne Frequenzbegrenzung eine unzulässig große Störung im Nachbarkanal hervorrufen.

Die Gruppenlaufzeit des Filters läßt sich mit Widerstand 26 abgleichen. Für die Entfernungsmessung zwischen Mobil- und Teststation ist es wichtig, daß die Gruppenlaufzeit des Filters und damit die des Modulators konstant bleibt.

3.3.2 Oszillator (VCO) und Entkopplungsverstärker

Der spannungsgesteuerte Oszillator (VCO) besteht aus dem Feldeffekttransistor 212, dem Quarz 252 und den Rückkopplungskondensatoren 128, 129. Über die Spulen 181, 182 und den Koppelkondensator 122 ist die Kapazitätsdiode 202 angekoppelt.

Am Ausgang des aktiven NF-Filters (IC 232, Pin 7) steht das Modulationssignal (Sprache/WT oder Daten) für die Frequenzmodulation des Oszillators zur Verfügung.

Die am Ausgang der Phasenregelschleife (IC 240, Pin 6) anliegende Regelspannung gelangt über die Kapazitätsdiode 203 und den Koppelkondensator 123 zum Oszillator. Die Spannung regelt die Phase des 31,4-MHz-ZF-Signals.

Um Rückwirkungen vom Ausgang des Modulators auf den Oszillator möglichst gering zu halten, ist der Entkopplungsverstärker (Transistor 213) nötig. Der Ausgangspegel des Oszillators mit Entkopplungsverstärker ist mit Widerstand 94 einstellbar.

Temperaturbedingte Änderungen des Pegels werden mit dem Heißleiter 311 ausgeglichen.

3.3.3 Modulationsgesteuerte Phasenregelschleife

Der Oszillator (VCO) wird mittels einer Phasenregelschleife, die ihre Referenzfrequenz (6,4 MHz) vom Frequenzverteiler erhält, geregelt.

Die Phasenregelschleife besteht aus einem einstellbaren Vorteiler (IC 239), einem digitalen Frequenzauflösungsbaustein (IC 238) und einem aktiven Tiefpaß (IC 240) zum Erzeugen der analogen Regelspannung für den VCO.

Die Phasenregelschleife regelt langsame Frequenzänderungen aus, die durch Temperaturschwankungen und Alterung des VCO auftreten.

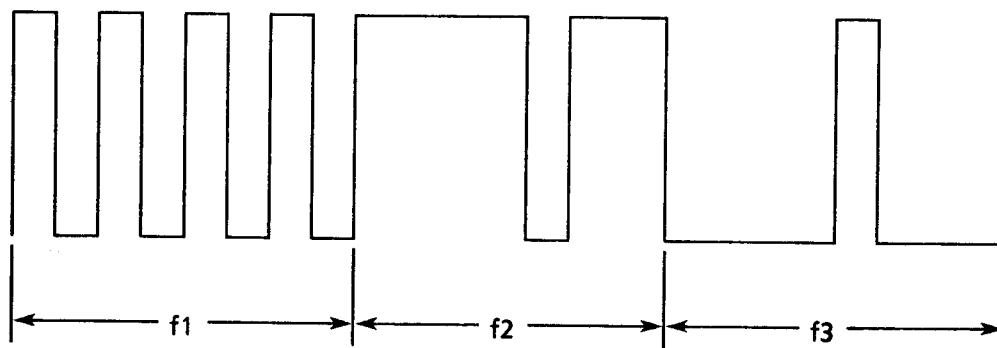


Bild 10 Modulation des 31,4-MHz-Oszillators (Beispiel)

Wird das dargestellte Signal (Bild 10) auf die Modulationsdiode gegeben, ergibt sich während

- t1: Symmetrischer Wechsel der Oszillatorfrequenz um die Mittenfrequenz von 31,4 MHz ($31,4 \text{ MHz} \pm 2,5 \text{ kHz}$).
- t2: Die Oszillatorfrequenz nimmt häufiger den Wert $31,4 \text{ MHz} + 2,5 \text{ kHz}$ an.
- t3: Die Oszillatorfrequenz nimmt häufiger den Wert $31,4 \text{ MHz} - 2,5 \text{ kHz}$ an.

Unter der Voraussetzung, daß t_2 und t_3 größer sind als die Einschwingzeit der Phasenregelschleife, wird die Nutzmodulation durch die Phasenregelschleife ausgeregelt. Dies wird durch eine Steuerlogik (Bausteine 227, 230 und 234 bis 236) vermieden, die in Abhängigkeit vom Modulationssignal die programmierbaren Teiler der Phasenregelschleife so umschaltet, daß das Modulationssignal nicht mehr beeinflußt wird.

Die steuerbaren Vorteiler IC239 und Hauptteiler IC237 der Phasenregelschleife arbeiten nach dem Swallow-Teiler Prinzip. Für das störungsfreie Arbeiten der modulationsgesteuerten Umschaltung der Zähler ergibt sich die Forderung, daß die Vergleichsfrequenz am Phasenvergleich (in IC 238) höher ist als die höchste Bitfrequenz des Datensignals. Im Modulator beträgt die Vergleichsfrequenz 5 kHz (höchste Bitfrequenz = 2,64 kHz). Da die Vergleichsfrequenz den Frequenzhub bei Datenmodulation bestimmt und dieser $\pm 2,5$ kHz betragen soll, ist zwischen dem Ausgang der Oszillatorstufe und dem Eingang des Vorteilers (IC 239) eine Frequenzverdopplerstufe geschaltet und damit die o.g. Bedingung erfüllt.

Der Frequenzverdoppler arbeitet nach dem Prinzip der Doppelweggleichrichtung. Wesentliche Bauteile sind der Balun-Trafo 198 zum Erzeugen eines symmetrischen 31,4-MHz-Signals und die Dioden 206, 207 zur Gleichrichtung. Am Summationspunkt der Dioden entsteht das 62,8-MHz-Signal.

3.3.4 Mischer und Sendevorstufe

Das frequenzmodulierte 31,4-MHz-Signal wird im Hochleistungs-Ringmischer 233 auf die Sendefrequenz umgesetzt. Die Baugruppe Synthesizer liefert die Umsetzfrequenz mit einem Pegel von etwa 17 dBm. Der Mischer 233 wird mit hohem Eingangspegel betrieben (+8 dBm); dies wirkt sich günstig auf das Weitabstrahlen (5-MHz-Trägerabstand) aus. Darauf folgt die Sendevorstufe mit den Transistoren 215, 218; die Ausgangsleistung beträgt +13 dBm. Die Transistoren 214, 217 dienen zur Arbeitspunktregelung der beiden Verstärkerstufen. Die Helical-Filter 246, 247 und 248 unterdrücken unerwünschte Nebenwellen.

Der Ausgangspegel läßt sich mit einem Steuersignal (MEI) aus der Funkkanalsteuerung um etwa 65 dB absenken. Die Pegelabsenkung wird mit zwei Schaltungen bewirkt. Mit dem Schalttransistor 216 wird der Arbeitspunkt der zwei Verstärkerstufen so verschoben, daß die Transistoren gesperrt sind. Zusätzlich bilden die Transistoren 222, 223 und die Dioden 208, 209 ein schaltbares Dämpfungsglied.

3.4 Umschalter UM-EM S42024-H385-...

3.4.1 Allgemeine Hinweise

Mit Hilfe der Baugruppe Umschalter-Empfänger (UM-EM) ist es möglich, die Betriebsfrequenz des Empfängers rasch zu ändern. Es wird dabei der Umsetzfrequenz-Eingang des Empfängers zwischen zwei Synthesizern umgeschaltet. Die Steuerung wird mit den zwei Signalen DUSY0 und DUSY1 vom Audio-Interface durchgeführt.

Die Baugruppe ist auf einer 4fach Multilayer-Leiterplatte im Europaformat aufgebaut. Die HF-Teile dieser Baugruppe sind mittels eines gefrästen Schirmblocks voneinander elektrisch entkoppelt; die Abschirmung des Bodens der Baugruppe wird von der Leiterplatte selbst hergestellt. Die Verbindung zur Einsatzrückwand stellt eine 24polige Messerleiste mit acht Sonderplätzen (hiervon drei belegt) her.

3.4.2 Funktion

Der Umschalter ist für die Anwendung in Funkmodems mit vier Synthesizern bestimmt. Der Duplexabstand ist im Raster von 10 kHz oder 12,5 kHz frei wählbar, da Modulator und Empfänger von getrennten Synthesizern gespeist werden.

Der Betrieb mit nur einem Synthesizer wäre ebenfalls möglich. Unerwünschte Rückwirkungen des Umschalters auf die Synthesizer, z.B. durch Fehlanpassung während des Umschaltens, werden durch Trennstufen unterbunden.

Bild 11 zeigt den Übersichtsschaltplan des Umschalters. Bevor die f_{LO} -Signale der Synthesizer an die Schalter gelangen, durchlaufen sie jeweils drei Dämpfungsglieder und zwei Transistorstufen. Die Dämpfungsglieder (überbrückte T-Glieder) dienen dazu den Frequenzgang der Transistorstufen auszugleichen und gleichzeitig Schalter und Synthesizer zu entkoppeln.

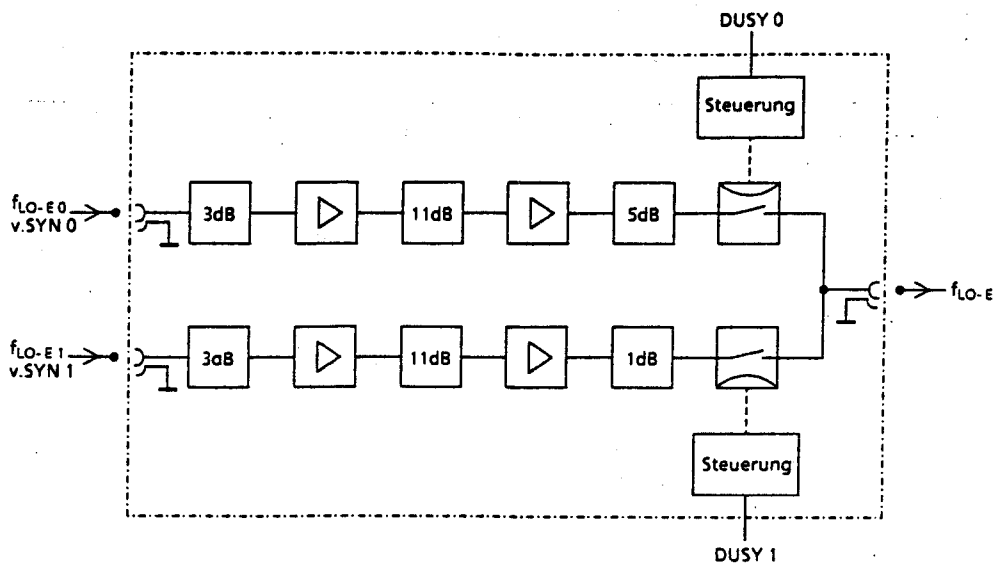


Bild 11 Übersichtsschaltplan Umschalter UM-EM

Um das Eigenrauschen der Baugruppe möglichst gering zu halten, werden die Transistoren knapp am 1-dB-Kompressionspunkt betrieben. Der eigentliche HF-Schalter ist 4stufig aufgebaut. Die vier Schaltstufen legen das ankommende Signal auf Masse. Die letzten PIN-Dioden der zwei Schaltgruppen sind miteinander verbunden, sie bilden den HF-Ausgang.

Die Steuersignale DUSY0 und DUSY1 aus dem Audio-Interface werden über schnelle Transistorschaltstufen in die entsprechenden Fluß- und Sperrströme umgewandelt und den Diodenschaltern über HF-Filter zugeführt. Die HF-Filter (LC-Tiefpässe) sind in eigenen Schirmkammern untergebracht, um die geforderte Entkopplung zwischen Ein- und Ausgang bzw. zwischen den Eingängen zu erreichen. Logisch "0" am Steuereingang bedeutet entsprechender HF-Weg gesperrt, logisch "1" HF-Weg durchgeschaltet.

3.5 Umschalter UM-MO S42024-H398-...

Mit Hilfe der Baugruppe Umschalter-Modulator (UM-MO) ist es möglich, die Betriebsfrequenz des Modulators rasch zu ändern. Es wird dabei der Umsetzfrequenz-Eingang des Modulators zwischen zwei Synthesizern umgeschaltet. Die Steuerung wird mit den zwei Leitungen DUSY2 und DUSY3 vom Audio-Interface durchgeführt.

In Aufbau und Funktion ist die Baugruppe mit dem Umschalter UM-EM (siehe Kapitel 3.4) identisch. Die beiden Baugruppen unterscheiden sich nur durch die Signalnamen sowie durch die Ausgangspegel der HF-Signale.

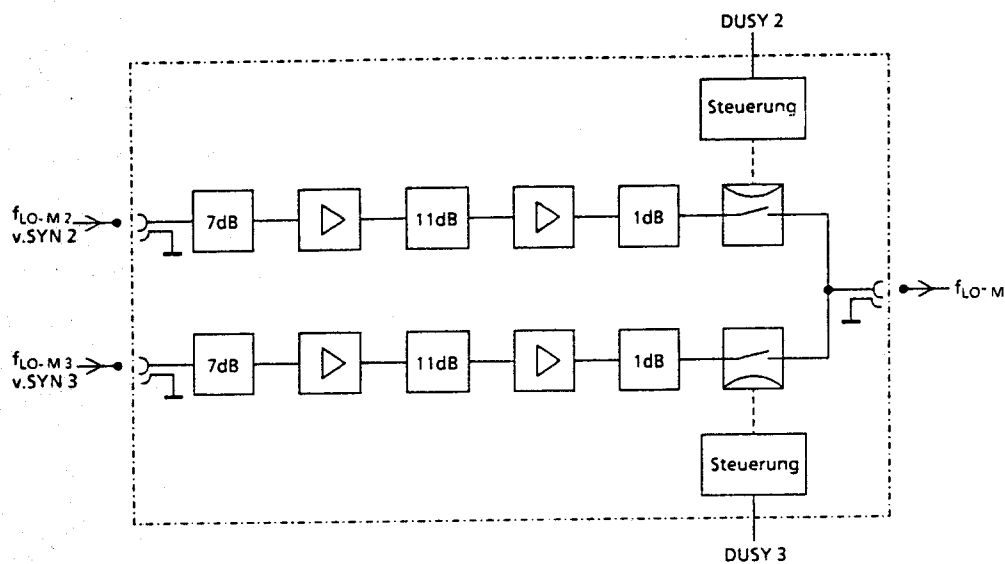


Bild 12 Übersichtsschaltplan Umschalter UM-MO

3.6 Audio-Teil S42024-H381-...

Der Audio-Teil (Bild 13) hat in den Sprechkanälen der Basisstation folgende Aufgaben:

- Die von der Drahtseite kommenden Nutzsignale (Sprache, Wechselstromtelegraphie) für den Sendezweig der Basisstation aufzubereiten.
- Die vom Empfänger kommenden Nutzsignale (Sprache, Wechselstromtelegraphie) für die Drahtseite aufzubereiten.
- Die von der Steuerung bestimmten Betriebsarten durch Umschalten auf unterschiedliche Signalwege zu realisieren.

Die Signalaufbereitung besteht im wesentlichen aus folgenden Teilen (siehe auch Übersichtsschaltplan Bild 13):

Sprache und Wechselstromtelegraphie

Amplituden-Frequenzgangkorrektur durch Preemphasis und Deemphasis bei "Sprache klar".

Dynamik-Komprimierung und -Expandierung: Dabei handelt es sich um eine Dynamikkompression des Sendesignals von 2 zu 1 (z.B. von 60 dB auf 30 dB) und eine Dynamikexpansion des Empfangssignals von 1 zu 2 (z.B. von 30 dB auf 60 dB); für Meßzwecke über DYNKOMP (siehe Diagnosestecker der CPU) abschaltbar.

Sendeseitige Signalamplitudenbegrenzung, um den Modulationsspitzenhub von ± 4 kHz nicht zu überschreiten.

Verschleierter oder klarer Sprachbetrieb, durch Zu- bzw. Abschalten einer Invertierungs- bzw. einer Reinvertierungsschaltung. Dabei handelt es sich um die Spiegelung des Sprachbandes von 300 Hz bis 3 kHz an einem Hilfsträger von 3,3 kHz (Signal S1S bzw. S2S und S1E bzw. S2E in folgender Tabelle, Seite 34).

Zeitkomprimierung auf der Sendeseite, um einen Zeitschlitz zu erzeugen, in den im Modulator Signalisierungsdaten eingefügt werden. Zeitexpandierung auf der Empfangsseite zum Beseitigen des vorher beschriebenen Zeitschlitzes. Durch diese Maßnahme ist es möglich, Signalisierungsdaten (NRZ), die zur Verbindungsüberwachung notwendig sind, ohne zusätzlichen Schaltungsaufwand (Umformer, Hilfsträger) zu übertragen.

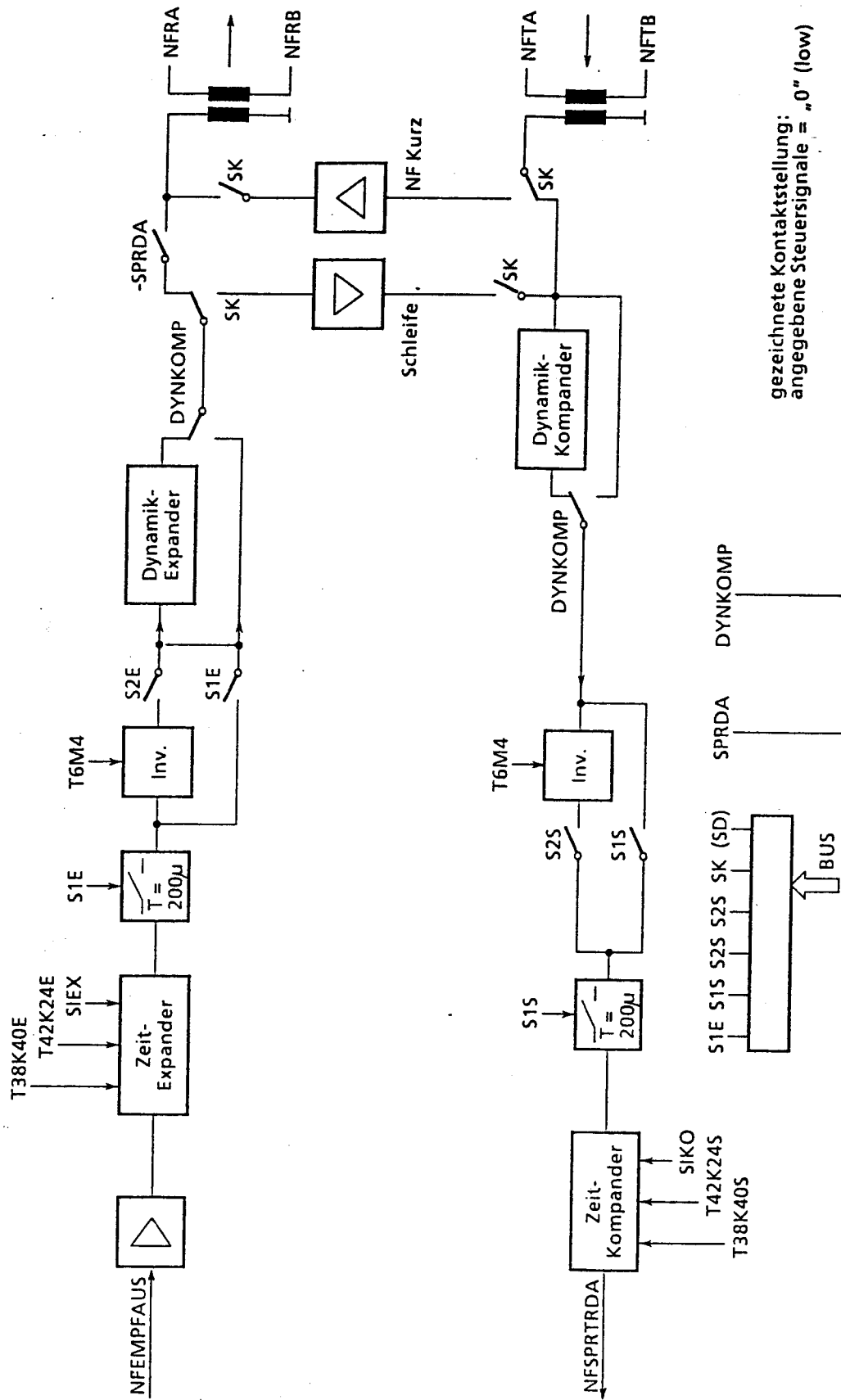


Bild 13 Übersichtsschaltplan Audio-Teil

Spezielle Betriebsarten

Continuity Check

Zum Überprüfen der Verbindung MSC-Sprechkanal.

NF-Schleifentest (NF-Schleife) zu Testzwecken in Verbindung mit dem Prüffunkgerät.

Sprach- bzw. WT-Test

Beide Betriebsarten werden mit dem Signal SK (siehe folgende Tabelle) gleichzeitig gesteuert.

Referenzfrequenz 6,4 MHz (Koaxialeingang)

Die Referenzfrequenz wird auf der Baugruppe Audio-Teil verstärkt und dem integrierten Filter- und Invertierungsbausteinen als Taktfrequenz zugeführt. Außerdem wird die Referenzfrequenz über ein Anpaßglied den Steuerungsbaugruppen zugeführt.

Betriebsarten (BART0-5)

Die Betriebsarten werden mittels Schreibbefehl -WRX0 über Programm (Adresse FFX0) in ein Latch geschrieben: Belegung der Bits: BART 0-5 auf Bit 0-5, Bit 6 und 7 unbenützt. Über Pegelumsetzer gelangen die Signale, sowohl normal als auch invertiert, zu den einzelnen Schaltern, siehe folgende Tabelle.

Bezeichnung der Steuereingänge	Befehle aus der Steuerung					
	BART0 (S1S)	BART1 (SD)	BART2 (S2S)	BART3 (SK)	BART4 (S1E)	BART5 (S2E)
Sprache klar	H	L	L	L	L	L
Senden	L	L	L	L	H	L
Empfangen	L	L	L	L	H	L
Sprache invertiert	L	L	H	L	L	L
Senden	L	L	L	L	L	H
Empfangen	L	L	L	L	L	H
Continuity Check	L	L	L	H	L	L
NF-Schleifentest						
Continuity Check und Sprache klar	H	L	L	H	H	H
Continuity Check und Sprache invertiert	L	L	H	H	L	H

4 Funkkanalsteuerung

4.1 CPU S42025-H418-*1

Die CPU-Baugruppe (Bild 14) wird in allen Einsätzen der Funkperipherie in der Basisstation verwendet. Der Rechner übernimmt Aufgaben der Betriebs-, Vermittlungs-, Funk- und Sicherheitstechnik, die innerhalb des jeweiligen Systems über die Schnittstellen zur Funkdatensteuerung und der Funkebene abgewickelt werden.

Dazu gehören folgende Aufgaben:

- Steuerung des Datendialoges über serielle Schnittstelle zur FDS und die Funk-schnittstelle (Datensicherungsverfahren).
- Verarbeitung der Empfangskriterien aus der Rechnerperipherie (Feldstärke, Jitter, Offset, Phasenlage, Entfernungsbewertung).
- Steueranweisungen und Einstellungen für das Funkgerät (Synthesizer, Sendeleistung, Offsetkorrektur).
- Auswerten und Umsetzen der internen Störungssignalisierungen.

Die Baugruppe enthält folgende Funktionseinheiten, die in den einzelnen Unterabschnitten näher erläutert sind:

- 80C85 Prozessor
- Speicherbereich
EPROM: Grundbereich 16k, zwei Bänke à 32k
RAM: 8k
- USART für serielle Schnittstelle
- TIMER für Interrupterzeugung
- zwei VLSI-Bausteine mit den Funktionen:
Erzeugen aller Takte für Funkkanalsteuerung und Funkgerät.
Erkennen des Zeitbezugs aus den empfangenen Signalisierungsdaten (Korrelationsempfänger).
Aufbereiten der Signalisierungsdaten (Codieren) zum gesicherten Aussenden.
Empfangen der Signalisierungsdaten mit Fehlerkorrektur (Decodieren).

Ermitteln der Signalgüte der empfangenen Signalisierungsdaten.

Messen des Geräuschabstandes (Jittermesser).

Messen der Gleichspannungsablage des Analogsignals und Ausgabe des Offsetkorrekturwertes.

Entfernungsmessung

Fehlerüberwachung

fehlendes Setzsignal

Fehler Sendeteilerkette

Synchronlauf Sende- und Empfangsbaustein

Watchdog.

Die CPU-Baugruppe hat einen Diagnosestecker, dessen Belegung für alle in der Basisstation verwendeten Rechnersysteme gleich ist. Der Diagnosestecker enthält den gepufferten Adressen-, Daten- und Steuerbus für den Betrieb des Prozeßverfolgers sowie auch die ungepufferten Anschlüsse des CPU-Bausteines (für externen Betrieb mit dem ICE).

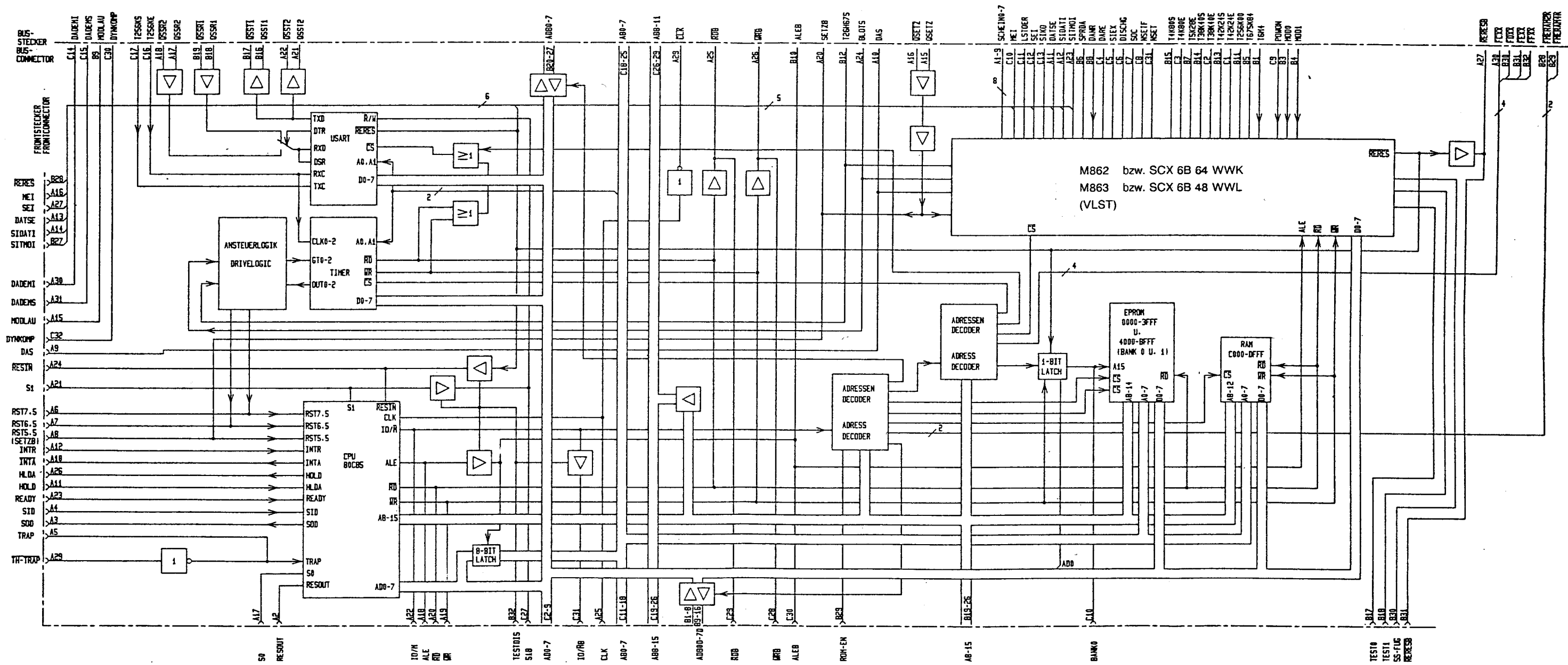


Bild 14 Übersichtsschaltplan CPU



4.1.1 CPU-Baustein 80C85, Adressen-, Daten- und Steuerbus

Bild 15 zeigt die einzelnen Steuersignale der CPU, die vom 80C85-Baustein zu den Steckern sowie zu den Funktionseinheiten geführt werden.

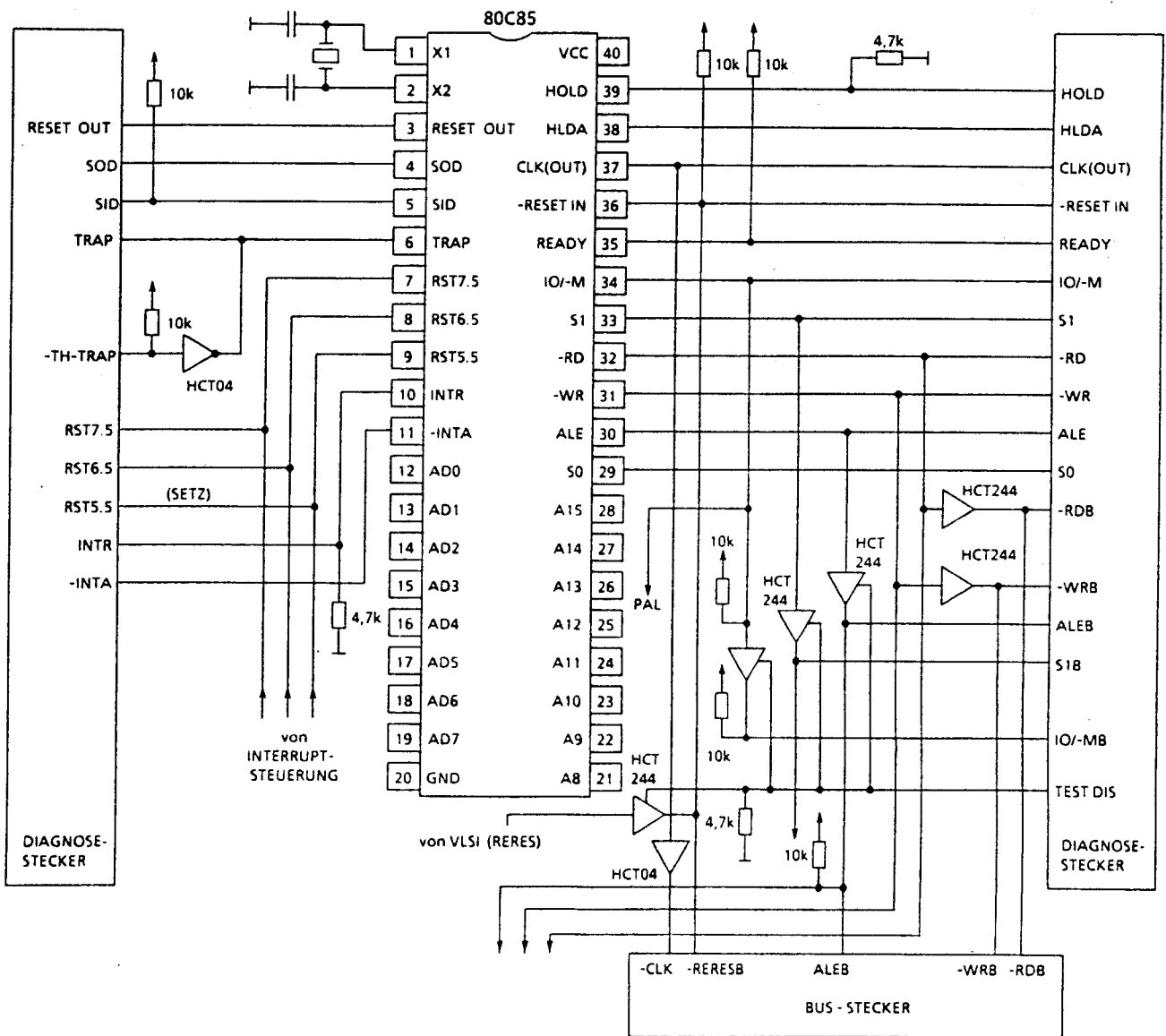


Bild 15 "80C85"- Steuersignale

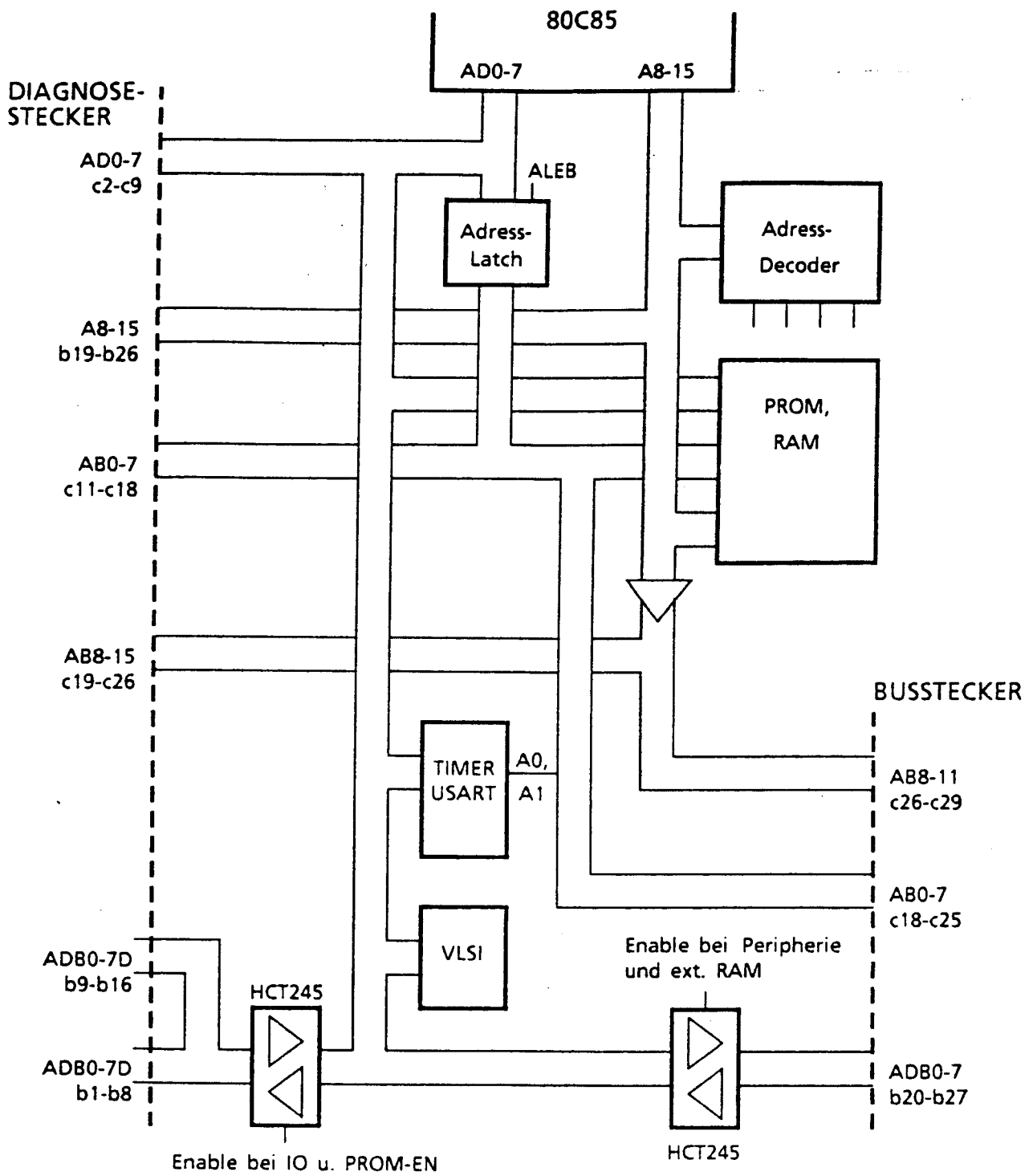
Wie Bild 15 zeigt, sind alle CPU-Signale grundsätzlich direkt zum Diagnosestecker geführt, da ja über diesen der Betrieb eines ICE (z.B. mit Hilfe des ICE-B-Adapters) möglich sein muß. Eingangsleitungen (also Leitungen mit Signalen, die zur 80C85 gehen) sind je nach Erfordernis mit einem Pull-up- oder einem Pull-down-Widerstand versehen, um definierte Pegel zu erreichen, wenn der Diagnosestecker nicht benutzt ist (SID = "1", INTR = "0", HOLD = "0", READY = "1", -TH-TRAP = "1"). Um einen TRAP auszulösen, muß der Eingang -TH-TRAP benutzt werden.

Ein Teil der Signale wird gepuffert (über HCT244) weitergeführt, sowohl auf den Diagnosestecker (zusätzlich zu den ungepufferten), als auch auf den Busstecker (Buchstabe B nach dem Signalnamen bedeutet "gepuffert": ALEB, -WRB, -RDB, RERESB).

Das Signal RERESB (identisch mit dem RESET IN des 80C85) wird vom VLSI-Sendebaustein erzeugt (als RERES, geführt über einen Treiber HCT244). Außerdem wird noch das CLK-Signal der CPU zum Busstecker geführt, allerdings über einen Inverter HCT04 und ein RC-Glied (Verringern der Flankensteilheit um Störeinflüsse zu vermindern). Auf der Baugruppe selbst werden benötigt: ALEB, -RD, -WR, S1B, IO/-M für Speicher und Peripherie.

So wie für die Steuerleitungen, gilt auch hier, daß die Adressen- und Datenleitungen AD0-7 und A8-A15 des 80C85 direkt auf den Diagnosestecker geführt sind.

Bild 16 zeigt, in welcher Weise die gepufferten Busleitungen weitergeführt sind. Die Datenleitungen (ADB0-7) zum Busstecker sind über einen bidirektionalen Treiber HCT245 geführt, dessen Richtung durch das RD-Signal gesteuert wird. Der Treiber wird mittels Adressenbereichs-Auswahl-Signal aus einem PAL-Baustein aktiviert.



A.....Adr. Bus
 AD...Adr. - Datenbus
 AB....Adr. Bus, gepuffert
 ADB.Adr. - Datenbus, gepuffert

Bild 16 Schema der Adressen- und Datenleitungen

Die Datenleitungen für den Diagnosestecker sind ebenfalls über einen HCT245 (IC 39) geführt. Die Richtungssteuerung wird wieder mit dem RD-Signal vorgenommen. Ein Signal vom PAL (IC 32/19) sorgt wieder für die Aktivierung (Bereich 0-FF, IO adressiert und bei PROM-EN von 0-BFFF, Memory adressiert).

Eine grobe Adressendecodierung für die einzelnen Komplexe wird zunächst mit dem PAL (IC 32) vorgenommen, das die Signale IO/-M, ROM-EN und die Adressenleitungen A10-A15 entsprechend decodiert. ROM-EN ist ein Signal, das vom Diagnosestecker kommt und von außen – z.B. auf dem CPU-Adapter – auf "0" gelegt werden muß, wenn anstelle des Speichers auf der CPU-Baugruppe ein externer Speicher (z.B. auf dem CPU-Adapter) benutzt werden soll. Die IO/-M-Leitung sorgt dafür, daß mit IO-Befehlen nur Peripherie, die am Diagnosestecker angeschlossen ist, angesprochen werden kann.

4.1.2 Speicher

Der PROM-Bereich ist unterteilt in einen Grundbereich von 0000 bis 3FFF (auf IC-Platz 36 ist dafür ein 16k-EPROM eingesetzt; es kann auch ein 32k-EPROM gesteckt werden, allerdings muß das Programm auf der oberen EPROM-Hälfte stehen) und in den Bankbereich.

Der Bankbereich 4000-BFFF wird mittels Bankumschaltung doppelt verwendet. Als Speicherbaustein dient ein 64k-EPROM (IC 35). Die Bankumschaltung wird durch Schreiben einer "0" (für Bank 0) oder einer "1" (für Bank 1) auf Adresse FB00, Bit 0 durchgeführt. Wird die Bankumschaltung nicht benützt, so ist auch ein 32k-EPROM verwendbar. Es muß jedoch auf Bank 1 geschaltet werden, damit $V_{pp} = \text{high}$ ist (siehe Baustein-Spezifikationen).

Um ein gegebenenfalls extern auf dem CPU-Adapter gelegenes EPROM (oder RAM) ebenfalls bankmäßig ansteuern zu können, wird das Bankumschaltesignal ("Bank 0") auch auf den Diagnosestecker geführt, und zwar invers.

Der RAM-Bereich liegt von C000 bis DFFF.

4.1.3 Interruptsteuerung

Standardmäßig werden die Interrupts RST5,5, RST6,5 und RST7,5 verwendet. Der TRAP kann über den Diagnosestecker für Testzwecke benützt werden.

Der RST5,5 wird durch das Setzsignal ausgelöst, das über den Empfangsbaustein SN75173 aus der Gestellverdrahtung (vom Frequenzverteiler) kommt.

Der RST6,5 tritt im Blockraster auf: mit steigender Flanke des Signals BLOTS ("Blocktor senden" aus VLSI, zu Beginn Bit 191 Sendeteilerkette) wird der Interrupt gesetzt, mit steigender Flanke des Taktes T26H67S (aus dem VLSI) – das ist zu Blockwechsel – wird er wieder zurückgenommen (siehe Bild 17).

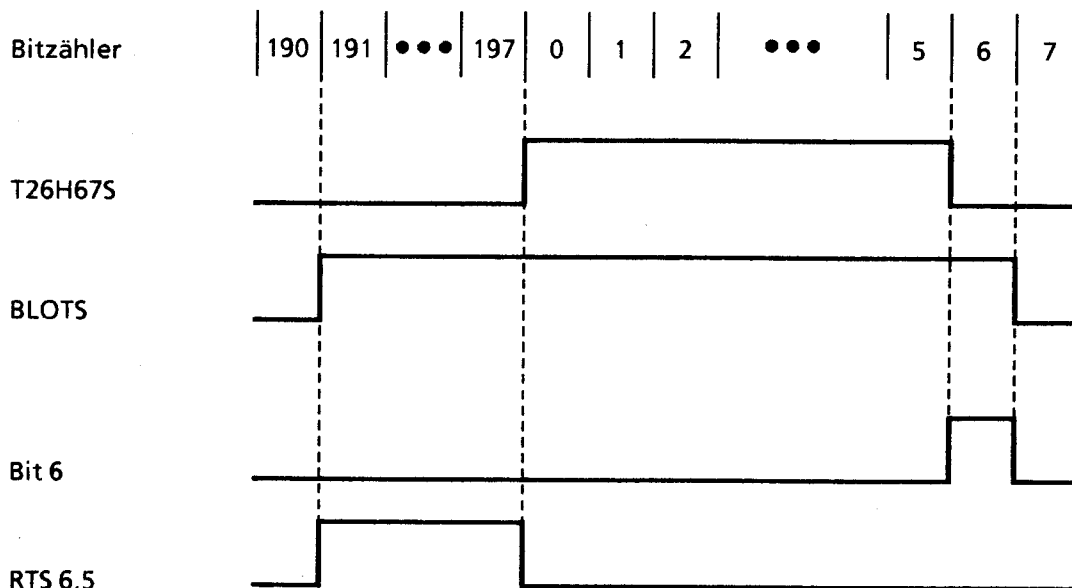


Bild 17 Interrupterzeugung

Der RST7,5 wird mit Hilfe des Timerbausteins 82C54 erzeugt. Durch entsprechende Programmierung des Bausteins werden bis zu drei verschiedene Interrupts RST7,5 während eines Blockes generiert.

Der Timer wird mit den Adressen FA00 bis FA03 adressiert.

4.1.4 Serielle Schnittstelle

Der Datenaustausch über die serielle Schnittstelle zur Funkdatensteuerung geschieht innerhalb eines Funkblocks (37,5 ms) in jeweils zeitprogrammierten Sende- und Empfangsschlitzen. Die Datengeschwindigkeit innerhalb dieser Signalisierungsbursts beträgt 256 kBd. Für den Datenaustausch auf dieser Schnittstelle wird der USART Baustein 2661, für die Festlegung des Zeitpunktes dieses Dialogs der Baustein 82C54 eingesetzt, der am Rechner einen Interrupt (RST7,5) erzeugt (siehe Abschnitt 4.1.3).

Der Baustein 2661 wird mit einer Bitrate von 256 kBd synchron mit dem Empfangstakt T256KE und dem Sendetakt T256KS aus der Interfacekarte betrieben. Der Sendetakt T256KS hat einen Vorlauf, der ungefähr die doppelte Laufzeit der Verbindungskabellänge ausmacht (fest eingestellt), so daß in der Funkdatensteuerung für Sende- und Empfangseinrichtung derselbe 256-kHz-Takt verwendet werden kann. Als Adressenbereich für den USART wird F900-F903 verwendet.

Die beiden Treiberbausteine (im 74ALS1631N) werden parallel vom USART angesteuert; für die Empfangseinrichtung sind es ebenfalls zwei Bausteine (im SN75173). Je nachdem, welche der beiden FDS in Betrieb ist, wird über die DTR-Leitung der eine oder der andere Baustein zum USART durchgeschaltet.

4.1.5 VLSI-Bausteine

Die beiden 48poligen C-MOS-Bausteine M862 bzw. SCX 6B64 WWK und M863 bzw. SCX 6B48 WWL (mit VLSI-Baustein bezeichnet) enthalten wesentliche Funktionen der Funkkanalsteuerung. Sie haben eine 8085-kompatible Busschnittstelle, die die Signale AD0-7 (8-bit-Adressen-Daten-Bus), ALE (Adress Latch Enable), -RD (Read), -WR (Write) umfaßt. Mit Hilfe des Decoderbausteins (HCT138) auf der CPU wird das Chip-Select-Signal (-CS) erzeugt, das den Ansprechbereich der VLSI-Bausteine auf F800 bis F8FF festlegt. Die niederen acht Adressenbits werden mit Hilfe des ALE-Signals über AD0-7 in die VLSI-Bausteine gespeichert.

Die Pins MOD0, MOD1 sowie TEST0 und TEST1 legen die Betriebsarten der Bausteine fest. Für den OSK liegen MOD0 und MOD1 auf "0". TEST0 und TEST1 sind "0" bei Normalbetrieb. Für Testzwecke kann mit TEST0 = 0 und TEST1 = 1 die verteilte Signalisierung abgeschaltet werden (geschieht über den Diagnosestecker mit Hilfe des CPU-Adapters).

Das Bild 18 zeigt die wesentlichsten Funktionsblöcke der VLSI-Bausteine. Alle Funktionsblöcke werden über die Busschnittstelle bedient (im folgenden werden die beiden Bausteine als Einheit betrachtet, so daß auch nur von einer Busschnittstelle gesprochen wird, obwohl natürlich jeder Baustein eine eigene Schnittstelle hat).

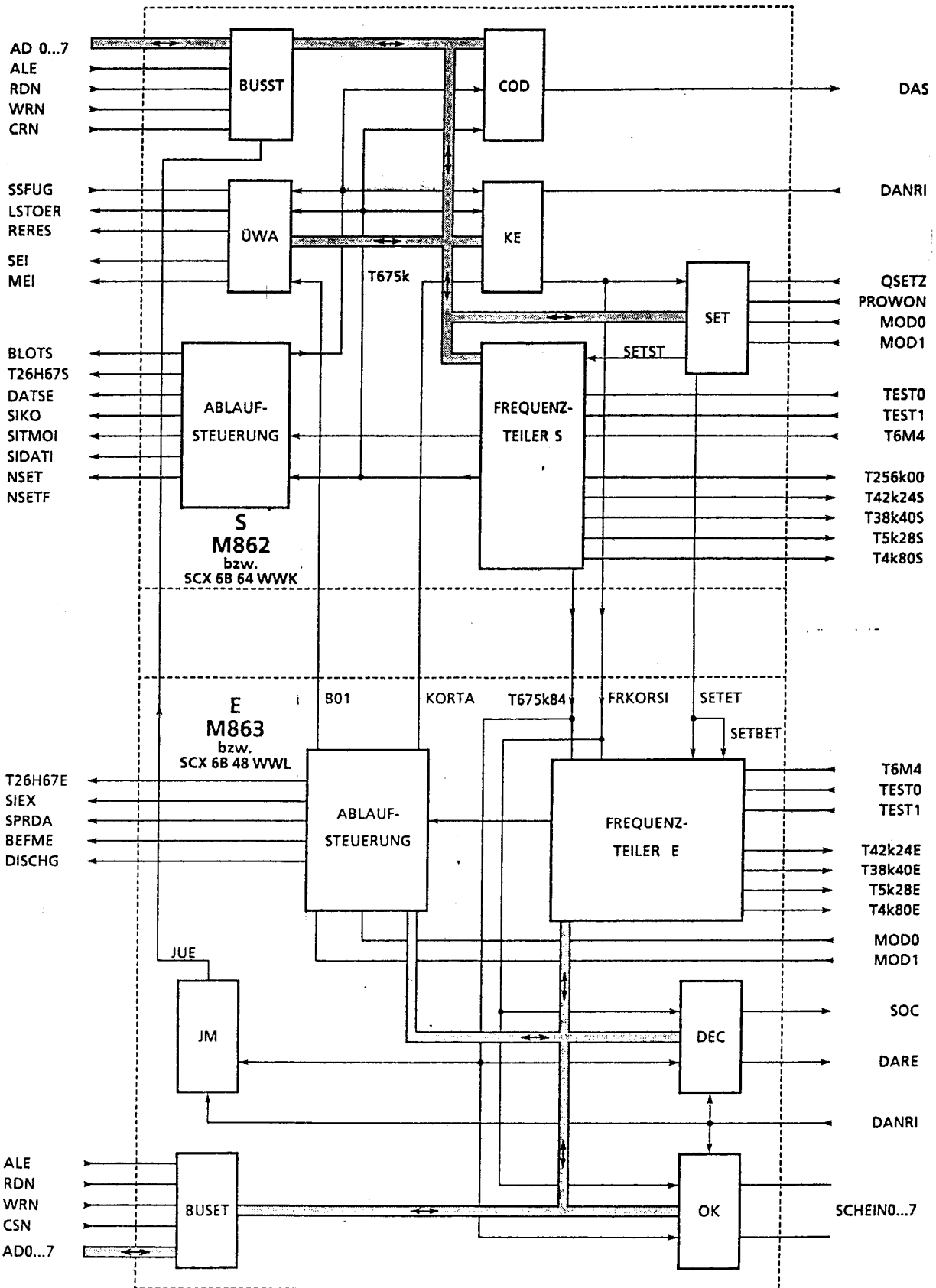


Bild 18 Übersichtsschaltplan der Bausteine M862 bzw. SCX 6B64 WWK und M863 bzw. SCX 6B48 WWL

Das Bild 19 zeigt die über die Pins geführten Signale und ihre Einbettung innerhalb der CPU-Baugruppe.

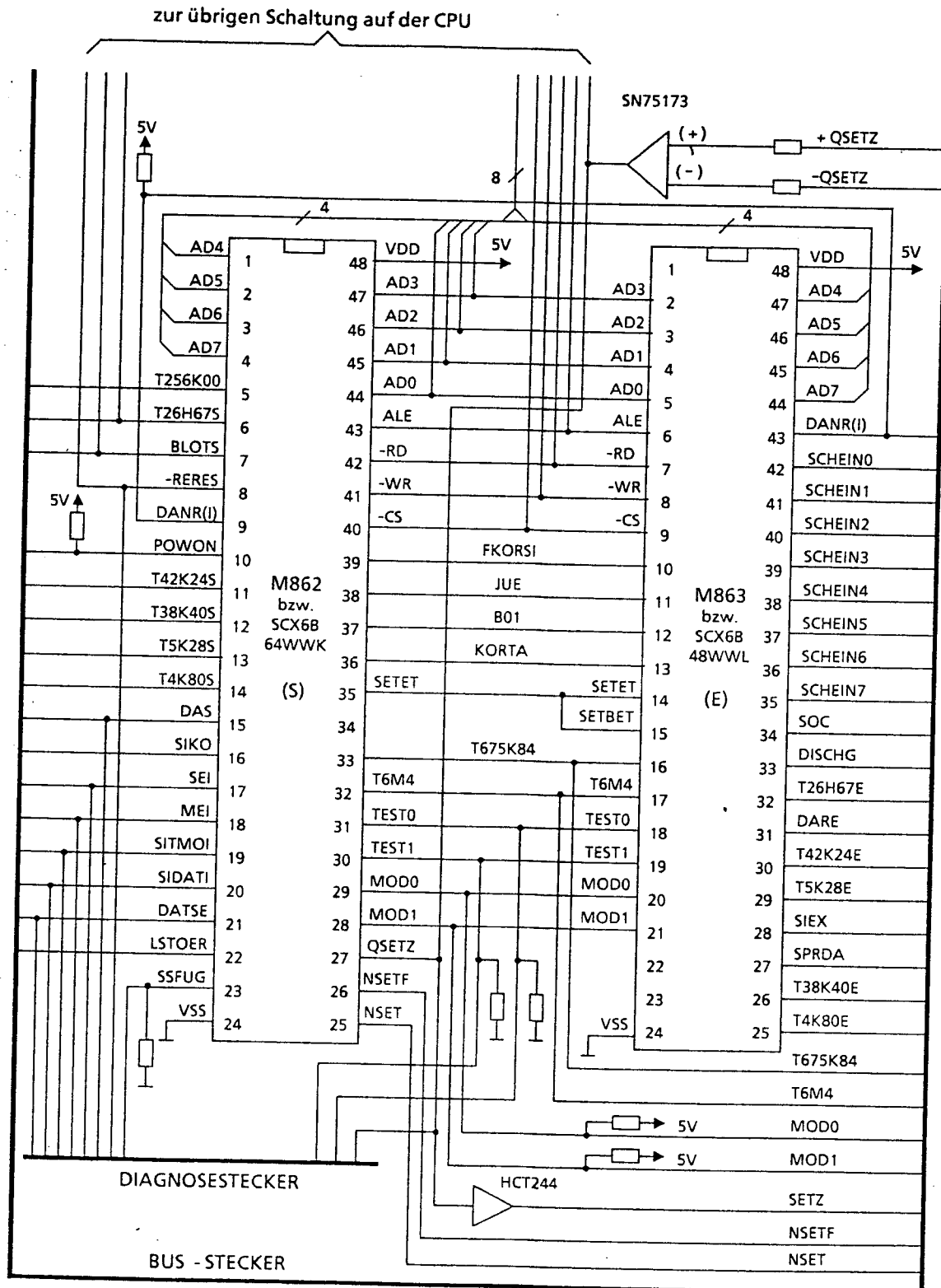


Bild 19 Anschlußschema der VLSI-Bausteine

4.1.5.1 Takterzeugung

Grundlage aller erzeugten Takte ist der Eingangstakt 6,4MHz. Von diesem werden die einzelnen Takte abgeleitet. Die Signalnamen der Takte setzen sich aus den Buchstaben T und der Frequenzangabe zusammen, wie aus folgendem Schema ersichtlich ist (Bild 20).

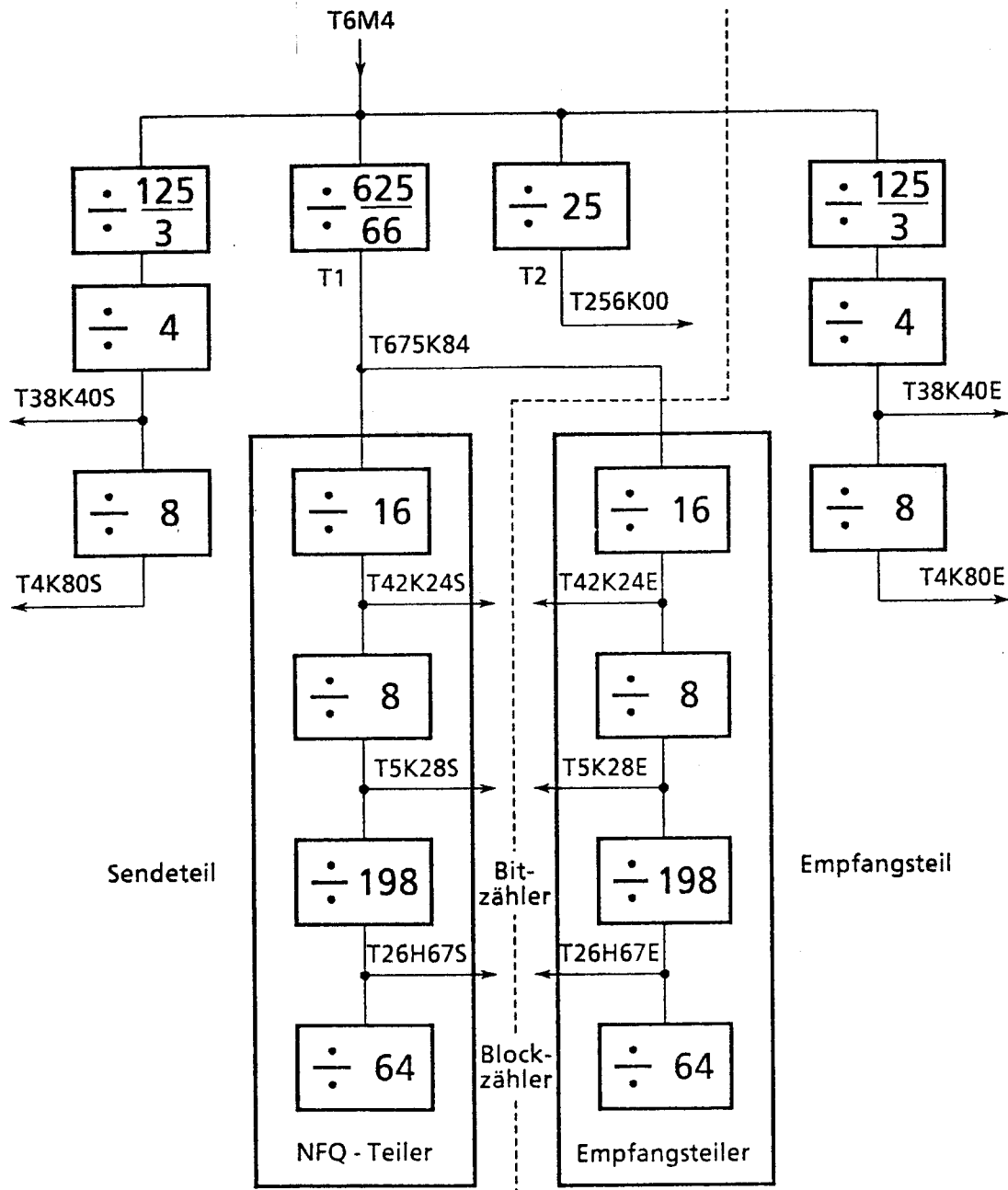


Bild 20 Übersichtsschaltplan der Frequenzteiler für Sende- und Empfangsteil

Da Sende- und Empfangsrahmen zueinander zeitversetzt sein können, ist ein Großteil der Takte zweimal vorhanden: S für Sendeseite, E für Empfangsseite. Ein Teil der Takte läßt sich nicht durch rationale Teilerhältnisse erzeugen und weist daher einen Jitter auf (siehe folgende Tabelle).

Taktname	erzeugt aus	Teilungsfaktor	Phasenjitter
T675K84	T6M4	625/66	- 78,15 – 146,78 ns
T256K00	T6M4	25	0
T42K24S,E	T675K	16	- 4,7 – 146,78 ns
T5K28S,E	T42K24S,E	8	- 4,7 – 146,78 ns
T26H67S,E	T5K28S,E	198	0
T38K40S,E	T6M4	500/3	104,17 ns

Außerhalb der VLSI-Bausteine werden folgende Takte verwendet:

T675K84: Taktung für A/D-Wandler für Feldstärke

T256K00: Takt für serielle Schnittstellen

T26H67S: Einlatchen von Port-Signalen

T38K40S,E

und T42K24S,E: Takte für Komprimierung und Expandierung der Sprache.

4.1.5.2 Teilerketten

Mit T675K84 werden die beiden Teilerketten (Sendeteiler und Empfangsteiler) getaktet. Mittels Teilung durch 128 entsteht der Bittakt von T5K28S bzw. E (siehe auch obige Tabelle), eine weitere Teilung durch 198 ergibt den Blocktakt T26H67S bzw. E, mit dem schließlich der Blockzähler gezählt wird. 64 Blöcke zu je 37,5 ms bilden einen Rahmen, der demnach 2,4 s lang ist.

Der Bitzählerstand der Sendeteilerkette kann über die Busschnittstelle gelesen werden (Adresse F815), ebenso der Stand des Sendeblockzählers (Adresse F81C).

Beide Teilerketten können über verschiedene externe und interne Signale auf bestimmte Werte gesetzt werden.

Externe Signale

POWON entsteht bei Einschalten der Spannung oder bei RESET erzeugt internes POP-Signal (power-on-puls).

QSETZ Rahmensetzsignal erzeugt mit Rückflanke internes Setzsignal QSET.

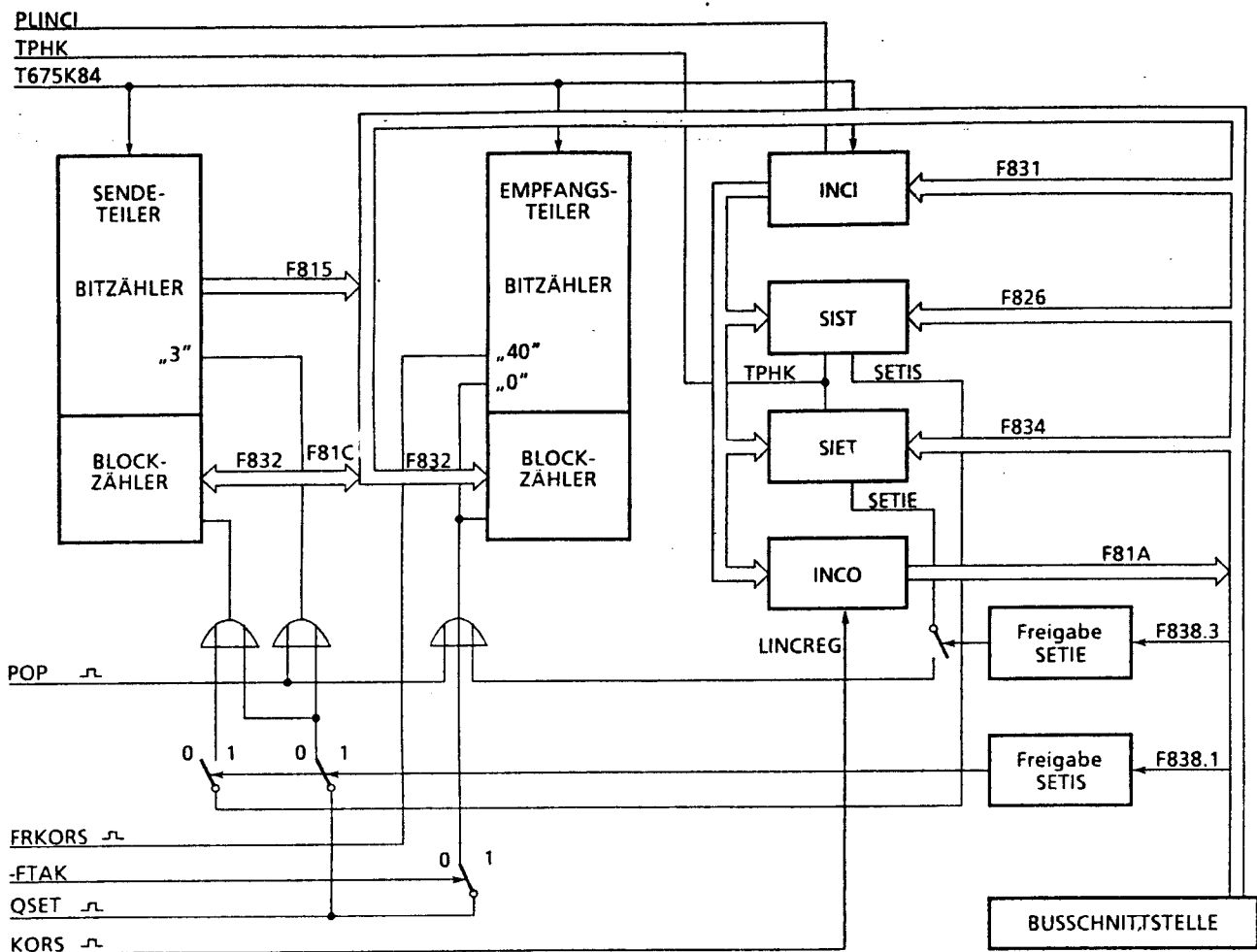
Beide Signale setzen alle Teiler einschließlich Teilerkette.

Interne Signale

FRKORS ("freigegebenes Korrelationssignal") und die Setzsignale **SETIS**, **SETIE** (indirektes Setzen) aus dem Inkrementierungszähler setzen die beiden Teilerketten (ab T675k84).

Mit **FRKORS** wird der Bitzählerstand der Empfangsteilerkette auf 40, mit den anderen Setzsignalen auf 0 gesetzt. Die Sendeteilerkette wird auf Bit 3 gesetzt.

Einzelheiten dazu zeigt Bild 21.



- LINCREG Laden Incrementierungsregister (INCO)
- SIST, SETIS Setzen indirekt, Sendeteiler
- SIET, SETIE Setzen indirekt, Empfangsteiler
 SIET und SIST sind die Vergleichswerte für die Phase, die auf den Adressen F826 und F834 eingespeichert werden. Bei Gleichheit mit dem Stand des Incrementierungszählers werden die Impulse SETIS bzw. SETIE erzeugt, die die Teilerketten setzen, falls die Impulse über F838.1 und F838.3 freigegeben sind
- TPHK Tor Phasenkorrektur (2 bit lang)
- PLINCI Laden Incrementierungszähler

Bild 21 Teilerketten setzen

4.1.5.3 Ablaufsteuerung

Die Ablaufsteuerung erzeugt Signaltore für die einzelnen Funktionsblöcke und für externe Anschlüsse. Die zeitliche Lage der Signaltore ist zum Teil von der Betriebsart abhängig, und zwar im wesentlichen vom Zustand konzentrierte/verteilte Signalisierung.

Konzentrierte Signalisierung: Organisationskanal (Datentrieb), Aussenden der Signalisierungsinformation innerhalb eines Blocks.

Verteilte Signalisierung: Sprachbetrieb, Aussenden der Signalisierungsinformation in Zeitschlitzten während eines Unterrahmens = 16 Blöcke.

Das Steuerbit F838.2 (SDOT) (F832.2 bedeutet Adresse F832, Bit 7) bestimmt den Zustand konzentrierte / verteilte Signalisierung. SDOT wird blockweise getaktet, beim Sendebaustein mit T26H67S, beim Empfangsbaustein mit T26H67E. Das getaktete Signal heißt SPRDA (SPRDA = "0": verteilte Signalisierung).

Alle Signaltore sind beim Sendebaustein synchron zum Takt T5K28S und beim Empfangsbaustein synchron zum Takt T5K28E.

Folgende Signale werden aus den VLSI-Bausteinen nach außen geführt und im OSK verwendet:

T26H67S Takt 26,67Hz, von Beginn Bit 0 bis Ende Bit 5 jedes Blocks auf "1", sonst "0".

BLOTS "Blocktor senden", von Beginn Bit 191 jeden Blocks bis Ende Bit 6 des folgenden Blocks auf "1", sonst "0".

SOC "Start of Conversion" wird aus dem internen Signal STD gewonnen, das im Decoder am Beginn jedes Decodiervorganges erzeugt wird. Es startet die Verschlüsselung im A/D-Wandler für die Umsetzung der Feldstärke.

DISCHG "Discharge": Entladeimpuls für Ladekondensator (Feldstärkemessung), zu Beginn jedes Blocks bei konzentrierter Signalisierung, zu Beginn jedes Unterrahmens bei verteilter Signalisierung.

Weitere in der Ablaufsteuerung erzeugte Signale werden VLSI-intern verwendet und z.T. in den weiteren Kapiteln erwähnt (z.B. LOFF, SINTO, SDEC usw.).

4.1.5.4 Überwachung und Rechnerreset

Zur Programmlaufkontrolle gibt es einen Watchdog, der mindestens einmal je Block retriggert werden muß. Das geschieht durch Schreiben einer "1" auf F82A.2. Ist das nicht der Fall, wird die Störungsmeldung WADOG erzeugt. Außerdem erscheint am Ausgang RERES-(Rechner-Reset) ein "0"-Impuls, der den 80C85-Baustein sowie einige Peripheriebausteine zurücksetzt. Der Watchdog wird ferner in einen passiven Zustand versetzt; er wird erst wieder durch die nächste Retriggerung aktiviert.

Bei Störung oder Ausfall der Versorgungsspannung oder bei Betätigen der Reset-Taste, was bei POWON = "0" signalisiert wird, wird ebenfalls ein Reset-Signal (Ausgang RERES = "0") erzeugt.

Zum Überwachen der Teilerketten gibt es weitere Fehlermeldungen ("0" bei Fehler):

FTAK Fehler Teilerkette außer Kontrolle
FQSET fehlendes QSET
FSTK Fehler Sendeteilerkette.

FTAK tritt auf, wenn Sendeteilerkette und Empfangsteilerkette um mehr als ± 1 bit auseinanderliegen (Überwachung nur im Block 0, es müssen daher auch beide Blockzähler synchron laufen).

FQSET tritt auf, wenn während eines Rahmens kein QSETZ festgestellt wird.

FSTK tritt auf, wenn die negative Flanke von QSETZ nicht mehr in den Bereich Bit 2,5 bis Bit 3,5 der Sendeteilerkette fällt.

Bei Einschalten der Versorgungsspannung (PPOWON = "0") werden FTAK und FQSET in den Zustand "0" (d.h. Fehler) gebracht, WADOG auf "1" (kein Fehler). Der Zustand der Fehlermeldungen kann in ein Störungsregister übernommen werden, das über die Busschnittstelle mit Adresse F816 auslesbar ist:

Bit 0: FTAK

Bit 1: WADOG

Bit 2: FQSET

Bit 7: FSTK.

Die Übernahme in das Störungsregister geschieht entweder beim Auftreten einer Störungsmeldung – wenn noch keine andere Störungsmeldung vorliegt – oder durch kurzes Einschreiben einer "1" auf Adresse F82A ("Laden Störungsregister").

In beiden Fällen erscheint am externen Anschluß LSTOER ein kurzer "1"-Impuls, mit dem die außerhalb der VLSI-Bausteine liegenden Störungsregister am Audio-Interface geladen werden.

4.1.5.5 Korrelationsempfänger

Der Korrelationsempfänger empfängt die nicht regenerierten (Signalisierungs-) Daten DANR (I). Am Anfang jedes Signalisierungsblocks befindet sich der Barkercode, der sich dreimal wiederholt. Aus dem empfangenen Barkercode ermittelt der Korrelationsempfänger den Zeitbezug für die Empfangsteilerkette und erzeugt das Zeitzeichen KORS (Korrelationssignal).

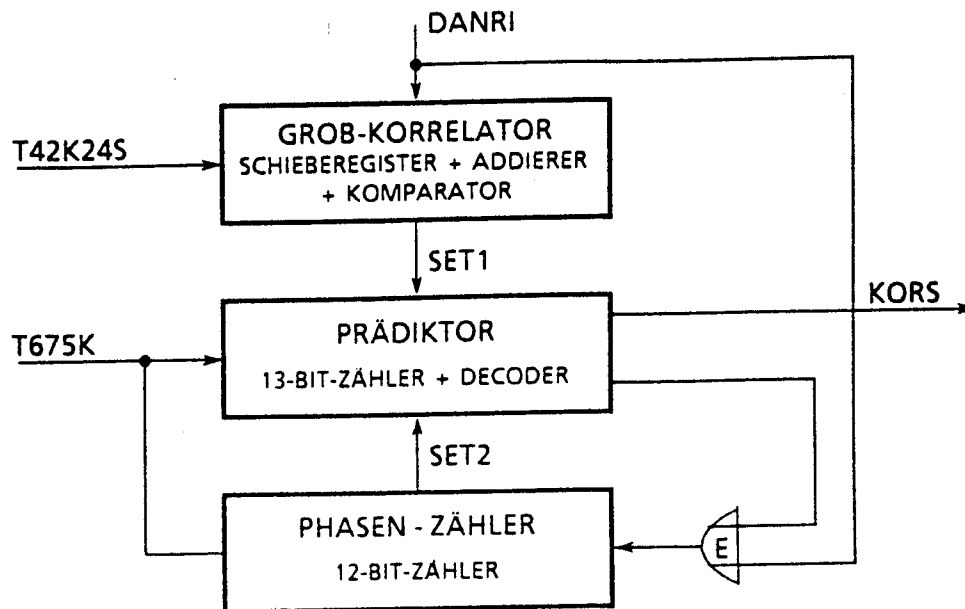


Bild 22 Übersichtsschaltplan des Korrelationsempfängers

Der Grobkorrelator taktet die einlaufenden Signalisierungsdaten mit 42,24kHz ab (acht Proben je Signalisierungsbit). Der Grobkorrelator erkennt den Barkercode, wenn

- im zeitlichen Abstand von $t = 1/T5K28$ jedes Signalisierungsbit mindestens die Pulsbreite $t = 1/T42K24$ hat

und

- der Barkercode höchstens einen Bitfehler enthält (siehe Bild 23).

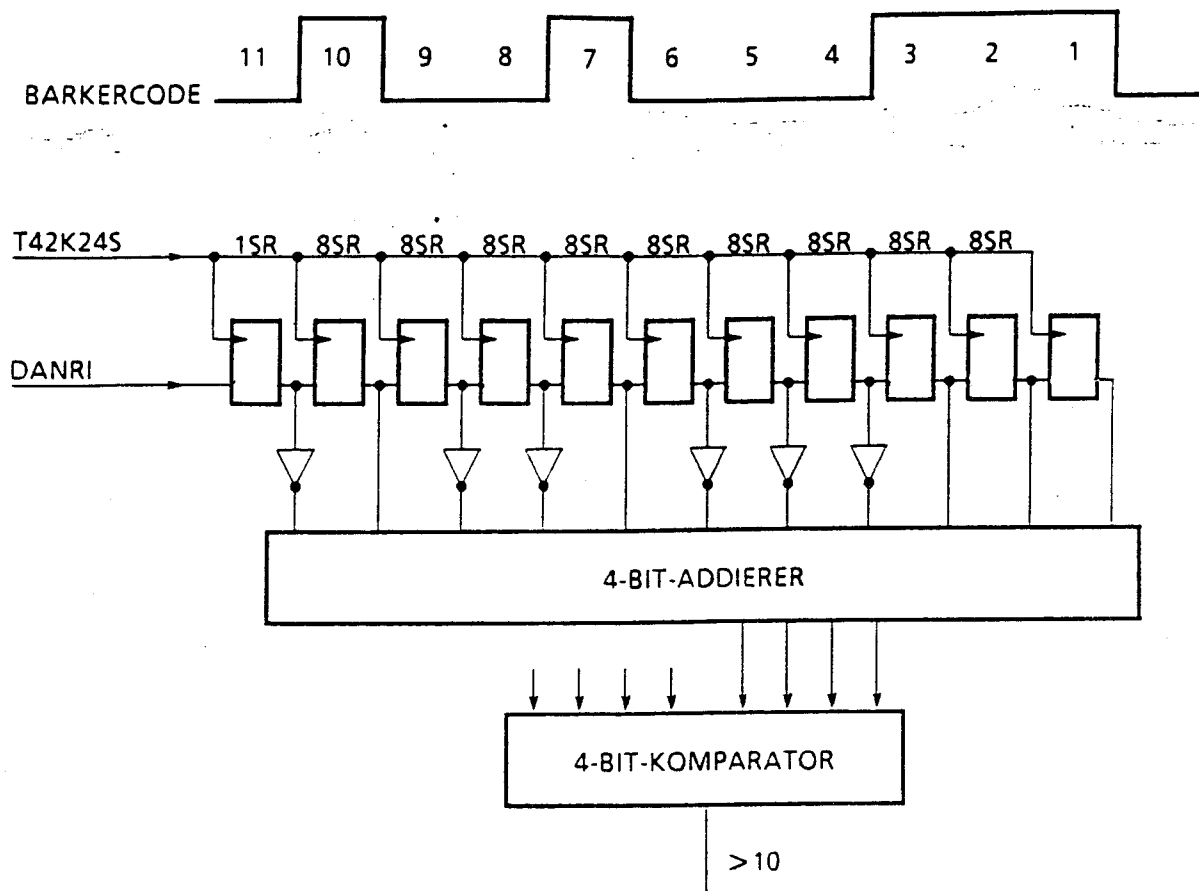


Bild 23 Grobkorrelator mit 81-bit-Schieberegister, 4-bit-Addierer und 4-bit-Komparator

Hat der Grobkorrelator den ersten Barkercode erkannt, dann setzt er einen Prädiktor, der ebenfalls den Barkercode erzeugt. Der Prädiktor vergleicht den eigenen mit dem empfangenen Barkercode und ermittelt dessen Phasenabweichungen.

Der zweite und dritte Barkercode enthalten insgesamt 12 Flankenwechsel. Nach vier Flankenwechseln und dann nach weiteren acht Flankenwechseln paßt sich der Prädiktor zeitlich dem empfangenen Barkercode an (schrittweise Annäherung). Der Korrelationsempfänger erzeugt ein Korrelationssignal KORS, wenn

- der Grobkorrelator drei aufeinanderfolgende Barkercodes erkannt hat und
- der zweite und dritte Barkercode im zeitlich richtigen Abstand zum ersten Barkercode stehen.

Der Zeitpunkt des Korrelationssignales ist:

$0,5 \cdot t_{675K}$ nach Bitmitte des dem Barkercode folgenden "Leerbits".

Die Betriebsarten des Korrelationsempfängers sind:

- Suchlauf (im OSK nicht verwendet)
- Normalbetrieb konzentrierte Signalisierung.

Die Betriebsarten werden über die Busschnittstelle eingestellt, und zwar auf Adresse F82C (beide Signale sind aktiv "1"):

F82C.7 Suchlauf Korrelationsempfänger

F82C.6 Freigabe Korrelationsempfänger.

Die Ausgangssignale des Korrelationsempfängers sind:

KORS (siehe oben)

FRKORS Freigabe Korrelationssignal
(UND-Verknüpfung von KORS und F82C.6)

KORSER (F819.7) Korrelationssignal erkannt

KORSZE (F819.6) Korrelationssignal im Erwartungszeitraum.

Einen Takt T5K28 vor dem Aussenden des Barkercodes wird der Registerinhalt F82C.7 (Suchlauf) in ein internes Register SU des Korrelationsempfängers übernommen, und es werden die Signale KORSER und KORSZE zurückgesetzt.

Die Ablaufsteuerung erzeugt Zeittore für das Erkennen der Korrelation:

SYNT Synchronisations-Erwartungstor.
Zeittor für das Erkennen des ersten Barkercodes durch den Grobkorrelator.
Dieses Zeittor ist 3 bit breit (2 bit: Bereich der Funklaufzeit,
1 bit: maximale Breite der Grobkorrelation).

SYKON Synchronisationskontrolle.
Zeittor für das Korrelationssignal KORS. Dieses Zeittor ist 2 bit breit.

In der Betriebsart Normalbetrieb muß der erste erkannte Barkercode innerhalb des Zeittores SYNT liegen, damit der Prädiktor gesetzt und freigegeben wird.

Es gilt für die Ausgangssignale:

Tor SYNT	dritter Barker-code erkannt	Tor SYKON	F82C.6 Freigabe Korrelations-empfänger	KORS	FRKORS	F819.7 KORSER	F819.6 KORSZE
ja	ja	ja	L	H	L	H	H
ja	ja	ja	H	H	H	H	H
ja	ja	nein	X	L	L	H	L
ja	nein	-	X	L	L	L	L
nein	-	-	X	L	L	L	L

Im Normalbetrieb gibt das Zeittor KORTA der Empfangsfrequenzteilerkette den Korrelationsempfänger frei.

4.1.5.6 Jittermesser

Mit Hilfe des Jittermessers wird über die Auswertung der Zeichenwechsel-Veränderungen der Geräuschabstand im Basisfrequenzband ermittelt. Die Jittermessung bewertet die Veränderung aller gleichpolarer Zeichenwechseländerungen (negative Flanken) im vorgegebenen Bewertungsintervall. Das Bewertungsintervall erstreckt sich bei konzentrierter Signalisierung über eine Blocklänge, bei verteilter Signalisierung über einen Unterrahmen (0,6 sec.). Der Jittermesser besteht im wesentlichen aus einem Auf-/Abwärtszähler (UD-Zähler), der als Modulo-Bit-Zähler arbeitet und mit dem Systemtakt (128fachen Bittakt) betrieben wird (siehe Bild 24).

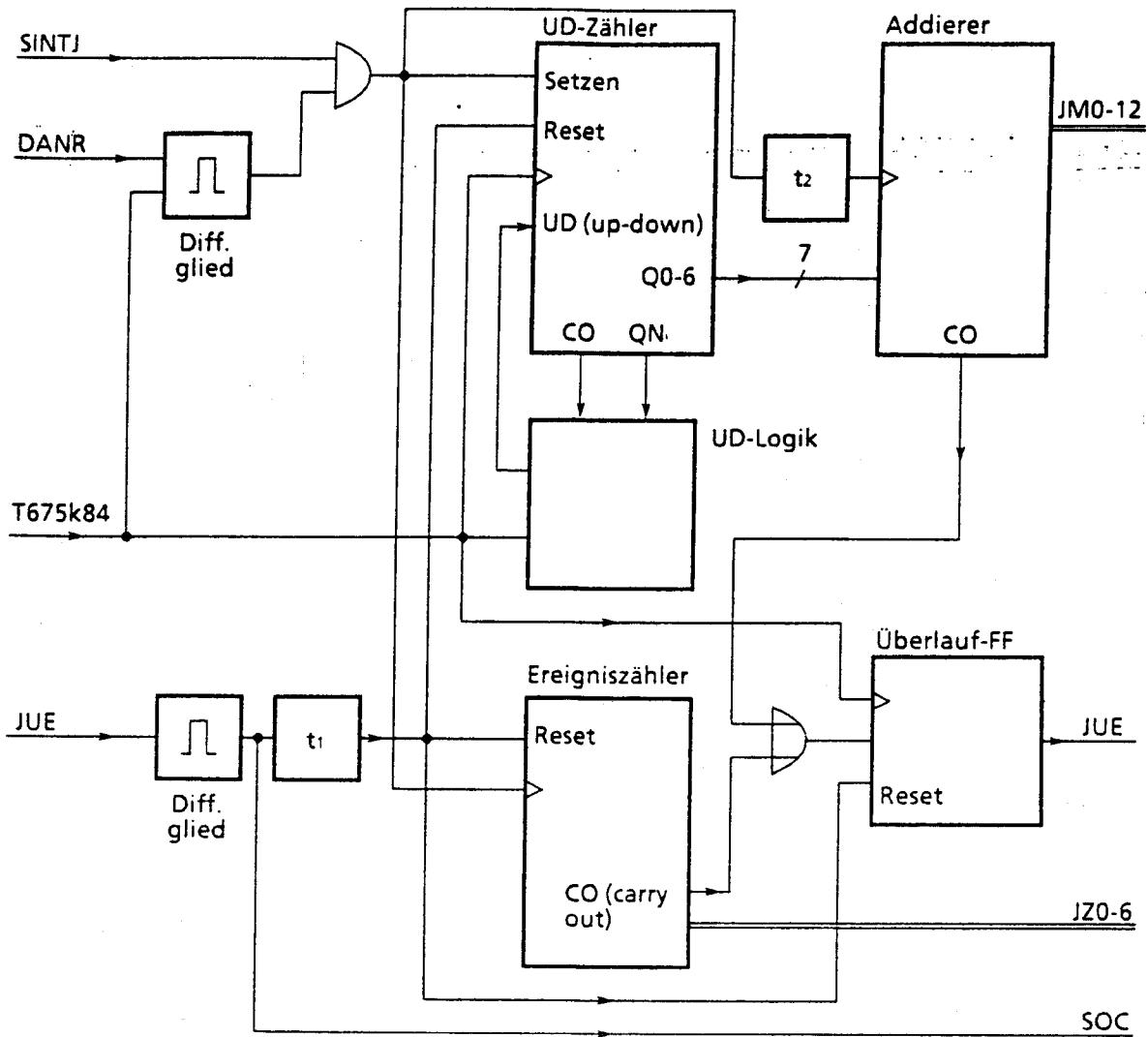


Bild 24 Übersichtsschaltplan Jittermesser

Seine Zählrichtung wird jeweils beim Zählerstand 0 und 63 umgekehrt. Mit dem ersten negativen Flankenwechsel des innerhalb des Bewertungszeitraums (SINTJ) einlaufenden Dateneingangssignals (DANR) wird der Zähler auf den Wert 1 geladen und der Bewertungsvorgang gestartet. Mit jedem negativen Flankenwechsel werden die jeweiligen Zählerstände des Auf-/Abwärtszählers in einen Addierer übernommen und aufaddiert. Gleichzeitig wird der Zähler auf den Wert 1 geladen und der Bewertungsvorgang neu gestartet. Nur bei störungsfreier Datenübertragung erreicht der Zähler am Ende jedes Bewertungsvorgangs zwischen zwei negativen Flankenwechseln den Wert 0 (siehe Bild 25). Ist der Abstand zweier aufeinanderfolgender negativer Flanken größer oder kleiner als die n -fache Bitbreite ($n > 1$), so ergibt sich aus dem Zählerstand des Modulo-Bit-Zählers der Absolutwert der zeitlichen Abweichung vom Sollwert als Jitterwert (siehe Bild 25), der in den Addierer addiert wird.

Ein Ereigniszähler registriert die Anzahl aller negativen Flanken innerhalb des Bewertungszeitraums (7 bit). Nach Ablauf des Bewertungszeitraums werden mit dem Signal STD (Stop Decoder) der im Addierer aufaddierte Jitterwert (JM) und der Zählerstand des Ereigniszählers (JZ) abgespeichert, und sie stehen zum Auslesen über die Busschnittstelle zur Verfügung. Unter der Adresse F849 läßt sich die Anzahl der negativen Flankenwechsel auslesen. Über die Adressen F84A und F84C kann auf den Jitterwert zugegriffen werden, wobei unter Adresse F84A das MSB (5 bit) und unter Adresse F84C das LSB (8 bit) abgespeichert sind.

Ebenfalls vom Signal STD abgeleitet wird ein Rücksetzsignal, mit dem UD-Zähler, Akkumulator und Ereigniszähler zurückgesetzt werden; diese sind somit für einen neuen Bewertungsvorgang vorbereitet.

Übersteigt der akkumulierte Jitterwert innerhalb eines Bewertungszeitraums den Wert $2^{13} = 8192$ oder ist die Anzahl der Zeichenwechsel größer als $2^7 = 128$, so steht am Ausgang Jittermesser-Überlauf (JUE) ein H-Pegel an. Das Signal JUE wird im Sendebaustein weiter verarbeitet und kann über die Busschnittstelle (Adresse F819.2) ausgelesen werden.

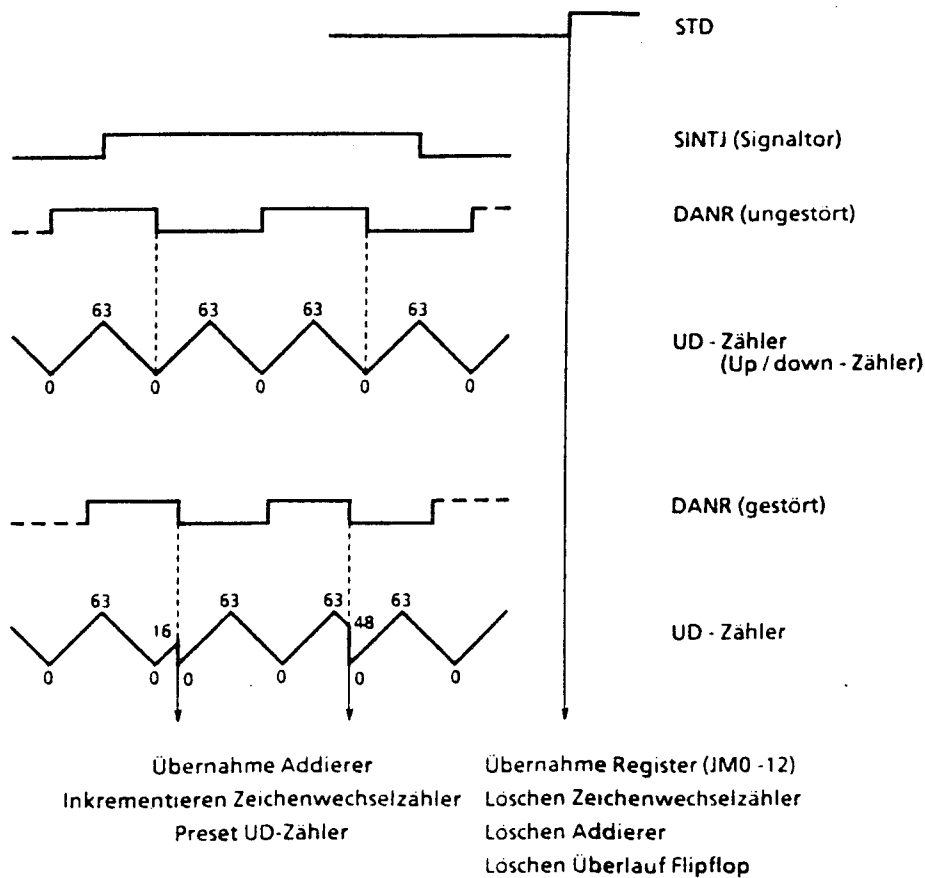


Bild 25 Funktion des Jittermessers

4.1.5.7 Offsetkorrektur

Die Offsetkorrektur wird mit Hilfe der im Bild 26 dargestellten Schaltung durchgeführt; sie besteht aus dem Offsetmesser im VLSI und der Schwellen-Vergleichsschaltung am AU-IF (siehe auch Kapitel 4.2). Weist das vom Empfänger kommende Signal DADEMI eine vom Mittelwert abweichende Gleichspannungsablage auf, so sind die "0"- und "1"-Bits des DANR-Signales nicht mehr gleich lang.

Funktionsweise des Offsetmessers

Der 128fache Bittakt (T675K84) zählt während des Bewertungszeitraums $SINTO = 1$ (das ist während des Barkercodes, Bit 11 bis einschließlich Bit 32) in einen 12-bit-UD-Zähler (Up/down-Zähler) ein.

Das Signal DANR (Daten nicht regeneriert) bestimmt die Zählrichtung: Signallage "0" entspricht der Zählrichtung abwärts, "1" aufwärts.

Außerdem ist zu beachten, daß am Beginn der Offsetmessung der D/A-Wandler mit dem Initialwert 80H (OFFE0-7 = SCHEIN0-7 auf Mittenwert) versorgt sein muß, so daß die Gleichspannungsablage des DADEMI-Signals den Flankenverschiebungen des DANR-Signals entspricht. Am Beginn des Bewertungszeitraums wird der Zähler auf 2304 eingestellt, d.i. um 2×128 über dem Mittenwert des Zählers $4096/2 = 2048$. Damit ist die Tatsache berücksichtigt, daß der Barkercode zwei "0"-Bit mehr als "1"-Bit enthält.

Durch den auf 2304 voreingestellten Zähler ist erreicht, daß im Idealfall (keine Gleichspannungsablage) der Zähler am Ende des Bewertungsintervalls auf 2048, also in Zählermitte steht. Mit dem Signal LOFF (Laden Offsetkorrektur) aus der Ablaufsteuerung wird der Zähler auf den Voreinstellwert gesetzt. SINTO gibt den Zähler frei. Der Zähler zählt nun entsprechend der Zeichendauer und des Zeichenzustandes aufwärts oder abwärts. Am Ende der Messung werden die acht höchsten Bits des Zählers abgespeichert und können über Adresse F846 vom Rechner gelesen werden (OFFA).

Die gelesenen Meßwerte der Offsetkorrektur werden im Rechner verarbeitet und daraus ein Wert für die Schwellwerteinstellung gewonnen. Dieser Wert kann über die Busschnittstelle (Adresse F864) eingeschrieben werden (OFFE) und erscheint als binäres Signal an den Ausgängen SCHEIN0-7.

Mit dem Signal FRKORS (aus M862 bzw. SCX 6B64 WWK) wird das Ergebnis der Offsetmessung als Korrekturwert auf die Ausgänge SCHEIN0 - SCHEIN7 gelegt. Mit dem nächsten Signal LOFF wird der betreffende Multiplexer jedoch umgesteuert und der Rechner übernimmt die Schwellwerteinstellung.

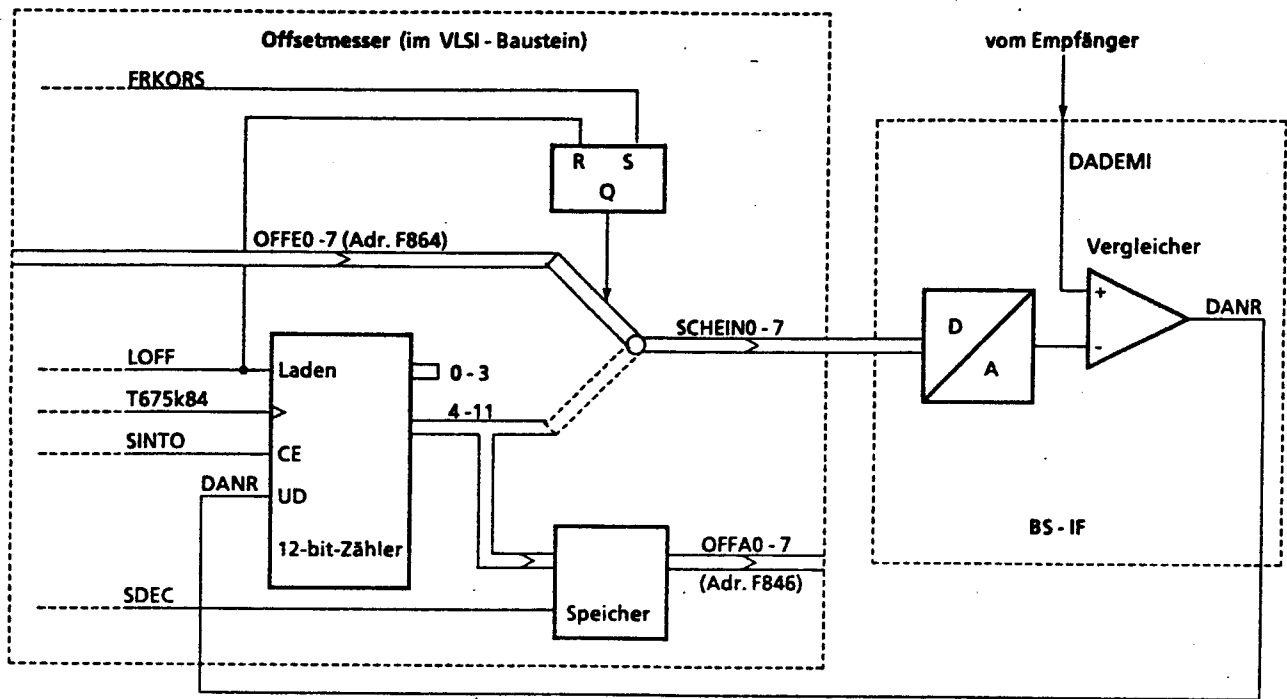


Bild 26 Offsetkorrektur

Anstelle des Initialwertes 80H (entspricht Zählerstand 2048) gelangt der Schwellwert SCHEIN0-7 an den Eingang des D/A-Wandlers an AU-IF (nur bei Ablage Null würde SCHEIN0-7 mit dem Initialwert identisch sein).

Damit ist der Vergleichswert am Vergleicher so eingestellt, daß die Gleichspannungsablage vom DADEMI-Signal kompensiert wird und das DANR-Signal genaue Bit-Längen aufweist (siehe Bild 27).

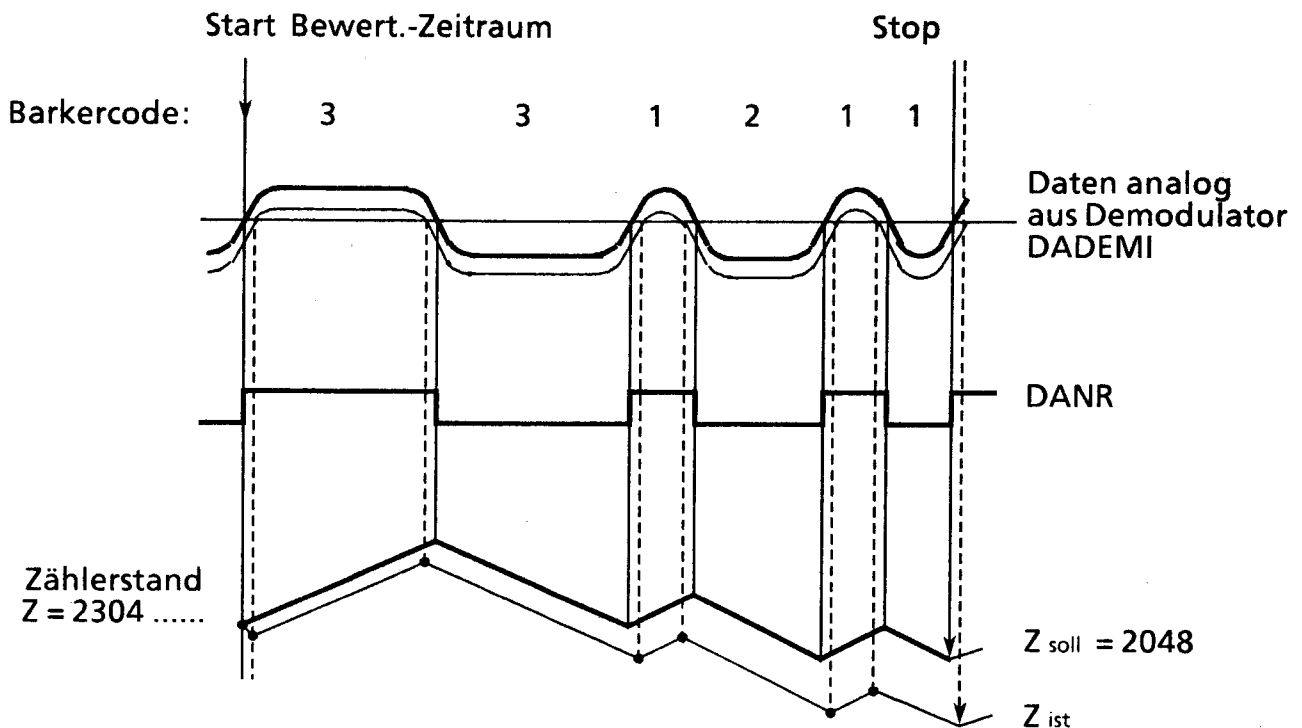


Bild 27 Offsetkorrektur Barkercode

4.1.5.8 Decoder

Der Decoder stellt die Signalisierungs-Schnittstelle zwischen dem Empfänger und dem Rechner dar, seine Aufgaben sind:

- Zwischenspeichern der vom Funkteil gelieferten Daten
- Decodieren der empfangenen Nachricht
- Durchführen von Fehlererkennung und Fehlerkorrektur.

Der Decoder empfängt über den Eingang DANR(I) die nicht regenerierten Signalisierungsdaten. Sie werden mit dem Bit-Takt (T5K28E) abgetaktet und erscheinen am Ausgang DARE (Daten regeneriert). Mit Hilfe der Impulse DECB (Bittakt vom Bit 41, d.i. nach dem Barkercode, bis einschließlich Bit 190) werden die Nutzdaten von den Synchronisierungsdaten (Barkercode) getrennt und entsprechend der zeitlichen Verschachtelung in 15 Worten à 10 bit spaltenweise in ein RAM eingelesen.

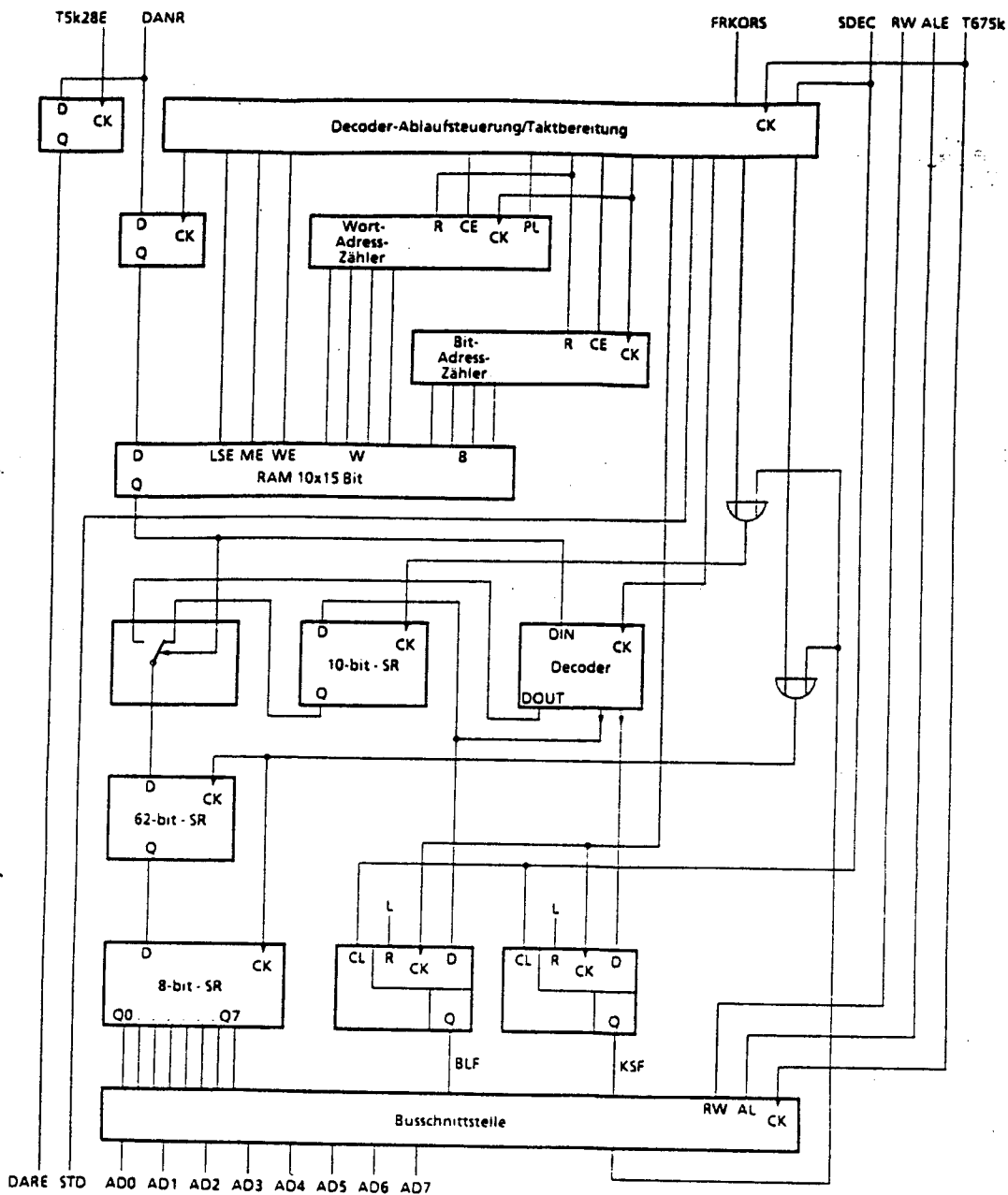


Bild 28 Übersichtsschaltplan Decoder

Zuvor wird die Schaltung mit dem Signal SDEC (Start Decoder, siehe auch Abschnitt 4.1.5.6) aus der Ablaufsteuerung zurückgesetzt und auf den Vorgang Daten einlesen/decodieren vorbereitet. Ebenso kann die Schaltung durch das Signal FRKORS aus dem Korrelationsempfänger während des Einlesevorgangs zurückgesetzt werden. Der Einlesevorgang wird dann mit DECB neu gestartet. Nach Beenden des Einlesevorgangs mit der fallenden Flanke des letzten Taktes DECB (Bit 190.5) wird

der Decodiervorgang gestartet. Gleichzeitig wird über den Ausgang STD ein Signal geliefert, das zur weiteren Verarbeitung im Schaltungsteil Jittermesser zur Verfügung steht (siehe Abschnitt 4.1.5.6).

Der Decodierer läuft mit dem halben Systemtakt (T_{675K}). Die im RAM gespeicherten Daten werden zeilenweise (10 Worte à 15 bit) ausgelesen, decodiert und anschließend seriell in einem 70-bit-Schieberegister abgespeichert. Wird bei einem Wort eine Fehlerkorrektur durchgeführt, so wird dies durch Eintragen einer "1" in einem 10-bit-Schieberegister an der entsprechenden Stelle vermerkt. Gleichzeitig wird das Statusbit BLF (Blockfehler, Adresse F843.3) gesetzt. Wird die Korrekturschwelle überschritten, bei drei und mehr Fehlern, wird zusätzlich das Statusbit KSF (Adresse F843.2) gesetzt. Der Decodiervorgang ist nach 600 Takten T_{675K} ($t_{DEC} = 600 \times t_{675K} = 888 \mu s$) beendet. Nach Abschluß des Decodiervorgangs, etwa fünf Bit-Takte nach Einlesen des letzten Signalisierungsbits stehen die decodierten Daten zum Auslesen an der Busschnittstelle (Adresse F845) bereit. Die Daten werden in 10 Worten à 8 bit ausgelesen. Nach jedem READ-Zugriff wird die Busschnittstelle durch Nachschieben der nächsten acht Bits für einen weiteren READ-Zugriff vorbereitet. Daraus ergibt sich als Zeitbedingung für zwei aufeinanderfolgende READ-Zugriffe $t_{READ} \geq 10 \times t_{T675K} = 14,8 \mu s$.

Der Datenblock enthält in den READ-Zugriffen 1 bis 8 und im 9. READ-Zugriff (Bit 0 bis 5) die Signalisierungsdaten und im 9. READ-Zugriff (Bit 6 und 7) sowie im 10. READ-Zugriff das Fehlerkorrekturwort. Die Statusbits "Fehler erkannt" (BLF) und "Korrekturschwelle überschritten" (KSF) lassen sich ebenfalls über die Rechner-schnittstelle (Adresse F843) abfragen (siehe oben).

4.1.5.9 Coder

Der Coder bildet die Schnittstelle zwischen dem Rechner, der die zu sendenden Daten ermittelt und dem Modulator, der die codierten Daten dem Träger aufmoduliert.

Die Aufgaben des Coders sind:

- Zwischenspeicherung

und

- Codieren der zu sendenden Nachricht durch Hinzufügen der Barkercodebits (3x11 bit) sowie der Redundanzbits.

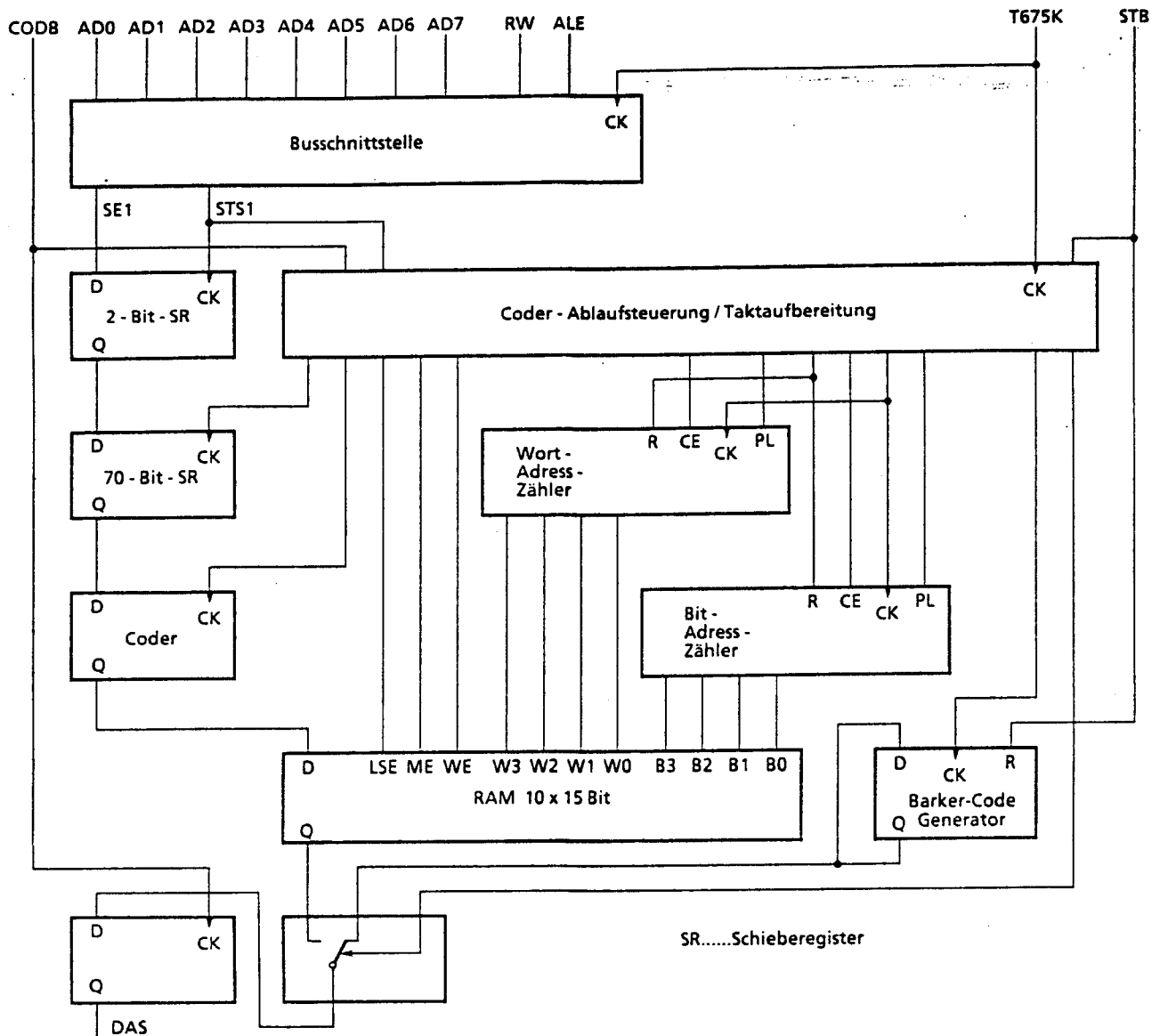


Bild 29 Übersichtsschaltplan Coder

Der im Rechner generierte Datenblock besteht aus 70 Nutz-Bits. Diese Daten werden über die Busschnittstelle (Adresse F829) in den Sendebaustein in neun aufeinanderfolgenden Write-Zugriffen eingeschrieben. Nach jedem Write-Zugriff wird die parallele Busschnittstelle, beginnend mit dem LSB, seriell ausgelesen und die Information in einem 70-bit-Schieberegister zwischengespeichert. Das Abräumen der Busschnittstelle geschieht mit dem Systemtakt (T675K) und wird mit der steigenden Flanke von WRN gestartet. Daraus ergibt sich als Zeitbedingung für zwei aufeinanderfolgende Write-Zugriffe: $t_{WRITE} \geq 10 \times t_{T675K} = 14,8 \mu s$.

Mit dem Signal STC (Start Coder) aus der Ablaufsteuerung wird der Codiervorgang gestartet. Die zwischengespeicherten Daten werden in zehn Blöcken zu 7 bit aus dem 70-bit-Schieberegister ausgelesen und nach dem sogenannten BCH-Code codiert, wobei jedes 7-bit-Wort mit einem Syndrom von 8 bit Länge versehen wird. Die so entstehenden Worte von 15 bit Länge werden zeilenweise in ein 10x15 bit großes RAM eingelesen und zwischengespeichert. Der Codiervorgang läuft mit dem halben Systemtakt (T_{675K}) ab und ist nach 300 Takten ($t_{COD} = 300 \times t_{675K} = 444 \mu s$) abgeschlossen. Das angewandte Codiervorgehen erlaubt bei der Decodierung sowohl eine Fehlererkennung als auch eine Korrektur von maximal zwei Fehlern je Wort.

Mit dem Signal STB (Start Barker) aus der Ablaufsteuerung wird der Vorgang "Daten senden" gestartet.

Mit dem gefensternten Bittakt T_{5K28} ($CO_{DB} = 184$ Takte T_{5K28}) liegen die Sendedaten am Datenausgang (DAS) an. Zunächst startet der Barkercodegenerator und erzeugt eine Bitfolge von 3 mal 11 bit (11100010010) und ein Leerbit (1). Danach werden die zeilenweise gespeicherten und codierten Daten spaltenweise (15 Worte à 10 bit) aus dem RAM ausgelesen.

In der konzentrierten Signalisierung entsteht so ein Signalisierungsblock von $33 + 1 + 150 = 184$ bit; in der verteilten Signalisierung werden die Daten verteilt über einen Unterrahmen in 46 Schlitzen zu je 4 bit gesendet (ein Unterrahmen besteht aus 16 Blöcken zu je drei Schlitzen; die beiden ersten Schlitze enthalten keine Information).

4.2 Audio-Interface S42024-H382-...

Die Baugruppe Audio-Interface (Bild 31) bildet zusammen mit der CPU-Baugruppe die Funkkanalsteuerung im OSK.

Sie enthält folgende Funktionen:

- Erzeugen von Sende- und Empfangstakt für die serielle Schnittstelle (Laufzeitkorrektur)
- Adressendecodierung für Ein- und Ausgabeports
- Abfrage der Gestelladresse
- Ausgabeports für Ansteuerung der Umschalter und Synthesizer, Steuerung der Sendeleistung; ferner Ausgabe der Signale für die Betriebsarten und Ansteuerung der Verfügbar-LED (Signal OKVR)
- Offsetkorrektur durch Vergleich des empfangenen Signals mit eingestellter Schwelle
- Erzeugen des Power-on-Resets; Reset-Taste
- Erfassen von Störungsmeldungen bzw. Statusmeldungen
- Pegelanpassung für 6,4MHz
- Koaxrelaissteuerung
- Erzeugen der -2,5-V-Versorgung für den Audio-Teil.

4.2.1 Laufzeitkorrektur

Aus dem 256-kHz-Takt (Signal T256k00 aus dem VLSI) werden die beiden Signale T256kS und T256kE mit Hilfe von zwei Schieberegistern erzeugt, die Signale sind gegenüber dem T256k00 phasenverschoben. Als Schiebetakt wird T6,4M verwendet. T256kS ist um 12 Takte, T256kE um 16 Takte gegenüber T256k00 verschoben. Der Vorhalt des Sendetaktes von vier Takten (etwa 0,7µs) dient zum Ausgleich von Kabellauzeiten zwischen Funkmodem und Funkdatensteuerung (Bild 30).

Das Verschieben des Taktes T256kE gegenüber T256k00 dient zur Korrektur der Phasenlage gegenüber QSETZ.

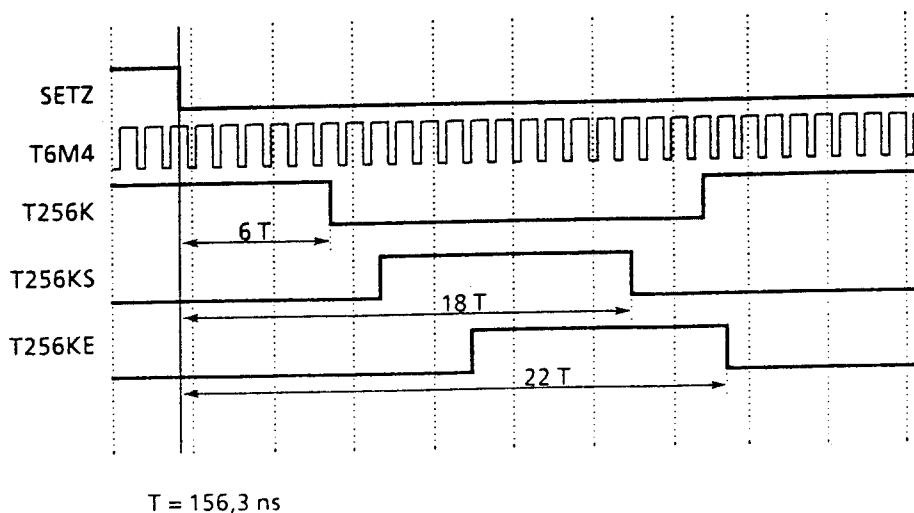
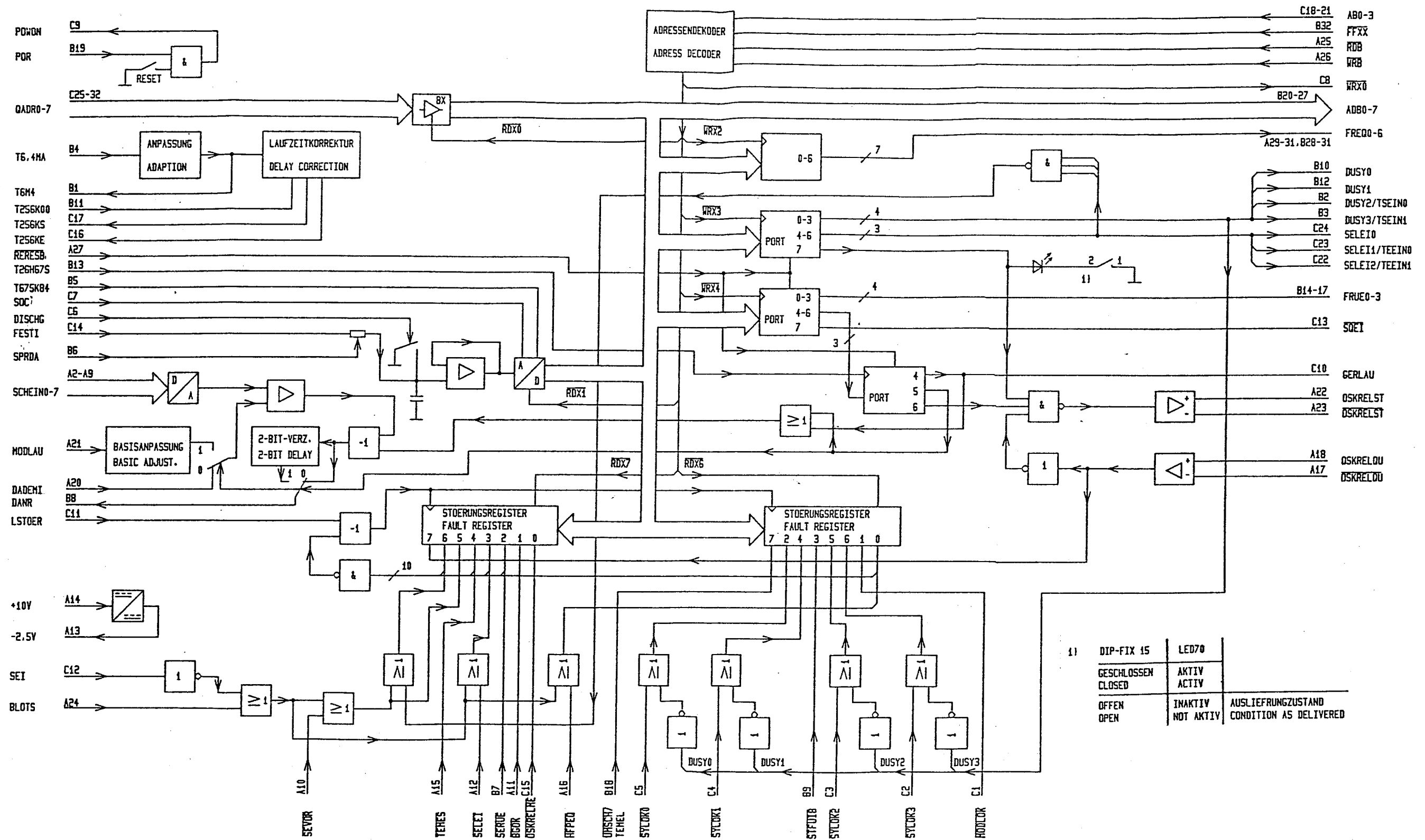


Bild 30 Laufzeitkorrektur

4.2.2 Adressendecodierung

Die von der CPU kommenden Adressenleitungen AB0 bis AB3 werden mit Hilfe der Decoder HTC138 decodiert. Durch Verknüpfen mit dem Bereichssignal -FFXX (dieses ist für Speicherbereich FF00 bis FFFF aktiv) sowie dem Schreibsignal -WRB bzw. dem Lesesignal -RDB werden die Signale -WRX0, -WRX2 bis -WRX4 sowie -RDX0, -RDX1, -RDX6 und -RDX7 erzeugt; das X bedeutet, daß die Adreß-Bits 4 bis 7 bei der Decodierung nicht berücksichtigt werden. Ein Schreibbefehl auf Adresse FF02 hat beispielsweise die gleiche Wirkung, wie auf FF12, FF13 usw., es wird WRX2 aktiviert.



1) DIP-FIX 15	LED70	
GESCHLOSSEN	AKTIV	
CLOSED	ACTIV	
OFFEN	INAKTIV	AUSLIEFERUNGSZUSTAND
OPEN	NOT AKTIV	CONDITION AS DELIVERED

Bild 31 Übersichtschaltplan Audio-Interface



4.2.3 Abfrage der Gestelladresse

Der Zustand der acht Leitungen QADR0-7, der durch Verdrahtung im Gestell festgelegt ist, wird über Software abgefragt. Die Abfrage geschieht mit einem Lesebefehl auf Adresse FFX0 (kombiniertes Lese- Adressen-Signal RDX0 vom Adressendecoder).

4.2.4 Ausgabeports

Vier Latch-Bausteine dienen zur byteweisen Ausgabe einiger Signale durch die Software nach folgender Tabelle:

Adresse	D7	D6	D5	D4	D3	D2	D1	D0
FFX2	-	FREQ0-6						
FFX3	OKVR	SELEI2	SELEI1	SELEI0	DUSY3	DUSY2	DUSY1	DUSY0
FFX4	SQEI	-			FRUE3	FRUE2	FRUE1	FRUE0

Erläuterungen:

FREQ0-6 Informationen für Frequenzeinstellung der Synthesizer

OKVR Verfügbarmeldung vom Rechner (SW)

SELEI0-2 Sendeleistung: mit diesen Signalen wird die Endstufe angesteuert

DUSY0-3 Durchschaltesignale für die Umschalter, Maskierung der Synthesizer-Fehlermeldungen

OSKREL Ansteuerung des OSK-Koaxialrelais

FRUE0-3 Übernahmesignale für Frequenzeinstellung der vier Synthesizer

SQEI Steuerung Squelch ein/aus.

4.2.5 Umsetzung der Feldstärke

Das vom Empfänger kommende Feldstärkesignal FESTI (0-2,5 V) wird mittels RC-Kombination integriert: bei Sprachbetrieb (SPRDA = 0) über eine Unterrahmenlänge, das sind 0,6 s; bei Datenbetrieb (SPRDA = 1) über eine Blocklänge, das sind 37,5 ms.

Das integrierte Signal gelangt über einen Op. Amp. LM258 an den AD-Umsetzer. Dieser wird mit T675k84 betrieben und erhält das Startsignal für die Verschlüsselung aus dem VLSI (Signal SOC, Start of Conversion). Wenn die Verschlüsselung beendet ist, wird mit dem Signal EOC (End of Conversion) das Ergebnis in ein Latch eingespeichert. Anschließend wird der Kondensator mit dem ebenfalls aus dem VLSI kommenden Signal DISCHG entladen.

4.2.6 Offsetkorrektur

Der vom VLSI-Baustein M863 bzw. SCX 6B48 WWL gelieferte, digitale Schwellwert (SCHEIN0-7) wird mit Hilfe des D/A-Wandlers in einen Analogwert umgewandelt und über die Op.Amps LM258 dem Vergleichler LM311 zugeführt.

Am anderen Eingang des Vergleichlers liegt das Signal DADEMI.

Am Ausgang des Vergleichlers erscheint das Signal DANR (Daten nicht regeneriert), das zu den VLSI-Bausteinen M862 bzw. SCX 6B64 WWK und M863 bzw. SCX 6B48 WWL zur weiterer Verarbeitung geführt wird.

4.2.7 Power-on-Reset, Resettaste

Die betriebsspannungsabhängige Rücksetzschaltung im Stromversorgungsteil liefert das Signal POR, das bei langsam ansteigender Versorgungsspannung sowie bei Spannungseinbrüchen ein Rücksetzen der Hardware bewirkt. Das Signal POR wird über Gatter in das Signal POWON umgesetzt, das bei Wechsel von LOW nach HIGH im VLSI ein Reset-Signal generiert. Das gleiche geschieht bei Drücken der Reset-Taste.

4.2.8 Störungsregister

Der Inhalt der beiden Störungsregister, die als Speicher für einige Störungsmeldungen dienen, kann mit Hilfe von Lesebefehlen auf die Adresse FFX6 bzw. FFX7 gelesen werden.

Die an den D-Eingängen anliegenden Signale werden mit Hilfe des Signals LSTOER (aus dem VLSI auf der CPU-Baugruppe) oder bei Auftreten einer Störungsmeldung (letzteres geschieht jedoch nur, wenn bei Auftreten der Störungsmeldung keine andere Störungsmeldung ansteht) eingespeichert. Deshalb werden die Störungsmeldungen über ein UND-Gatter verknüpft.

Einige Störungsmeldungen können unter gewissen Umständen gesperrt werden:

FFX6, Bit 0 : HFPEG	HF-Pegel
FFX7, Bit 3 : SELEI	Sendeleistung
FFX7, Bit 6 : SEVOR	Sendervorlauf

Diese Meldungen können nur für SEI = "1" und BLOTS = "0" wirksam werden, für SEVOR muß zusätzlich gelten: SELEI 0,1,2 = "1".

Die Störungsmeldungen der Synthesizer SYLOK0-3 (FFX6, Bit 2 und Bit 4 bis 6) werden nur dann wirksam, wenn die zugehörigen DUSY-Signale (Durchschalten der Synthesizerfrequenz) auf "1" liegen.

Weitere Störungsmeldungen sind:

FFX6, Bit 1 : MODLOK	Modulator
FFX7, Bit 4 : TEMES	Temperatur Endstufe
FFX7, Bit 2 : SERUE	Senderrücklauf

Schließlich gibt es noch einige Meldungen, die ebenfalls über die Störungsregister geführt werden. Bei ihrem Auftreten wird jedoch kein automatisches Einlatchen durchgeführt:

FFX6, Bit 7 : UMSCH	Umschaltebaugruppe 0 vorhanden
FFX7, Bit 1 : BGOK	Prüfschleife: Baugruppen gesteckt
FFX7, Bit 0 : OSK-REL-ME	siehe Kapitel 4.2.9
FFX7, Bit 7 : OSK- RED	siehe Kapitel 4.2.9.

4.2.9 KOAX-Relais-Steuerung, Redundanz

Zwei OSK-Einsätze innerhalb einer Basisstation sind jeweils als Paar geschaltet: einer übernimmt die OSK-Funktionen, der andere läuft als SPK, kann aber bei Bedarf (z.B. bei Ausfall des ersten) auf OSK-Betrieb umgeschaltet werden. Dies geschieht mit Hilfe des KOAX-Relais. Die Stellung des KOAX-Relais kann über Adresse FFX7, Bit 0 abgefragt werden (Bild 32).

Die beiden OSK sind so zusammengeschaltet, daß das Ausgangssignal des symmetrischen Treibers OSK-REL-ST in den anderen OSK als Eingangssignal OSK-REL-QU über den symmetrischen Empfänger geführt wird. Dort kann es als Signal OSKRED abgefragt werden.

Die Sende- und Empfangsbausteine bilden mit einigen Gattern des einen und des anderen OSK ein Flipflop, das das KOAX-Relais steuert.

Bild 32 zeigt die Funktion der KOAX-Relais-Steuerung.

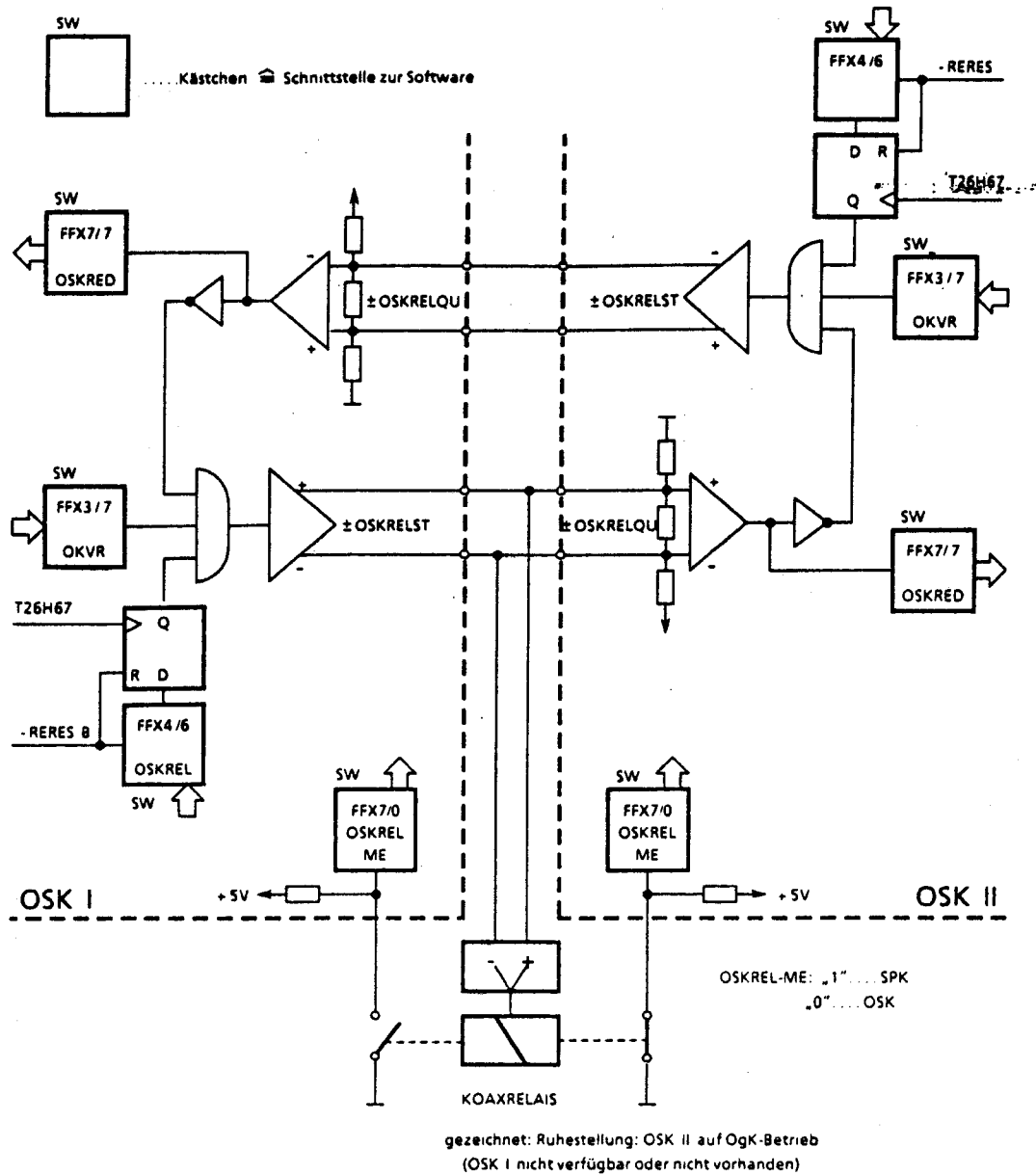


Bild 32 Übersichtsschaltplan KOAX-Relais-Steuerung

4.2.10 Sonstiges

Pegelanpassung 6,4MHz

Das von der Audio-Baugruppe kommende Signal T6,4MA wird mittels Transistor BCY58 und Schmitt-Trigger in ein TTL-Signal (T6M4) umgewandelt. Ein RC-Glied dient zum Verringern der Flankensteilheit (Verringern von Störeinflüssen).

-2,5-V-Versorgungsspannung für Audio-Teil

Die für die Audio-Baugruppe notwendigen -2,5 V werden mit einem Spannungskonverter (ICL7660) aus der 10-V-Spannung erzeugt.

5 Technische Daten

Die technischen Anforderungen entsprechen den FTZ-Richtlinien FTZ 171 R60.

Betriebsspannung 1	U = +5 V
Stromaufnahme 1	I = 1,65 A
Leistungsaufnahme 1	P = 8,25 W
Betriebsspannung 2	U = +10 V
Stromaufnahme 2	I = 1,04 A
Leistungsaufnahme 2	P = 10,4 W
Referenzfrequenz	6,4 MHz > 0 dBm
Betriebsarten	1. Sprache klar/WT 2. Sprache verschleiert
Betriebsart	FM-Duplex
Frequenzhub mit Pre-/Deemphasis bei	
Sprache klar/WT	4 kHz
Sprache verschleiert	4 kHz
Signaldaten	2,5 kHz
Funkkanalabstand	20 kHz
einstellbare Frequenzschritte	10/12,5 kHz
Duplexabstand	10 MHz
Sendefrequenzbereich	460,0 MHz bis 465,74 MHz
Signalisierungsdatenübertragung	
Datenformat	NRZ binär
Bitrate	5,28 kBit/s
Empfangsfrequenzbereich	450,0 MHz bis 455,74 MHz

5.1 Empfänger

Betriebsspannung	U = +10 V
Stromaufnahme	I = 90 mA
Leistungsaufnahme	P = 900 mW
Störabstand, bezogen auf Prüfmodulation	
Fremdspannungsabstand	≥ 37 dB
Geräuschspannungsabstand nach CCITT	≥ 45 dB
Datenausgang,	
konzentrierte Daten	NRZ
Verteilte Daten im Sprechkanal,	
6 bit breiter Schlitz alle 12,5ms	NRZ

5.2 Umschalter UM-EM

Betriebsspannung 1	U = +5 V
Stromaufnahme	I = 350 mA
Leistungsaufnahme	P = 1,75 W
Betriebsspannung 2	U = +10 V
Stromaufnahme 2	I = 50 mA
Leistungsaufnahme	P = 500 mW

5.3 Synthesizer

Betriebsspannung 1	U = +5 V
Stromaufnahme 1	I = 150 mA
Leistungsaufnahme 1	P = 750 mW
Betriebsspannung 2	U = +10 V
Stromaufnahme 2	I = 200 mA
Leistungsaufnahme 2	P = 2W

5.4 Umschalter UM-MO

Betriebsspannung 1	$U = +5 \text{ V}$
Stromaufnahme 1	$I = 350 \text{ mA}$
Leistungsaufnahme 1	$P = 1,75 \text{ W}$
Betriebsspannung 2	$U = +10 \text{ V}$
Stromaufnahme 2	$I = 50 \text{ mA}$
Leistungsaufnahme 2	$P = 500 \text{ mW}$

5.5 Modulator

Betriebsspannung 1	$U = +5 \text{ V}$
Stromaufnahme 1	$I = 65 \text{ mA}$
Leistungsaufnahme 1	$P = 325 \text{ mW}$
Betriebsspannung 2	$U = +10 \text{ V}$
Stromaufnahme 2	$I = 180 \text{ mA}$
Leistungsaufnahme 2	$P = 1,8 \text{ W}$

5.6 Audio-Teil

Betriebsspannung 1	$U = +5 \text{ V}$
Stromaufnahme 1	$I = 2 \text{ mA}$
Leistungsaufnahme 1	$P = 10 \text{ mW}$
Betriebsspannung 2	$U = +10 \text{ V}$
Stromaufnahme 2	$I = 100 \text{ mA}$
Leistungsaufnahme 2	$P = 1 \text{ W}$

5.7 CPU

Betriebsspannung	$U = +5 \text{ V}$
Stromaufnahme	$I = 260 \text{ mA}$
Leistungsaufnahme	$P = 1,3 \text{ W}$

5.8 Audio-Interface

Betriebsspannung	$U = +5 \text{ V}$
Stromaufnahme	$I = 150 \text{ mA}$
Leistungsaufnahme	$P = 0,65 \text{ W}$

6 Geräteübersicht

Bezeichnung	Sach-Nr.	Maße in mm (BxHxT)	Gewicht in g
Funkmodem FKM-OSK S42023-H132-...	100x595x197	8700
zugehörige Baugruppen:			
Anschlußfeldverdrahtung und Filterbaugruppe	S42024-H412-...		
Empfänger	S42024-H413-...	100x63x12	
Modulator	S42024-H169-...	100x167x24	
Synthesizer	S42024-H167-...	100x167x24	
Umschaltebaugruppe (Empf.) ..	S42024-H168-...	100x167x21	
Umschaltebaugruppe (Mod.) ..	S42024-H385-...	100x167x21	
Audio-Teil	S42024-H398-...	100x167x21	
CPU	S42024-H381-...	100x167x21	
	S42025-H418-*1 + Software		
	S42025-H432-A150	100x167x12	
Audio-Interface	S42024-H382-...	100x167x12	

Die in der Beschreibung aufgeführten Sachnummern für Geräte oder Baugruppen sind im ausführungsspezifischen, variablen Teil des 3. Blocks der Sachnummer mit ... versehen.

Für jedes Gerät sind die genauen Sachnummern je nach Bestückung in der zugehörigen Bedienungsanleitung eingetragen. Die vorliegende Beschreibung hat für alle gelieferten Ausführungen Gültigkeit.

1

2

3

4

SIEMENS

Fu Tel C-Netz
Beschreibung

Phasenempfänger
PHE

S42023-H133-*1 für Normal-BS

S42023-H133-*2 für Initial-BS

S42023-H133-F1-2-18

Herausgegeben vom Bereich Öffentliche Vermittlungssysteme
Hofmannstraße 51, D-8000 München 70
Verfasser: SÖ ETG 113 Wien

Weitergabe sowie Vervielfältigung dieser Unterlage, Verwertung
und Mitteilung ihres Inhalts nicht gestattet, soweit nicht aus-
drücklich zugestanden. Zuwiderhandlungen verpflichten zu Scha-
denersatz. Alle Rechte vorbehalten, insbesondere für den Fall der
Patenterteilung oder GM-Eintragung.
Technische Änderungen vorbehalten.

© Siemens AG 1990

Inhalt

	Seite
1	Übersicht 7
1.1	Phaseneempfänger (PHE) im Netz C450 7
1.1.1	Netzsynchrisation 8
1.1.2	Funktionsprinzip der Phasenmessung 10
1.1.3	Anlaufprozeduren 15
1.1.3.1	Anlauf der Normal-Basisstation 15
1.1.3.2	Erstanlauf der Initial-Basisstation 17
1.1.4	Eingeschwungener Zustand des Phaseneempfängers 17
1.1.5	Eigenmessung 18
1.1.6	Korrektur des Zeitzeichens im passiven Phaseneempfänger 18
1.2	Phaseneempfänger in der Basisstation 19
1.2.1	Einsatzhinweise 19
1.2.2	Redundanter Phaseneempfänger 21
1.2.2.1	Initial-Basisstation 21
1.2.2.2	Insel-Basisstation 21
1.2.2.3	Normal-Basisstation 23
1.3	Funktionseinheiten des PHE 24
1.3.1	Funkteil 24
1.3.2	Normalfrequenzgenerator 24
1.3.3	Funkkanalsteuerung 27
2	Schnittstellen 29
2.1	Externe Schnittstellen 29
2.1.1	Schnittstelle zur Antennenanlage 29
2.1.2	Schnittstelle zum Frequenzverteiler 29
2.1.3	Schnittstelle zum Ersatz-Phaseneempfänger (PHE 2) 29
2.1.4	Schnittstelle 2,048 MHz 31
2.1.5	Serielle Schnittstelle zur Funkdatensteuerung (FDS) 31
2.1.6	Schnittstelle zur Gestellverdrahtung 31
2.1.7	Schnittstelle zur Stromversorgung 31
2.2	Interne Schnittstellen 32
2.2.1	Funkteil ↔ Steuerung 32
2.2.2	Normalfrequenzgenerator ↔ NFE-Interface ↔ Steuerung 32
3	Funkteil und Frequenzerzeugung 34
3.1	Empfänger S42024-H169-... 34
3.1.1	Stromversorgung für PLL-Demodulator 34
3.1.2	Eingangsstufe mit Mischer 1 34
3.1.3	Verstärker für 1. Zwischenfrequenz und Mischer 2 36
3.1.4	Begrenzer-Verstärker für 2. Zwischenfrequenz, PLL-Demodulator und Feldstärkesignal-Gewinnung 36
3.1.5	Basisbandaufbereitung 37

3.2	Synthesizer S42024-H168-...	37
3.2.1	Prinzip Synthesizer	40
3.2.3	Regelverstärker mit Filter	40
3.2.4	Oszillator (VCO) und Entkopplungsverstärker 1	40
3.2.5	Entkopplungsverstärker 2, Ausgangsverstärker	42
3.2.6	Spannungsregelung +10V/+8V	42
3.3	Normalfrequenz-Generator (NFG)	43
3.3.1	Quarzoszillator S42024-D409-...	44
3.3.1.1	Grundgenerator 4,096 MHz	44
3.3.1.2	Frequenzteiler	47
3.3.1.3	Stromversorgung und Temperaturüberwachung	47
3.3.2	D/A-Wandler mit Erzeuger 6,4 MHz S42024-D425- ...	48
3.3.2.1	D/A-Wandler	48
3.3.2.2	Erzeuger 6,4 MHz	51
3.4	NFE-Interface S42024-H254-...	53
4	Funkkanalsteuerung	54
4.1	CPU S42025-H418-*1 + Software S42025-H433-A150	54
4.1.1	CPU-Baustein 80C85, Adressen- Daten- und Steuerbus	57
4.1.2	Speicher	60
4.1.3	Interruptsteuerung	60
4.1.4	Serielle Schnittstelle	61
4.1.5	VLSI-Bausteine	62
4.1.5.1	Takterzeugung	65
4.1.5.2	Teilerketten	66
4.1.5.3	Ablaufsteuerung	69
4.1.5.4	Überwachung und Rechnerreset	70
4.1.5.5	Korrelationsempfänger	71
4.1.5.6	Jittermesser	75
4.1.5.7	Offsetkorrektur	77
4.1.5.8	Decoder	80
4.2	BS-Interface S42024-H379-...	82
4.2.1	Laufzeitkorrektur	82
4.2.2	Adressendecodierung	85
4.2.3	Abfrage der Gestelladresse	85
4.2.4	Ausgabeports	85
4.2.5	Umsetzung der Feldstärke	86
4.2.6	Offsetkorrektur	86
4.2.7	Power-on-Reset, Reset-Taste	86
4.3	PHE-Interface S42024-H383-C1	87
4.3.1	Schnittstellen zum redundanten PHE, Verfügbarkeit	88
4.3.2	Störungsregister	92
4.3.3	Frequenzdiskriminator	93
4.3.4	6,4-MHz-Anpassung	94
4.3.5	Überwachen und -Umschalten des 6,4-MHz-Taktes	95
4.3.6	Überwachen der Sendeteilerkette	96
4.3.7	Frequenznachführung	97

5	Technische Daten	98
5.1	Empfänger	99
5.2	Synthesizer	100
5.3	Normalfrequenzgenerator	101
5.3.1	D/A-Wandler	101
5.3.2	Quarzoszillator	101
5.4	PHE-Interface	101
5.5	CPU	101
5.6	BS-Interface	101
6	Geräteübersicht	102

Diese Seite bleibt aus redaktionellen Gründen frei.

1 Übersicht

1.1 Phasenempfänger (PHE) im Netz C450

Der Phasenempfänger dient in der Basisstation (BS) zur Synchronisierung des Netzes. In jeder Basisstation sind zwei PHE vorhanden, von denen sich einer im aktiven Zustand, der andere als redundanter PHE im passiven Zustand befindet.

Der Phasenempfänger arbeitet mit einem hochgenauen Quarzgenerator und versorgt im aktiven Zustand alle Einrichtungen der Basisstation mit der Standardfrequenz 6,4 MHz und dem Rahmensetzsignal (auch Zeitzeichen genannt) QSETZ (1/2,4 s).

Für den Einsatz des Phasenempfängers gibt es grundsätzlich vier Betriebsarten, die den Typ der Basisstation hinsichtlich Synchronisierung bestimmen.

Initial-Basisstation

Die Initial-BS ist nur einmal im vollausgebauten Landesnetz an zentraler Stelle vorhanden. Bei ihr kann die Frequenzführung von einem externen Standard 2,048 MHz (z. B. Caesium Beam Standard) übernommen werden. In diesem Fall wird der Takt des externen Frequenznormals über die zusätzliche Baugruppe NFE-Interface (NFE = Normalfrequenzeinsatz) zugeführt. Dem gesamten Funkfernsprechnetzwird damit über die Initial-BS die Langzeitfrequenzgenauigkeit der externen Quelle aufgeprägt. Bei Ausfall des externen Frequenznormals läuft der Quarzgenerator des Phasenempfängers mit seiner eigenen Genauigkeit weiter.

Ersatz-Initial-Basisstation

Die Ersatz-Initial-BS hat die Aufgabe, bei Ausfall der Initial-BS das Netz weiterzuführen. Ist die Initial-BS in Betrieb, verhält sich die Ersatz-Initial-BS wie eine Normal-BS.

Insel-Basisstation

Die Insel-BS wird als Einzel-BS nur in der Phase des Netzaufbaus betrieben. Bei ihr ist ein synchronisierter Zeitbezug zu anderen Basisstationen nicht erforderlich.

Normal-Basisstation

Die Normal-BS stellt die typische Betriebsart der Basisstation dar. Bei ihr synchronisiert der PHE über seinen Empfänger die Phase des Rahmensetzsignales in periodischen Zeitabständen auf eine oder mehrere Referenz-Basisstationen. Sie stellt damit ihren Zeitbezug her. Die Referenz-BS kann entweder die Initial-BS oder eine Normal-BS sein. Die Stellinformation zur Frequenznachführung des PHE-Quarzgenerators wird aus dem Trend der notwendigen Phasenkorrektur abgeleitet.

Entsprechend den genannten Betriebsarten gibt es zwei Varianten des Phasenempfängers:

- Variante B1 in der Normal-BS
- Variante B2 in der Initial-BS (mit Baugruppe NFE-Interface).

Die vorliegende Beschreibung ist für beide Varianten gültig.

1.1.1 Netzsynchronisation

Innerhalb des Netzes gibt es eine hierarchische Gliederung der Synchronisation, die von der Initial-BS ausgeht; diese bestimmt in der Regel ihre Rahmensynchronisation selbst. Bei Ausfall der Initial-BS übernimmt eine benachbarte Basisstation als Ersatz-BS die Führung des Netzes. Nimmt die Initial-BS ihren Betrieb wieder auf, synchronisiert sie sich auf das bestehende Netz und übernimmt nach Abschluß der Synchronisation wieder die Rolle der Initial-BS.

Die hierarchische Synchronisation des Netzes geschieht in konzentrischen Ringen um die Initial-BS (siehe Bild 1). Es ist sichergestellt, daß der jeweils weiter außen liegende Ring seine Phasenkorrektur erst dann durchführt, wenn der innere Ring ein Höchstmaß an Genauigkeit hat und seine Korrektur mit Sicherheit abgeschlossen ist.

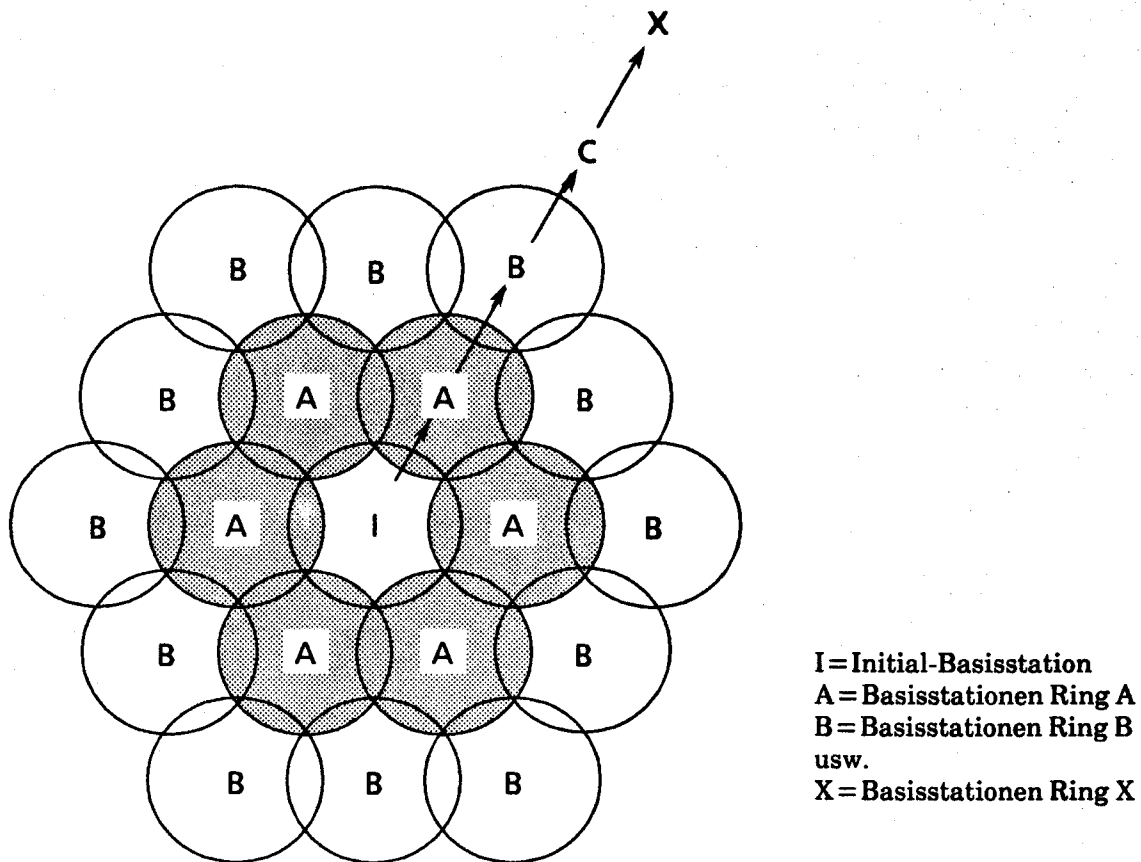


Bild 1 Prinzip der überregionalen Netzsynchrisation

Tritt eine Ungenauigkeit auf, die verhindert, daß eine Basisstation als Phasenbezugs-BS arbeiten kann, wird dies im Organisationskanal der betreffenden Basisstation durch den Status **BEDINGTE GENAUIGKEIT** signalisiert. Die unmittelbar nachfolgend betroffenen Basisstationen betrachten dann eine alternative Phasenbezugs-BS (PBF); auf diese wird die weitere Korrektur von QSETZ vorgenommen. Sobald die ursprüngliche BS ihre volle Genauigkeit wieder erreicht und signalisiert, nehmen die unmittelbar nachfolgenden Basisstationen ihre Synchronisation wieder auf die ursprüngliche PBF vor.

Während der Störung der Phasenführung in einer Basisstation (z.B. bei Ausfall des Empfängers im PHE) bleibt die Genauigkeit des mit seinem letzten Einstellwert freilaufenden Quarzgenerators von max. $\pm 1 \times 10^{-10}$ /Tag erhalten. Damit kann der Funksprechbetrieb noch über Tage weitergeführt werden.

Die Störung wird in der betroffenen Basisstation auch über die Sprechkanäle und den Organisationskanal nach außen gemeldet. Dies geschieht durch Setzen des Status **BEDINGTE GENAUIGKEIT**. Damit steht diese BS nicht mehr als PBF zur Verfügung.

Für die relative Entfernungsmessung und die Ermittlung der Funkzellengrenzen durch die Funkmeßempfänger (FME) ist Voraussetzung, daß das Rahmensetzsignal **QSETZ** in der eigenen Basisstation innerhalb einer engen Toleranz zeitgleich mit dem der jeweiligen Phasenbezugs-BS gegeben wird. Die Verzögerung der Signale der Phasenbezugs-BS zur eigenen Basisstation wird durch Phasenprogrammierung ausgeglichen. Sie ist durch die Sendelaufzeit t_s , die entfernungsabhängige Funklaufzeit t_f und die Empfängerlaufzeit t_e des Phasenempfängers bestimmt.

Die Schrittgröße der Entfernungsbewertung (Laufzeitbewertung) im Netz C beträgt $1,48 \mu\text{s}$ (1/128 bit von 5,28 kbit/s). Die Sende- und Empfangslaufzeit ist mit einer Toleranz behaftet, wobei beide die Auflösungsgrenze von $1,48 \mu\text{s}$ überschreiten. Das Prüffunkgerät kontrolliert die Sendelaufzeittoleranz. Die Laufzeittoleranz des Empfängers wird bei der Festlegung des internen **QSETZ** im Phasenempfänger automatisch eliminiert. Dies geschieht in einem vergleichenden Prüfablauf, mit Empfang des Signals des eigenen Organisationskanalsenders im Phasenempfänger.

1.1.2 Funktionsprinzip der Phasenmessung

Im Bild 2 ist eine Kette von drei Basisstationen dargestellt. Die BS1 arbeitet als Initial-BS, während BS2 dem ersten Synchronisierungsring A und BS3 dem zweiten Synchronisierungsring B angehört. Ein von der BS1 ausgesendetes Signal erreicht BS2 nach der Funklaufzeit $t_{F1.2}$.

Ein an der BS2 ausgesendetes Signal erreicht die BS3 nach der Funklaufzeit $t_{F2.3}$.

Um die Mechanismen der Netzsynchronisation deutlich zu machen, werden im Bild 3 für $t_{F1.2}$ und $t_{F2.3}$ unterschiedliche Werte (= unterschiedliche Funkzonenradien) angenommen.

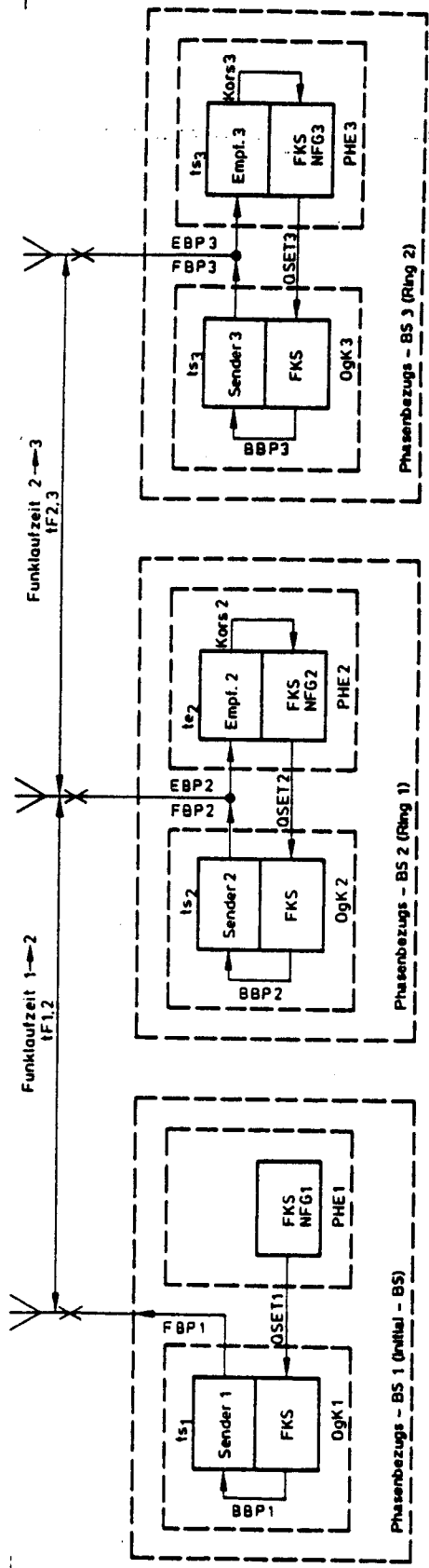


Bild 2 Netzsynchrisation von der Initial-Basisstation

In jeder Basisstation wird das Rahmensetzsignal QSETZ in der Funkkanalsteuerung (FKS) des Phasenempfängers erzeugt. In der Initial-BS1 ist die Takterzeugung des Phasenempfängers freilaufend, während sie in den Normal-BS2 und BS3 intern, mittels Korrelationssignal KORS in Phase und Frequenz auf die Bezugs-BS synchronisiert wird. QSET steuert in jedem Fall die Funkkanalsteuerung des Organisationskanals (OgK).

In der Funkkanalsteuerung des OgK werden Sende-Datenblöcke mit 3 x 11-Bit-Barkercode erzeugt. Die Mitte des 33. Bit des Barkercode- Wortes, das den Korrelationszeitpunkt darstellt und im Korrelationsempfänger zum Korrelationssignal KORS führt, wird am Ausgang der Funkkanalsteuerung als Barkercode-Bezugsphase (BBP) bezeichnet. Die BBP steht immer in einem festen zeitlichen Bezug zum Rahmensetzsignal QSETZ. In Analogie wird der entsprechende Zeitpunkt, an dem die Mitte des 33. Bit über den Sender abgestrahlt wird, als Funk-Bezugsphase (FBP) bezeichnet. Die FBP ist gegenüber der Barkercode-Bezugsphase um die interne Senderlaufzeit t_s verzögert.

Die Funk-Bezugsphase durchläuft das Funkfeld mit der Funklaufzeit t_F und erreicht den Empfänger-Eingang als Empfangs-Bezugsphase (EBP). Am Empfänger-Ausgang erscheint als Folge davon das Korrelationssignal KORS. Es ist gegenüber der Empfangs-Bezugsphase um die Empfängerlaufzeit t_e und deren Toleranz verzögert und wird in der Funkkanalsteuerung des Phasenempfängers zur Phasenführung von QSETZ verwendet.

Bei Ausfall einer Phasenbezugs-BS beziehen sich die unmittelbar nachfolgenden Basisstationen auf die jeweilige Ersatz-Phasenbezugs-BS. Ist diese eine Basisstation des davor liegenden Ringes, bleibt das Zeit-Korrekturschema völlig unverändert. Ist die neue Phasenbezugs-BS eine Basisstation aus dem gleichen Synchronisiererring, wird eine Phasenmessung und -korrektur zum gleichen Zeitpunkt (die zu zeitlichen Überschneidungen führt) durch das Zeiteilungsverfahren des Organisationskanals vermieden. Damit bleibt auch in diesem Fall das Zeit-Korrekturschema im Netz erhalten.

Bild 3 zeigt den zeitlichen Ablauf der Netzsynchronisation anhand der vordefinierten Barkercode-Bezugsphase, Funk-Bezugsphase und Empfangs-Bezugsphase.

Zeile 1 in Bild 3 zeigt das in der Initial-BS1 erzeugte und ausgesendete Signal, das im PHE-Empfänger der BS2 empfangen wird. Zum relativen Zeitpunkt t_0 läuft das Signal mit der Barkercode-Bezugsphase BBP1 von der Funkkanalsteuerung zum Sender der BS1. Nach der Senderlaufzeit t_{s1} wird das modulierte HF-Signal FBP1 zum Zeitpunkt t_1 als Funk-Bezugsphase gesendet.

Nach dem Durchlaufen der Funklaufzeit $t_{F1.2}$ erreicht das Signal EBP2 den Empfängereingang zum Zeitpunkt t_2 . Nun durchläuft das Signal den Empfänger im Phasempfänger der BS2 mit der Laufzeit $t_{e2} \pm 7 \mu s$. Zum Zeitpunkt t_3 entsteht am Empfängerausgang das Signal KORS2.

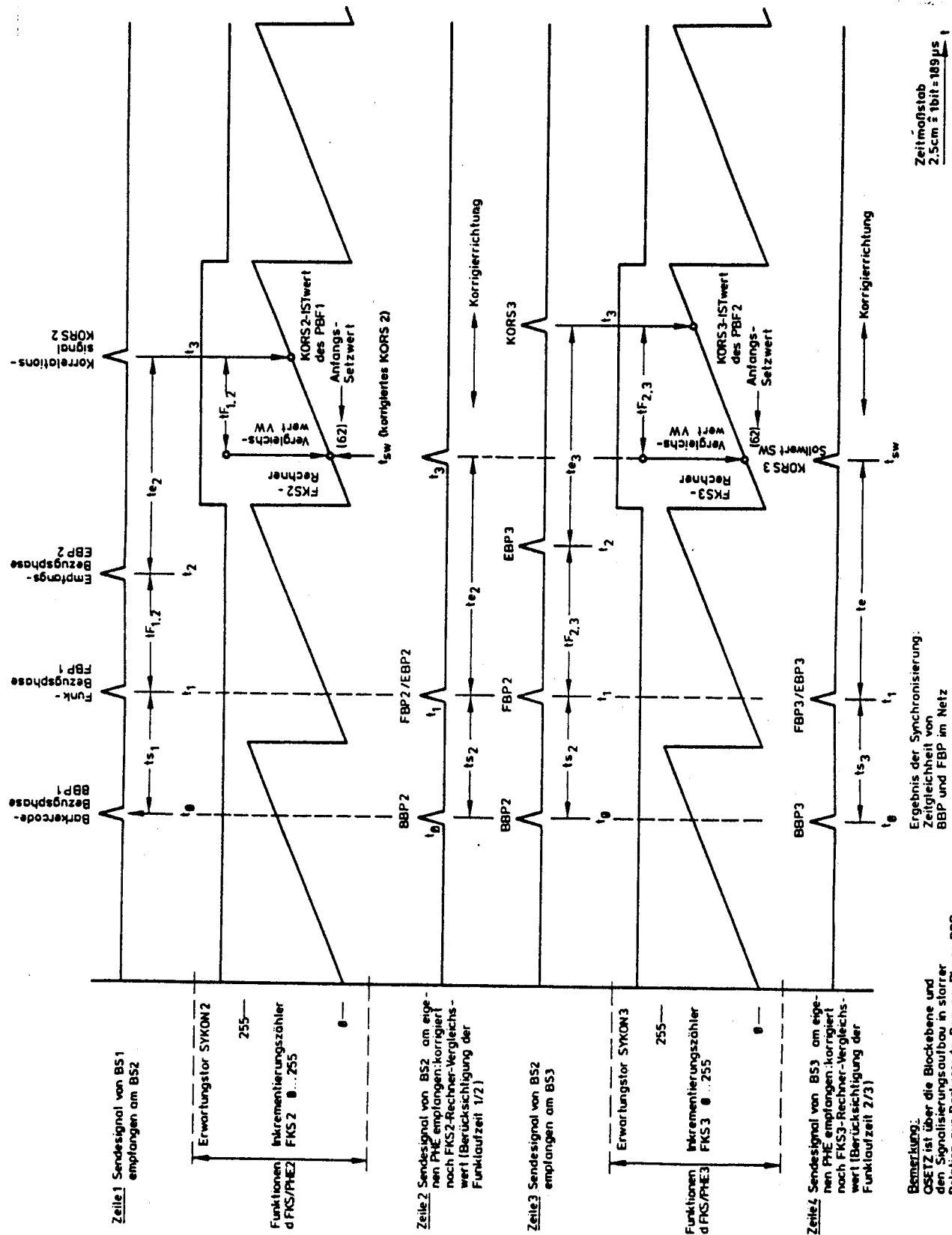
Unter Zeile 1 sind zwei für das Synchronisierungsgeschehen wichtige Funktionen der Funkkanalsteuerung im PHE2, die in fester Relation zu QSETZ stehen, dargestellt: Das KORS-Erwartungstor SYKON und die Zählerfunktion des Inkrementierungszählers.

Das Signal KORS2 fällt in das Bewertungstor SYKON2 und wird im Inkrementierungszähler gemessen (KORS2 Istwert). Nach Subtraktion der im PHE2 vorprogrammierten Funklaufzeit $t_{F1.2}$ entsteht ein Rechner-Vergleichswert, der zum Nachführen von QSETZ dient. Dieser Vergleichswert stellt den Bezug für die Nachführung des QSETZ2 in der BS2 dar.

Der Sollwert für die Nachführung wird durch fortlaufenden Empfang des Signals des eigenen Organisationskanals in der BS2 erzeugt. Die entsprechenden Abläufe sind in Zeile 2 dargestellt.

Liegt die von QSETZ2 abgeleitete Barkercode-Bezugsphase BBP2 bereits innerhalb der für t_0 zulässigen Toleranz (was nach Erreichen des eingeschwungenen Zustandes der Fall sein muß), liegt aufgrund der vernachlässigbaren Senderlaufzeittoleranz auch die FBP2 bei t_1 . Da in diesem Fall (Empfang des eigenen OgK) keine Funklaufzeit auftritt, entspricht FBP2 der EBP2 im Zeitpunkt t_1 . Das Signal durchläuft den PHE-Empfänger 2 mit der Laufzeit t_{e2} wie in Zeile 1. Das Signal KORS2 muß zum Soll-Zeitpunkt t_{sw} , der dem Rechner-Vergleichswert anfänglich entspricht, am Empfängerausgang anliegen.

Bild 3 Zeitdiagramm Netzsynchronisation



Abweichungen zwischen dem Rechner-Vergleichswert (VW) und dem KORS2-Sollwert entstehen einerseits durch die langsame gegenseitige Frequenzdrift der Quarzgeneratoren in BS1 und BS2, andererseits auch durch Laufzeitveränderungen des eigenen Empfängers (siehe Abschnitt 1.1.5). Sobald die Differenz die Korrekturschrittweite von $1,5\mu\text{s}$ übersteigt, wird diese Abweichung durch Nachsetzen von QSETZ2 in der Funkkanalsteuerung des PHE2 eliminiert. Durch diesen Regelkreis bleibt die QSETZ-Genauigkeit erhalten.

Wenn sich infolge einer Änderung der Laufzeittoleranz im Empfänger 2 eine Verschiebung des Rechner-Vergleichswertes ergibt, bleibt die Ausregelung von QSETZ-Differenzen erhalten. Die Änderung der Laufzeittoleranz wirkt sich in gleicher Weise auch auf den Sollwert (SW) aus.

Zeile 3 und 4 zeigen grundsätzlich den gleichen Ablauf zwischen BS2 und BS3, wie er in Zeile 1 und 2 zwischen BS1 und BS2 dargestellt ist. Ein Unterschied besteht darin, daß in Zeile 3 ein höherer Wert für die Funklaufzeit $t_{F2,3}$ angenommen wurde. Folglich schieben sich die Zeitpunkte t_2 und t_3 entsprechend nach rechts. Im Rechner der Funkkanalsteuerung des PHE3 wird die höhere Funklaufzeit $t_{F2,3}$ subtrahiert. Es ergibt sich (nach dem QSETZ-Setzvorgang) ein Vergleichswert, der wiederum dem Sollwert (Zeile 4), der durch den Empfang der eigenen Basisstation erzeugt wurde, entspricht. Hierbei wird QSETZ3 durch den Regelmechanismus auf absolute Zeitgleichheit innerhalb der Toleranz, bezogen auf QSETZ2, ausgeregelt.

1.1.3 Anlaufprozeduren

Die bisherigen Betrachtungen gelten für den eingeschwungenen, störungsfreien Betrieb. Für den Erst- und Wiederanlauf nach längerer Pause ergibt sich folgender Ablauf.

1.1.3.1 Anlauf der Normal-Basisstation

Der Anlauf im PHE wird selbständig ohne die Funkdatensteuerung (FDS) vorgenommen. Der PHE muß jedoch vorher seine Betriebsparameter erhalten haben. Mit dem Einschalten werden zuerst alle Störungsmeldungen auf Störung gesetzt und das Ausgangssignal QNSETF gesperrt. QNSETF ist das Rahmensetzsignal (Zeitzeichen), welches von der Baugruppe CPU im PHE zum Frequenzverteiler übertragen und von dort als Signal QSETZ an alle BS-internen Verbraucher verteilt wird. Nachdem die CPU das Frequenznormal auf einen Mittelwert - oder auf einen im Speicher noch vorhandenen früheren Wert - eingestellt hat und der Thermostat-Alarm abgeklungen

ist (etwa 30 min nach dem "kalten" Einschalten) wird der Erstzugriff durchgeführt; er umfaßt folgende Abläufe in der angegebenen Reihenfolge.

- Einholen der Anlagenliste (Betriebsparameter) von der FDS:

Der PHE gibt dazu ein "vorläufiges QSET" frei, wobei keiner der OSK- bzw. Spk-Sender eingeschaltet ist. Nach Erhalt des Zeitzeichens in der FDS ist der Datendialog mit dem PHE über die serielle Schnittstelle möglich. Der PHE erhält Angaben über die Empfangsfrequenz, PBF-Nummern und deren Entfernungswerte.

- PBF-Empfang:

Zuerst wird die Freigabe für das Setzen der NFQ- und der Empfangsteilerkette über die Signale "Freigabe Korrelationssignal FRKORS" und "Freigabe Suchlauf" durchgeführt. Der Rechner erkennt ein Korrelationssignal aus der Empfangssignalisierung über den Port KORS ERKANNT im Korrelationsempfänger.

Mit dem ersten erkannten Korrelationssignal KORS eines PBF werden beide Teilerketten direkt gesetzt. Nach dem Setzvorgang sperrt der Rechner den Port FREIGABE SETZEN TEILERKETTE und nimmt den Suchlauf zurück. Unmittelbar danach können mit der nunmehr eingestellten Empfangsteilerkette die Empfangsdaten über den Decoder mit Fehlererkennung ausgewertet werden. Bei gestörten Daten, oder wenn es sich nicht um das KORS einer PBF handelt, wird der Zugriff wiederholt. Erst wenn das KORS einer PBF (und zwar einer Leerruf-Signalisierung) erkannt wurde, wird eine Korrektur von QSETZ mit der Funklaufzeit vorgenommen und der Blocksynchronismus durch Einstellen des Blockzählers auf den Wert, der in der Empfangssignalisierung stand, hergestellt.

Nach erfolgreicher Kontrollmessung der PBF wird QNSETF und damit QSETZ für die Basisstation freigegeben (Status BEDINGTE GENAUIGKEIT).

Sobald die Sprechkanäle mit Erreichen des Status BEDINGTE GENAUIGKEIT freigegeben sind, werden sie über das Prüffunkgerät (PFG) geprüft und dem Verkehr übergeben.

Sobald die Phasenkorrektur über eine gewisse Zeit keine größeren Korrekturschritte mehr ausführt, ist der Status VOLLE GENAUIGKEIT erreicht. Im Organisationskanal wird die Basisstation damit als PBF ausgewiesen.

1.1.3.2 Erstanlauf der Initial-Basisstation

Die Initial-BS hat, im Gegensatz zur Insel-BS, in jedem Fall Nachbar-Basisstationen. Beim Hochfahren des Netzes wird als erste die Initial-BS in Betrieb genommen. Im normalen Erstanlauf kann daher die Initial-BS noch keine Nachbar-Signalisierungen empfangen. Deshalb wird manuell über einen Schalter auf der Baugruppe NFE-Interface der Port "Insel-FuKo" gesetzt, so daß wie in der Insel-BS das QSETZ-Signal mit dem augenblicklichen Zeitbezug freigegeben wird.

Mit Löschen des Thermostat-Alarms wird der Funkdatensteuerung der Status **BEDINGTE GENAUIGKEIT** übertragen und als Folge davon gehen Organisationskanal, Sprechkanal, Funkmeßempfänger und Prüffunkgerät in Betrieb. Nach Ablauf von 10 Minuten überträgt der Phasenempfänger den Status **VOLLE GENAUIGKEIT**, der bereits eine Grundgenauigkeit des Frequenznormals von 2×10^{-9} garantiert.

Mit dem Zustand **BEDINGTE GENAUIGKEIT** beginnt im aktiven Phasenempfänger auch die Nachführung des Normalfrequenzgenerators auf das externe Frequenznormal 2,048MHz, dessen Pegel im Phasenempfänger überwacht wird. Ein unzulässiges Unterschreiten des Pegels führt zum Umschalten auf die Ersatz-Einrichtung. Mit dem Zustand **VOLLE GENAUIGKEIT** synchronisieren sich die Nachbar-Basisstationen auf die Initial-BS.

1.1.4 Eingeschwungener Zustand des Phasenempfängers (Frequenzführung)

Die fortlaufende Phasenkorrektur des Phasenempfängers zur Phasenbezugs-BS wird im Rechner zur Frequenzführung über viele Ereignisse gemittelt. Bei Bedarf wird die Frequenzeinstellung des Normalfrequenzgenerators vom Rechner über dessen DA-Wandler entsprechend nachgeführt. Die Frequenz des Normalfrequenzgenerators ist dann optimal eingestellt, wenn sich eine minimale Phasenänderung ergibt.

Im weiteren Verlauf werden die Einstellwerte des DA-Wandlers des Frequenznormals in den Speicher des PHE übertragen.

Tritt im aktiven Phasenempfänger eine unzulässig hohe Ablage des Korrekturwertes nach Erreichen der **VOLLEN GENAUIGKEIT** auf, so wird für die Dauer der Frequenz-Grobkorrektur auf **BEDINGTE GENAUIGKEIT** zurückgegangen.

1.1.5 Eigenmessung

(Ausgleich der Empfängerlaufzeittoleranz)

Nachdem die Funktion des Organisationskanals über das Prüffunkgerät laufend kontrolliert wird (Kontrolle der Senderlaufzeit des eigenen Organisationskanals), kann im Phasenempfänger die Messung der Empfängerlaufzeittoleranz durchgeführt werden.

Bei dieser Messung ist bereits ein Mittelwert von $(t_s + t_e) = 2,5$ bit sowie die konstante Regenerationszeit von 0,5 bit durch Vorhalt des eigenen OgK-Sendeteilers zum NFQ-Teiler des PHE um insgesamt 3 bit berücksichtigt.

Ein Abweichen des Inkrementierungszählwertes vom Rechnervergleichswert entspricht damit direkt $\Delta(t_s + t_e)$ bzw. Δt_e , wenn die relativ geringe Differenz der Senderlaufzeiten von PBF und eigenem OgK vernachlässigt wird.

Änderungen der Inkrementierungszählerwerte, werden als Eichwerte hinterlegt, die bei der nächsten Phasenmessung berücksichtigt werden.

1.1.6 Korrektur des Zeitzeichens im passiven Phasenempfänger

Stellt ein PHE fest, daß trotz der eigenen Verfügbarkeit sich der eigene Status PASSIV nicht verändert hat, führt der Phasenempfänger seine Versorgungssignale QSETZ und 6,4 MHz auf die des aktiven Phasenempfängers nach.

Um sicher zu sein, daß eine eventuell festgestellte, größere Phasenabweichung nicht durch einen defekten Phasenempfänger hervorgerufen wurde, wird die Übernahme des Zeitbezuges in den passiven Phasenempfänger nach einer bestimmten Karenzzeit vorgenommen. Bleibt für den Phasenempfänger während dieser Zeit der Status PASSIV erhalten, wird der eigene Zeitbezug durch indirektes Nachführen auf das QSETZ des aktiven PHE korrigiert.

1.2 Phasenempfänger in der Basisstation

1.2.1 Einsatzhinweise

Der Phasenempfänger versorgt in der Basisstation alle Einrichtungen mit dem 6,4-MHz-Taktsignal (QT6,4M) und dem Rahmensetzsignal QSETZ (siehe Bild 4). Aus Sicherheitsgründen ist der Phasenempfänger doppelt vorhanden. Beide Phasenempfänger liefern ihre Versorgungssignale (6,4MHz, Rahmensetzsignal) an die doppelt vorhandenen Frequenzverteiler, die die Signale auf die BS-Einrichtungen verteilen. Die Steuerung beider Frequenzverteiler geschieht über eine gemeinsame Steuerleitung (QAKZ) aus dem PHE1. Damit werden unterschiedliche Schalterstellungen in Frequenzverteilern vermieden. Fehlt der PHE1 (Zentralgestell 1), liegt der Umschalter so, daß der Phasenempfänger im Zentralgestell 2 die Basisstation versorgt.

Der Phasenempfänger wird an einer eigenen Empfangsantenne (Richtantenne) betrieben. Wie für alle anderen Einrichtungen gibt es auch für den Phasenempfänger eine Schnittstelle zur Funkdatensteuerung in der Basisstation. Über diese Schnittstelle werden alle für den Betrieb wichtige Daten übertragen.

Beim Anlauf einer BS muß der Phasenempfänger zunächst ohne Kenntnis der Betriebsparameter (Übertragung von der FDS erst mit dem Betrieb der seriellen Schnittstelle möglich) ein vorläufiges Setzsignal freigeben; dabei wird kein Vermittlungsverkehr abgewickelt. Nach dem Übertragen der Betriebsparameter wird das Setzsignal gesperrt und die Synchronisation auf die Bezugs-BS, unter Berücksichtigung der Funk- und Gerätelaufzeit, vorgenommen. Danach wird das Setzsignal endgültig freigegeben, die BS nach Abschluß des Anlaufs für die Vermittlungstechnik.

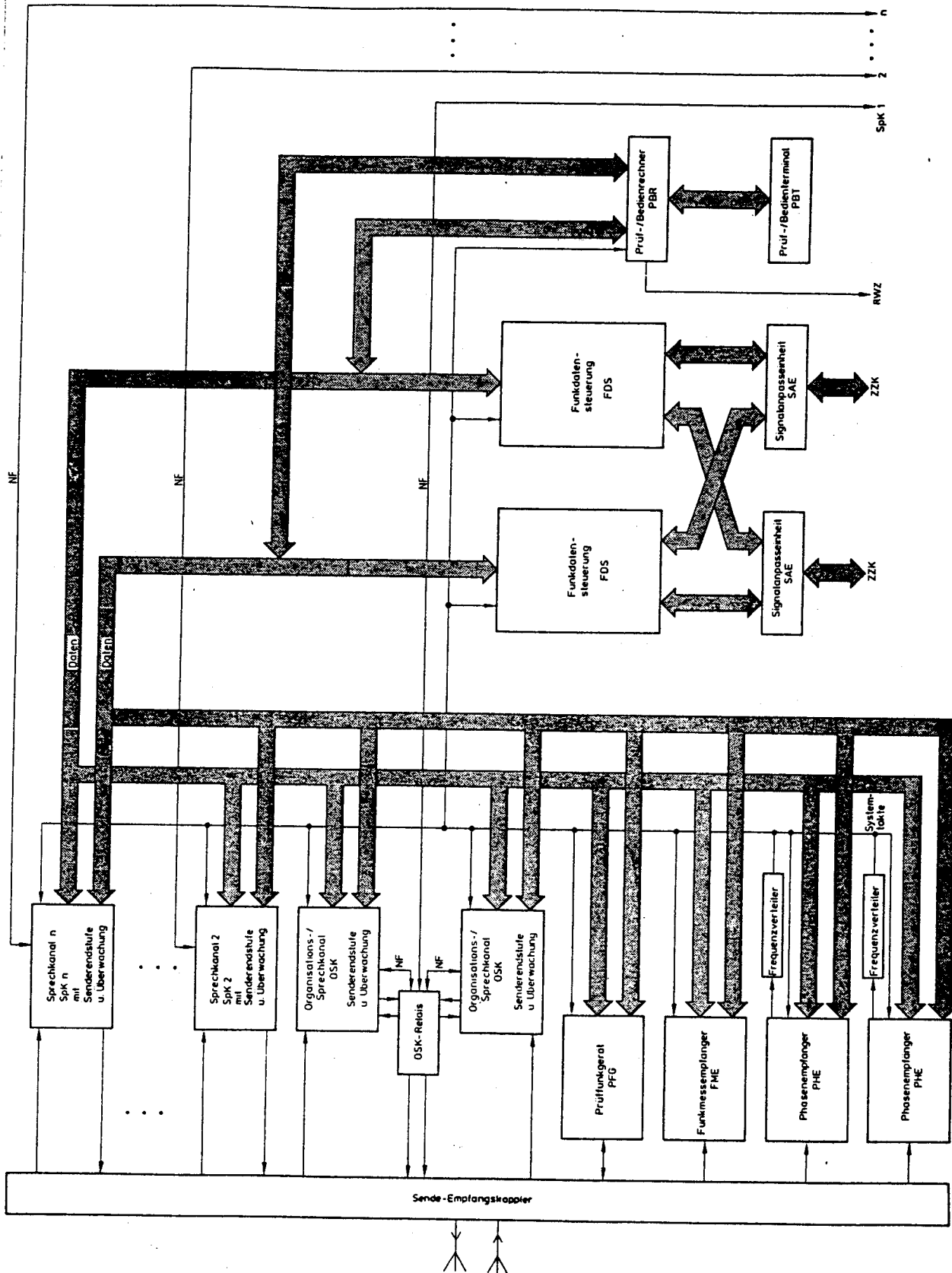


Bild 4 Übersichtsschaltplan einer Basisstation

1.2.2 Redundanter Phasenempfänger

Aus Betriebs-Sicherheitsgründen ist der Phasenempfänger doppelt vorhanden (Betriebs- und Ersatz-PHE - siehe auch Bild 5). Die Rahmensetzsignale QSETZ beider Phasenempfänger werden dabei auf eine Zeitdifferenz von $< 3\mu\text{s}$ phasengleich gehalten, unabhängig davon, welcher PHE aktiv ist.

Nachfolgend werden die Funktionen der Ersatzschaltung des Phasenempfängers für den Einsatz in der Initial-, Insel- und Normal-BS beschrieben.

1.2.2.1 Initial-Basisstation

In der Funktion der Initial-BS übernimmt der PHE1 im Status AKTIV die Ansteuerung der Basisstation. Bei externer Frequenzführung wird der Quarzgenerator im PHE 1 direkt, der Generator im PHE2 über das Ausgangssignal QSET des PHE1 indirekt auf die Genauigkeit des externen Standards nachgeführt. Fällt die externe Bezugsfrequenz (2,048MHz) aus, läuft das interne Quarznormal des PHE1 mit seiner letzten Einstellung weiter.

Durch das Auswerten der PHE-Störungsregister ist dieser Status der Software-Verarbeitung bekannt.

Die Frequenzführung des Quarzgenerators wird über einen Frequenzdiskriminator in der Baugruppe PHE-Interface und einen DA-Wandler gesteuert. Der DA-Wandler hält bei Störungen seinen letzten Einstellwert fest.

1.2.2.2 Insel-Basisstation

Die Funktionen des Phasenempfängers bei der Insel-BS entsprechen grundsätzlich denen der Initial-BS, ohne Ansteuerung durch ein externes Frequenznormal. Der frei laufende Quarzgenerator des PHE1 übernimmt die Frequenz- und Phasenführung. Die Quarzfrequenz des PHE2 wird auch hier auf die des PHE1 nachgeführt.

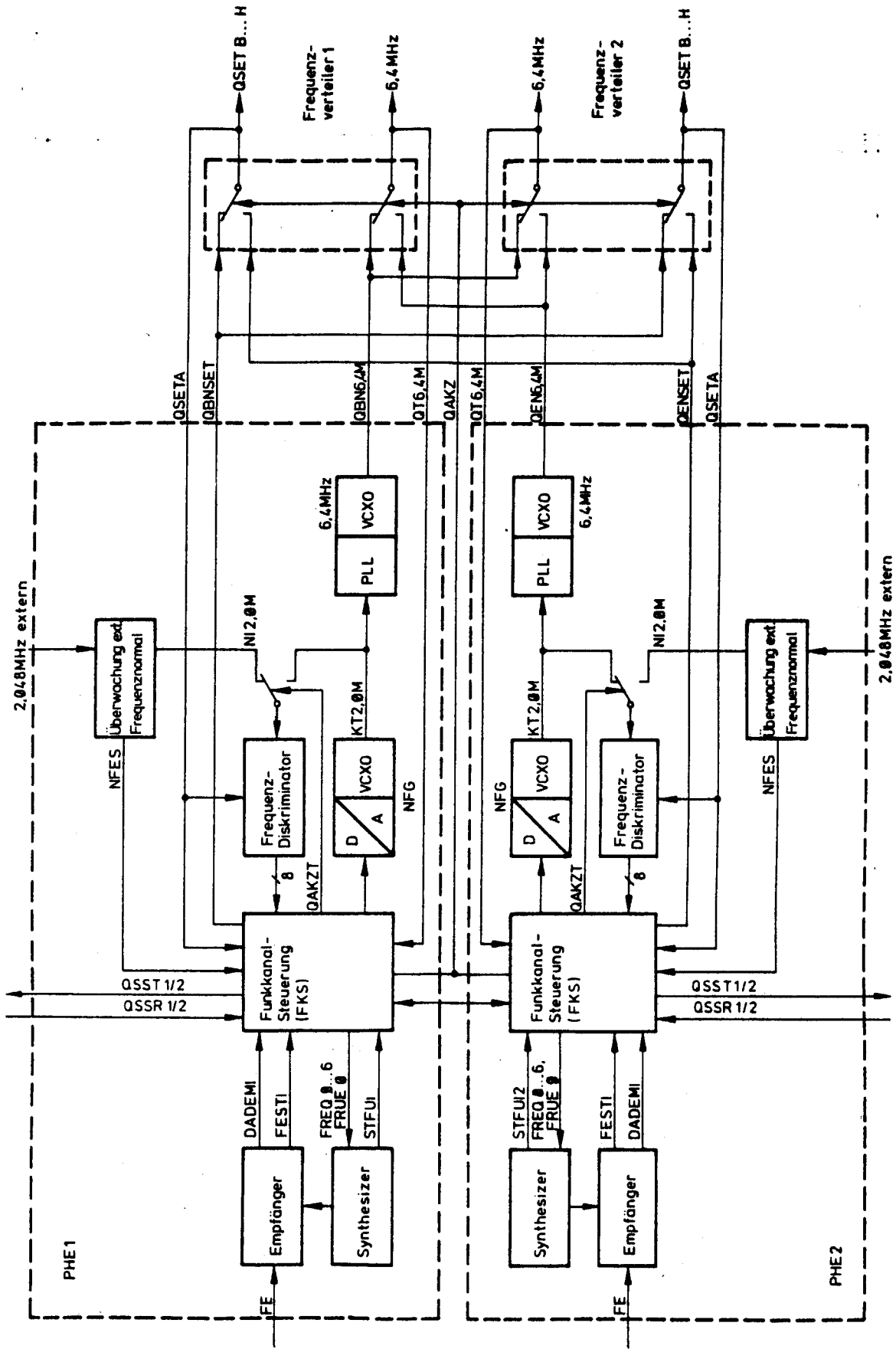


Bild 5 Ersatzschaltung Phasenempfänger

1.2.2.3 Normal-Basisstation

Ist PHE1 AKTIV, wird sein Quarzgenerator über die Frequenzführung auf die mittlere Frequenzstabilität der Phasenbezugs-BS nachgeführt. Die Stellgröße für die Frequenzführung wird aus den Phasenabweichungen der empfangenen Korrelations-signale im Rechner ermittelt. Der Quarzgenerator von PHE2 wird auch hier direkt dem des PHE1 nachgeführt. Fällt der PHE1 aus, übernimmt der PHE2 die Phasen- und Frequenzführung ohne größeren Sprung des Rahmensetzsignals. Dieser Zustand bleibt auch nach dem Service-Austausch des PHE1 erhalten. Der Quarzgenerator des neuen PHE1 wird auf den PHE2 nachgeführt. Damit ist in kurzer Zeit die volle Betriebssicherheit wieder hergestellt.

Mit dem Ausfall von PHE2 werden die dem Phasenempfänger nachgeschalteten Frequenzverteiler umgeschaltet. Der Umschalter in beiden Frequenzverteilern wird mit dem ursprünglichen Statussignal AKTIV des PHE1 auf dessen Versorgungssignale eingestellt. Ist der PHE1 defekt (nicht verfügbar), so liegt der Umschalter automatisch an den Versorgungssignalen von PHE2. Zur Erhöhung der Ausfallsicherheit versorgen die beiden Frequenzverteiler (auch als "Frequenzverteilerhälften" bezeichnet) je 50% der Funkeinsätze mit dem 6,4-MHz- Standardtakt und dem Rahmensetzsignal QSETZ. Es wird von der Funkdatensteuerung sichergestellt, daß die Organisationsfunktion ersatzweise auf eine der weiterhin versorgten Einheiten übergeht, wenn der Organisationskanal (OgK) im betroffenen Versorgungsabschnitt liegt.

1.3 Funktionseinheiten des Phasenempfängers

Der Phasenempfänger (siehe Bilder 6 und 7) besteht aus dem Funkteil mit Empfänger und Synthesizer, der Funkkanalsteuerung mit Rechner, BS-Interface und PHE-Interface sowie dem Normalfrequenzgenerator (NFG), bestehend aus dem Quarzoszillator (Frequenz 2,048 MHz) und dem DA-Wandler mit Erzeuger 6,4 MHz. Die Initial-BS enthält eine weitere Baugruppe, das NFE-Interface.

1.3.1 Funkteil

Der gleichspannungsgekoppelte Empfänger ist über ein Bandfilter an die PHE-Antenne angeschlossen.

Die Einstellung der Empfangsfrequenz des Synthesizers sowie die Bewertung der Störungsmeldungen wird über die Interface-Baugruppen durch den Rechner vorgenommen. Der Empfänger liefert das Empfangsdaten- und Feldstärkesignal (DADEMI, FESTI) an die Baugruppe BS-Interface.

Das Empfangsdatensignal wird nach der Offsetkorrektur auf der Baugruppe BS-Interface nach Empfangsgüte ausgewertet.

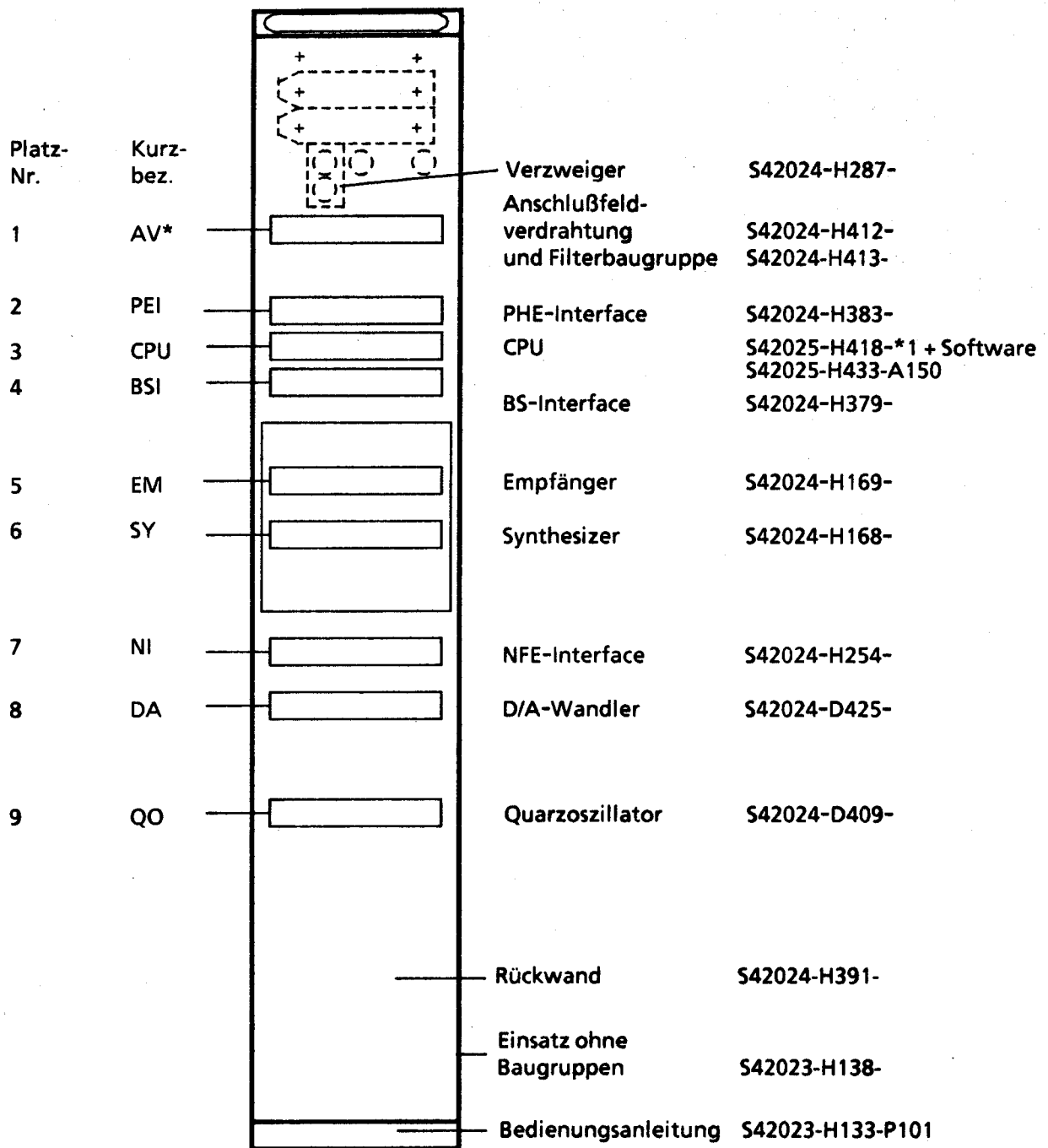
1.3.2 Normalfrequenzgenerator

Die Baugruppe Normalfrequenzgenerator (NFG) ist in zwei Funktionseinheiten gegliedert:

Der Quarzoszillator, bestehend aus dem Grundgenerator, der Stromversorgung, der Temperaturüberwachung und dem Frequenzteiler, liefert den Grundtakt 2,048 MHz für die Erzeugung des 6,4-MHz-Standardtaktes.

Die Funktionseinheit D/A-Wandler und Erzeuger 6,4 MHz enthält einen D/A-Wandler zur Frequenzsteuerung des 2,048-MHz-Frequenznormals und einen Quarzoszillator mit Phasendiskriminator, Loopfilter und Synchronüberwachung.

Das NFE-Interface ist nur im Phasenempfänger einer Initial-BS eingesetzt und empfängt den Takt des externen 2,048-MHz-Frequenznormals. Vom NFE-Interface wird der 2,048-MHz-Takt an die Baugruppe PHE-Interface weitergeleitet.



*) Bestandteil des Leereinsatzes

Bild 6 Aufbau des Phasenempfängers

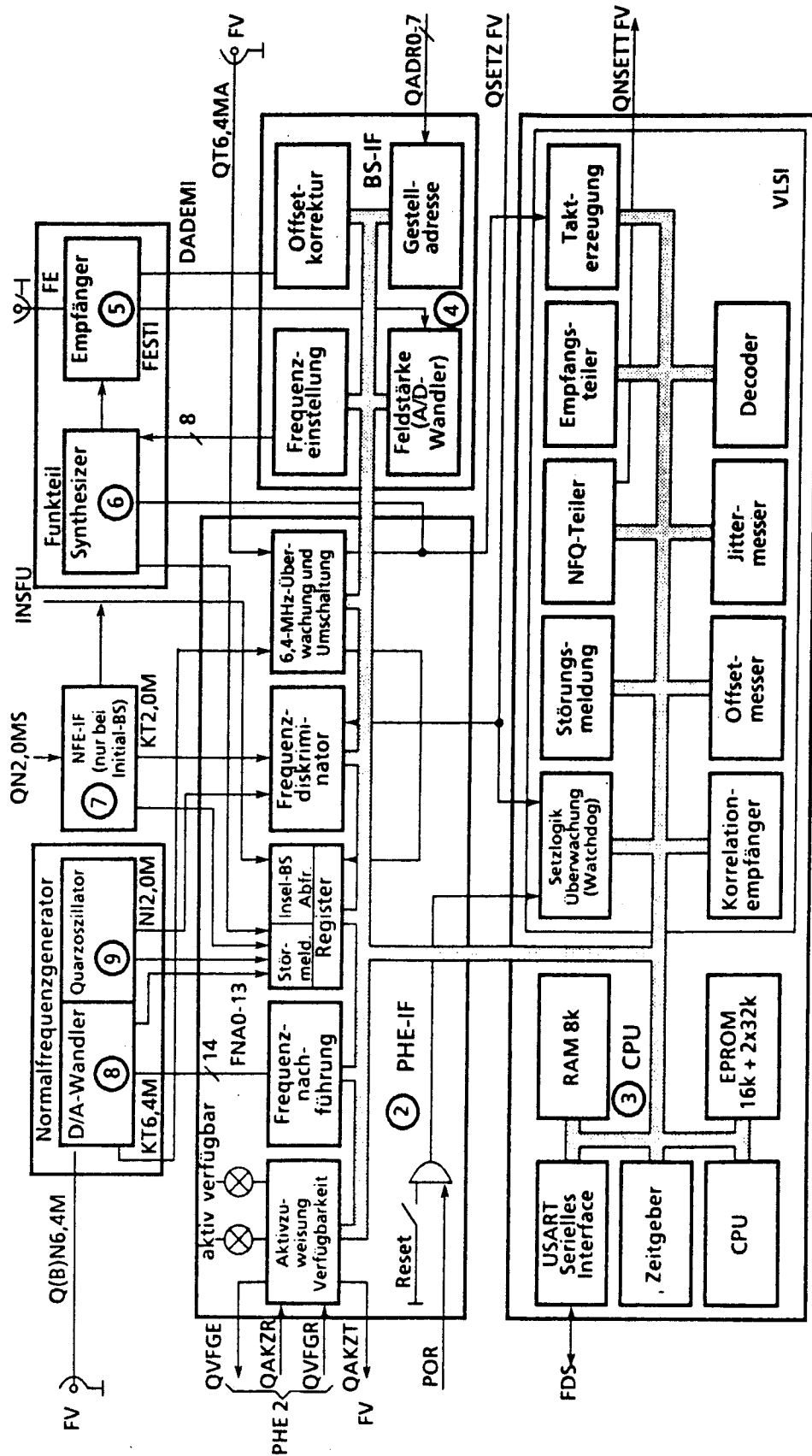


Bild 7 Übersichtsschaltplan Phasenempfänger

1.3.3 Funkkanalsteuerung

Die Funkkanalsteuerung besteht aus der CPU-Baugruppe, dem BS-Interface, sowie dem PHE-Interface.

Die CPU-Baugruppe enthält neben CPU (80C85), RAM und EPROM einen Zeitgeber und einen seriellen Ein-/Ausgabebaustein (USART) für block- und zeitplatzorientierten Datenaustausch zur Funkdatensteuerung. Außerdem befinden sich auf der CPU-Baugruppe die beiden VLSI-Bausteine mit der Taktaufbereitung (mit Empfangsteiler und Normalfrequenz-Teiler), Signalbewertung, Decoder und einigen anderen Funktionen.

Die Signalbewertung besteht aus Jittermesser, Korrelationsempfänger und Offsetmesser. Im Korrelationsempfänger wird aus dem Barkercode des Empfangsdatenblocks der Empfangstakt-Phasenbezug ermittelt, auf den die Empfangsteilerkette durch das Korrelationssignal direkt eingestellt wird. Damit kann der Decoder die Nutzinformation lesen und sie zum weiteren Auswerten dem Rechner übertragen. Durch den Jittermesser wird über die blockweise summierte Zeichenwechseleränderung der digitalen Signalisierungsdaten im Rechner der Geräuschabstand ermittelt; dieser Wert gilt ebenso wie die Feldstärke als ein Maß für die Empfangsgüte.

Jede Gleichspannungsablage auf den vom Empfänger gelieferten Daten würde die Lesesicherheit der Nutzinformation beeinträchtigen. Der Offsetmesser ermittelt die Gleichspannungsablage. Der Ablagewert läßt sich entweder direkt durch den Offsetmesser oder über den Rechner ausgleichen, indem die Funktionseinheit Offsettingstellung auf dem BS-Interface vom Offsetmesser mit einem 8-bit-Wort angesteuert wird.

Die PHE-Taktaufbereitung enthält neben der Empfangsteilerkette den Normalfrequenzteiler. Er erzeugt das Zeitzeichen NSETT, das als QNSETF zum Frequenzverteiler gelangt. Beide Teilerketten werden in einer Überwachungseinheit auf Synchronzustand überwacht. Über eine Phasenmeßeinrichtung kann im aktiven PHE bei Phasenabweichung der empfangenen Korrelationssignale eine Nachstellgröße für die eigene Teilerkette gebildet werden; im passiven PHE ermöglicht diese Einrichtung durch Vermessen des Zeitzeichens des aktiven PHE ein Nachführen auf dessen Phase.

Die beiden Interface-Baugruppen enthalten neben Rechner-Ports auch die Störungsregister. Die Störungsmeldungen werden zum Status VERFÜGBAR verknüpft. Der Status VERFÜGBAR ist erreicht, sobald alle Fehlermeldungen abgeklungen sind und das Freigabesignal vom Rechner gesendet wurde.

Der Status **AKTIV** wird durch die Verknüpfung aus der eigenen Verfügbarkeit und dem Statussignal **QAKZR** aus dem zweiten **PHE** gebildet; somit wird immer nur derjenige **PHE** aktiv, der zuerst den Zustand **VERFÜGBAR** erreicht hat.

Der aktive Phasenempfänger versorgt die Basisstation mit den Signalen **6,4 MHz** und **QSETZ**. Über die Ports auf der Baugruppe **PHE-Interface** wird außerdem der Normalfrequenzgenerator nachgeführt.

Im Frequenzdiskriminator der Baugruppe **PHE-Interface** wird bei **Initial-BS-Betrieb** das externe **2,048-MHz-Signal** oder im passiven **PHE-Betrieb** die Normalfrequenz des aktiven **PHE** mit dem internen Quarznormal verglichen. Mit der dadurch ermittelten Stellgröße wird das interne Quarznormal korrigiert.

Darüberhinaus werden auf dem **PHE-Interface** sowohl die externen, als auch die internen **6,4-MHz-Frequenzen** überwacht und umgeschaltet.

2 Schnittstellen

2.1 Externe Schnittstellen

2.1.1 Schnittstelle zur Antennenanlage

Über diese Schnittstelle erhält der Empfänger im PHE von der Antennenanlage über das PHE-Bandfilter das HF-Eingangssignal FE (Koaxanschluß).

2.1.2 Schnittstelle zum Frequenzverteiler

Der 6,4-MHz-Takt aus dem Normalfrequenzgenerator (NFG, siehe Kap. 3.3) sowie das Rahmensetzsignal (Zeitzeichen) aus dem NFQ-Teiler (Signal NSETF aus dem VLSI-Baustein auf der CPU) werden zu den Frequenzverteilerhälften FV1 und FV2 geführt.

Mit Hilfe des Aktiv-Signales QAKZ (-AKTZW auf PHE-Interface im PHE1) wird im Frequenzverteiler umgeschaltet (siehe auch Bild 8).

Je nach Schalterstellung im Frequenzverteiler wird der PHE mit dem 6,4-MHz-Taktsignal und dem Setzsignal QSETZ aus dem jeweils aktiven PHE versorgt.

2.1.3 Schnittstelle zum Ersatz-Phasenempfänger (PHE 2)

Da der PHE doppelt vorhanden ist, ist es erforderlich, daß mittels einer Auswahlschaltung jeweils ein PHE die Taktversorgung der BS übernimmt. Die Schnittstellensignale sind in Bild 8 dargestellt.

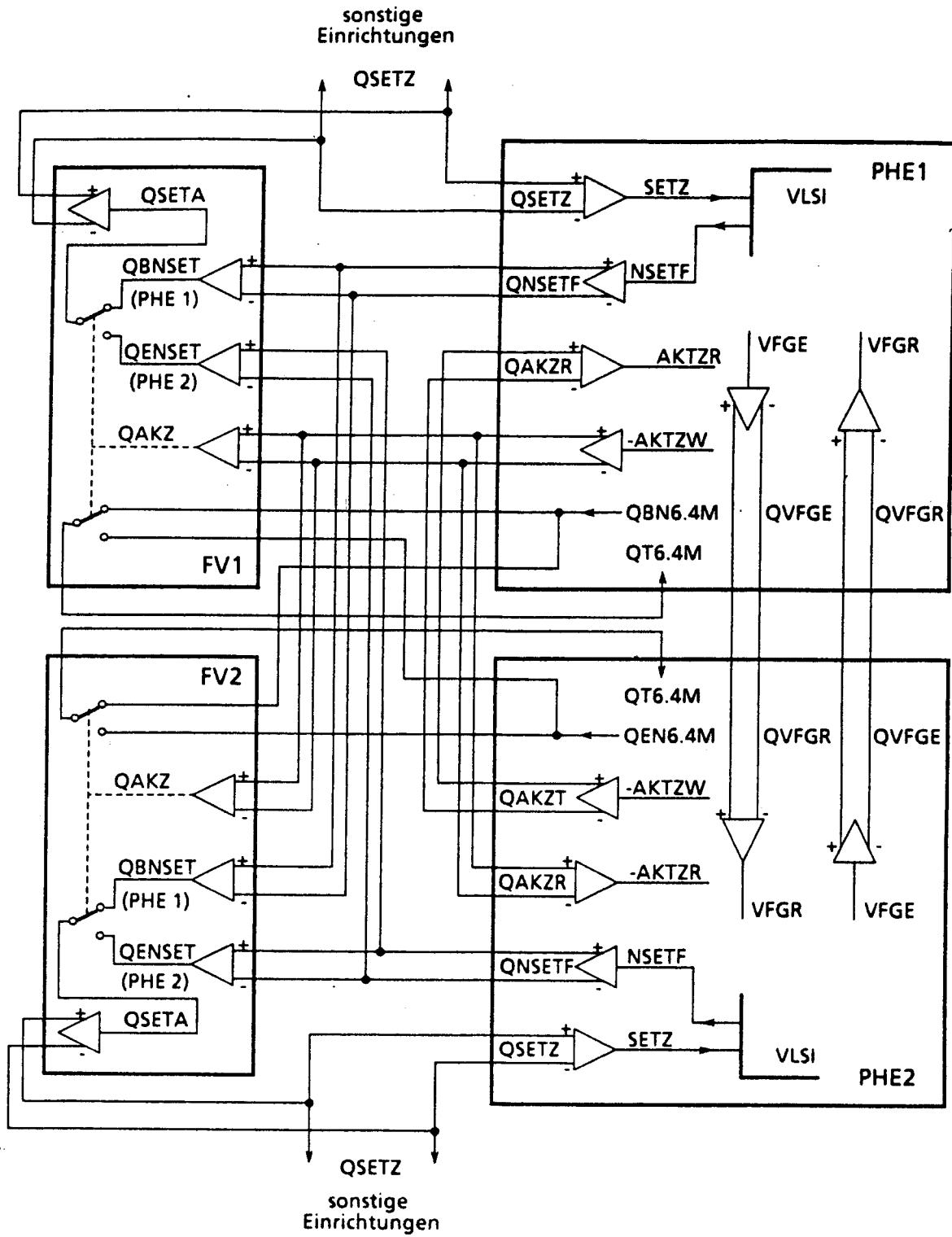


Bild 8 Schnittstelle zum Frequenzverteiler

2.1.4 Schnittstelle 2,048-MHz

Diese Schnittstelle wird nur in der Initial-BS verwendet. Dort ist sie unmittelbar an das DBP-Kabelnetz angeschlossen; sie enthält den mit QN2,0MS bezeichneten Takt von 2,048 MHz (siehe auch Bild 9).

2.1.5 Serielle Schnittstelle zur Funkdatensteuerung (FDS)

Über diese Schnittstelle, die aus symmetrischen Leitungen besteht, wird der Datenaustausch mit der FDS vorgenommen. Die Daten werden über jeweils zwei Treiberbausteine (Signale QSST1 und QSST2) gesendet und über zwei Empfangsbausteine (Signale QSSR1 und QSSR2) empfangen. Die Bausteine befinden sich auf der CPU.

2.1.6 Schnittstelle zur Gestellverdrahtung

An dieser Schnittstelle wird die durch die Gestellverdrahtung festgelegte Gestelladresse (auch als Kanaladresse bezeichnet) übergeben (Auswertung auf BS-Interface; Leitungen QADR0-7).

2.1.7 Schnittstelle zur Stromversorgung

Zur Generierung eines Power-On-Resets nach Spannungsausfall wird neben den Versorgungsspannungen +5 V, +10 V und +13,8 V das Signal POR (-PHE) aus der Stromversorgung zugeführt.

2.2 Interne Schnittstellen

2.2.1 Funkteil ↔ Steuerung

Zwischen der Steuerung und dem Synthesizer werden folgende Signale ausgetauscht:

FRUE0 aus BS-Interface, steuert Frequenzeinstellungs-Übernahme im Synthesizer

FREQ0-6 aus BS-Interface, liefert Einstellungsdaten an den Synthesizer

SYLOK0 aus dem Synthesizer, liefert Störungsmeldung an das PHE-Interface

Der Empfänger liefert folgende Analogsignale an das BS-Interface:

FESTI (Feldstärkesignal)

DADEMI (Datensignal)

2.2.2 Normalfrequenzgenerator ↔ Steuerung und NFE-Interface ↔ Steuerung

Die Verbindungsleitungen zwischen dem Normalfrequenzgenerator bzw. dem NFE-Interface und der Steuerung sind in Bild 9 dargestellt.

Taktsignale (zur Steuerung):

KT6,4M vom D/A-Wandler

NI2,0M vom D/A-Wandler

KT2,0M vom NFE-Interface

Störungsmeldungen (zur Steuerung):

BSDAW vom D/A-Wandler (Betriebsspannung gestört)

LOK6,4 vom D/A-Wandler (6,4MHz nicht gelockt)

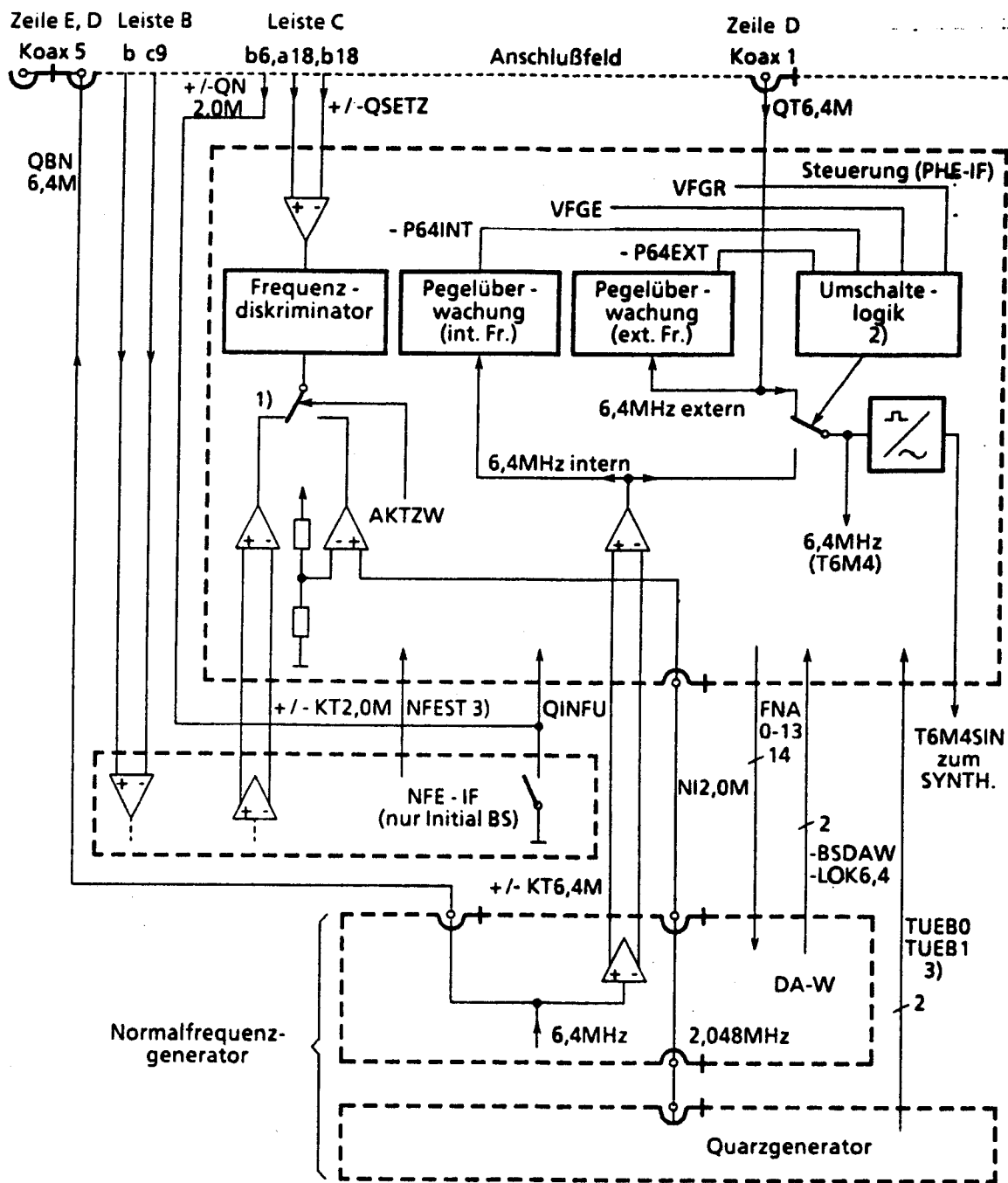
NFEST vom NFE-Interface (Ansprechen Pegelüberwachung externe 2,048 MHz)

TUEB0,1 vom Quarzoszillator (Temperaturüberwachung)

Statusmeldung (zur Steuerung):

QINFU (Insel-"FUKO", kommt entweder von der Gestellverdrahtung oder vom Anschlußfeld).

Aus der Steuerung (PHE-Interface) kommen die Signale FNA0-13, mit denen die Frequenz im Quarzoszillator nachgeführt wird.



- 1) gezeichnete Stellung: PHE aktiv
- 2) Schalter steht auf "interne Frequenz": wenn - P64EXT = 0 und - P64INT = 1
Rückschalten: wenn - P64EXT = 1, - P64INT = 1, VFGR = 1 und VFGE = 1
- 3) Störungsmeldungen

Bild 9 Taktleitungen 2 MHz und 6,4 MHz; Prinzip der 6,4-MHz-Umschaltung

3 Funkteil und Frequenzerzeugung

3.1 Empfänger S42024-H169-...

Der Empfänger (siehe Bild 10) ist Bestandteil des Funkteils im Phasenempfänger, er stellt die Verbindung zur Antennenanlage (PHE-Bandfilter) dar (siehe externe Schnittstellen 2.1.1).

Das von der Antenne über das PHE-Bandfilter kommende Empfangssignal (FE) wird über die 1. Zwischenfrequenz (1. ZF 21,4 MHz) in die 2. ZF (100 kHz) umgesetzt, demoduliert und im Phasenempfänger über den Datenweg (DADEMI) zur Funkkanalsteuerung weitergeleitet.

3.1.1 Stromversorgung für PLL-Demodulator

Die besonderen Anforderungen an die Konstanz des PLL-Demodulators 304 erfordern eine Betriebsspannung (+ 12 V) hoher Stabilität. Diese Spannung wird mit Hilfe eines Gleichspannungswandlers aus der extern zugeführten Betriebsspannung (10 V) gewonnen. Dazu erzeugt der IC305 Rechteckimpulse mit einer Frequenz von etwa 6 kHz. Diese Impulse werden mit Hilfe der Diode 250 und dem Kondensator 175 der Betriebsspannung (10 V) überlagert und zusammen gleichgerichtet (Diode 251 und Kondensator 176). Nach der anschließenden Stabilisierungsschaltung (Widerstand 57, Referenzdiode 252 und Kondensator 170) steht die gewünschte Ausgangsspannung (+ 12 V) zur Verfügung. Sie versorgt den IC304 und dient zur Erzeugung der Arbeitspunkte der Operationsverstärker 303 und 307.

3.1.2 Eingangsstufe mit Mischer 1

Das ankommende HF-Eingangssignal (FE) wird vom Transistor 271, dessen Arbeitspunkt vom Transistor 270 stabilisiert ist, verstärkt. Über das nachfolgende Zweikreis-Helical-Filter 240 gelangt das verstärkte Eingangssignal zum Ringmischer 320. Dort wird es mit Hilfe des Signales $F_{\text{syn}} B2$, das der Synthesizer des Funkteils liefert, auf die 1. Zwischenfrequenz (1. ZF) von 21,4 MHz umgesetzt.

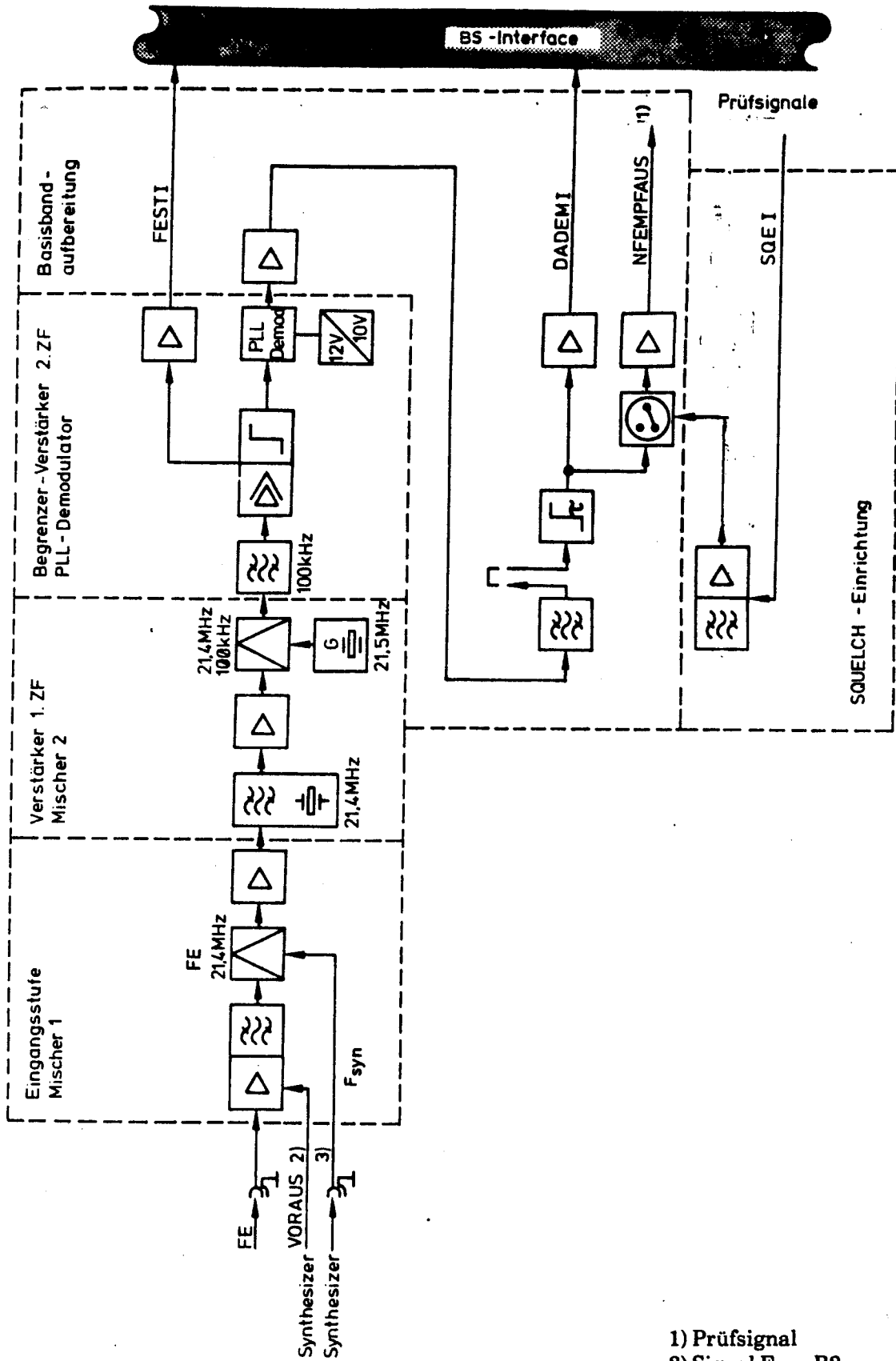


Bild 10 Übersichtsschaltplan Empfänger

3.1.3 Verstärker für 1. Zwischenfrequenz und Mischer 2

Der Transistor 272 verstärkt die vom Ringmischer 320 gelieferte 1. ZF und leitet sie über eine Anpaßschaltung (Kondensator 139 und Spule 225) zum 8poligen Quarzfilter 300, in dem die Hauptselektion des Empfängers vorgenommen wird.

Der nach der Anpaßschaltung (Kondensator 142 und Spule 226) folgende Schaltungsteil mit dem Transistor 273 verstärkt das vom Quarzfilter 300 kommende 21,4-MHz-Signal und führt es zum Mischer 2 (301).

Das IC 301 wird als selbstschwingender Mischer betrieben; dabei bestimmt der angeschlossene 21,5-MHz-Quarz die Umschaltfrequenz und damit die Umsetzung auf die 2. Zwischenfrequenz von 100 kHz.

3.1.4 Begrenzer-Verstärker für 2. Zwischenfrequenz, PLL-Demodulator und Feldstärkesignal-Gewinnung

Das am Ausgang von Mischer 2 austretende 100-kHz-Signal (2. Zwischenfrequenz) gelangt über ein 100-kHz-Zweikreis-Bandfilter (Kondensatoren 155, 156, 157 sowie Spulen 229 und 230) zum Begrenzer-Verstärker 302. Dieser leitet es an den Demodulator (IC 304) weiter. Das 100-kHz-Zweikreis-Bandfilter dient sowohl zum Unterdrücken der durch den Mischer 2 erzeugten Umschaltfrequenz als auch zur weiteren Selektion des Empfangssignals.

Das Begrenzer-IC302 erfüllt zwei Aufgaben; es verstärkt und begrenzt das ZF-Signal, sodaß unabhängig vom Eingangspegel des Empfängers ein konstanter Pegel am Pin 11 für den nachfolgenden PLL-Demodulator zur Verfügung steht. Außerdem erzeugt es eine dem Empfangspegel proportionale Spannung (PIN 15), die im Operationsverstärker 303 auf einen Ausgangspegel zwischen 0 V und 2,5 V gebracht wird. Diese Spannung dient zum Messen des HF-Eingangspegels des Empfängers im Bereich von etwa -120 dBm bis etwa -60 dBm.

Das IC304 enthält einen spannungsgesteuerten 100-kHz-Oszillator (VCO), einen Phasenkomparator und ein Loop-Filter, die zusammen als PLL-Demodulator geschaltet sind. Die beim Übertragen von NRZ-Daten (Modulationssignal) notwendige Gleichspannungskopplung bei der Demodulation erfordert eine hohe Konstanz des Oszillators, die durch den Präzisions-IC304 bei der 2. ZF von 100 kHz gewährleistet ist. Am Ausgang des PLL-Demodulators 304 (Pin 10) steht das demodulierte Basisbandsignal zur Verfügung.

3.1.5 Basisbandaufbereitung

Das demodulierte Basisbandsignal wird vom nachfolgenden Operationsverstärker 306 verstärkt. Im Operationsverstärker 306 wird auch die gemeinsame PegelEinstellung für den Daten- Ausgang vorgenommen. Ein Besselfilter 3. Ordnung begrenzt das Basisfrequenzband anschließend auf etwa 4 kHz, es gelangt dann an den Allpaß 308. Dieser Allpaß ermöglicht das Einstellen der erforderlichen Soll- Laufzeit im Empfänger.

Der Operationsverstärker 303 verstärkt das Daten-Signal auf einen Pegel von 2 V (Spitze-Spitze) und übergibt es an die Baugruppe BS-Interface (Signal DADEMI).

3.2 Synthesizer S42024-H168-....

Der Synthesizer (siehe Bild 11) erzeugt im Phasenempfänger die Umsatzfrequenz für den Empfänger. Die Frequenz des Synthesizers kann digital durch ein 8-bit-Wort in Schritten von 10 kHz oder 12,5 kHz im Frequenzbereich von 482,40 MHz bis 487,14 MHz eingestellt werden. Der Signalpegel für das 8-bit-Wort beträgt +5 V. Nach Erreichen der gewünschten Frequenz wird das Signal SYLOK0 (= "1") erzeugt (Lock-Kontrolle).

Der Synthesizer benötigt eine Referenzfrequenz von 6,4 MHz.

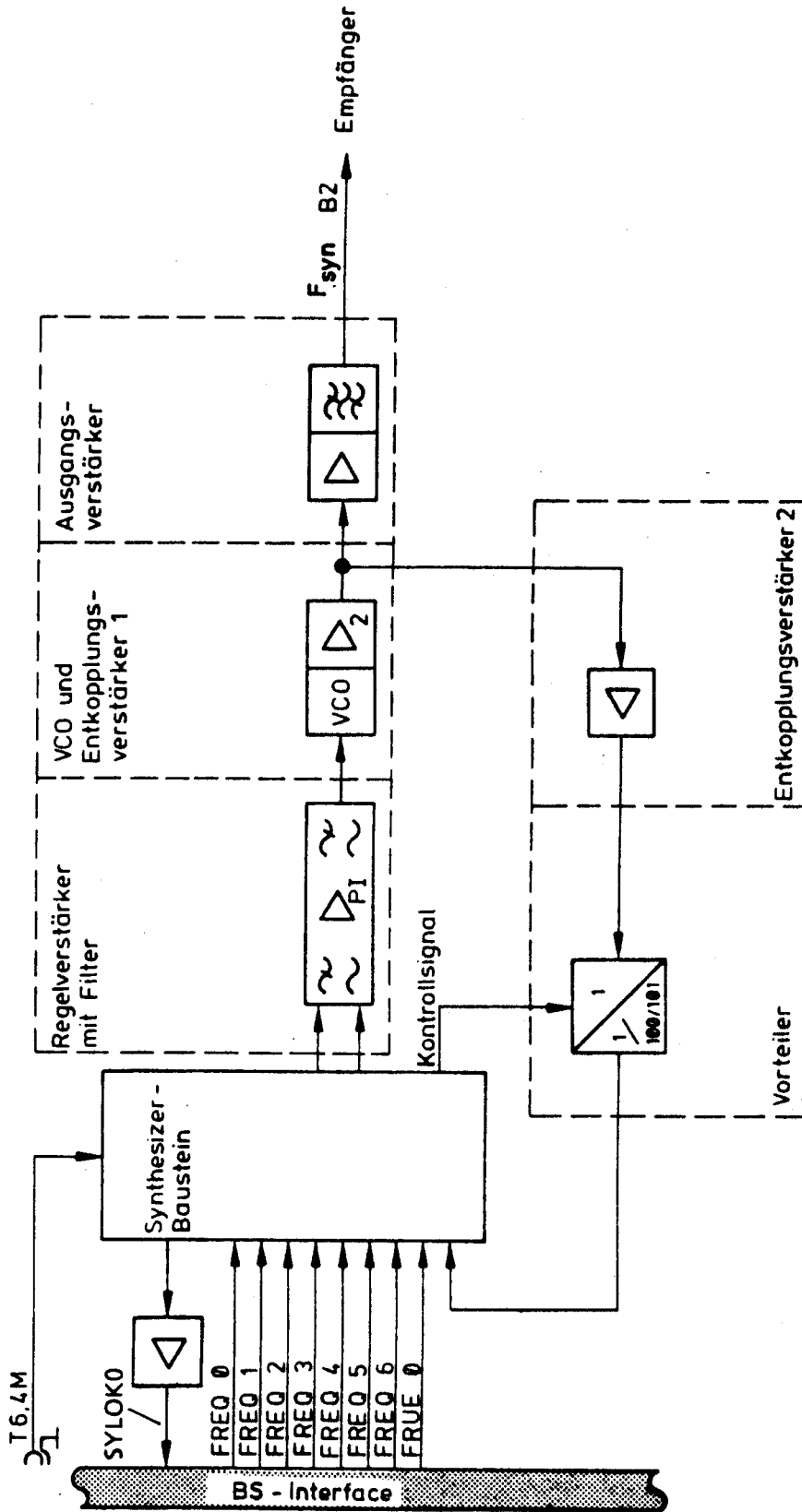


Bild 11 Übersichtsschaltplan Synthesizer

3.2.1 Prinzip Synthesizer

Bild 12 zeigt in vereinfachter Darstellung die indirekte Frequenzsynthese, wie sie im Synthesizer verwendet wird.

Der Frequenzteiler T2 dient zum Einstellen des Kanalrasters (10/12,5 kHz). Die Ausgangsfrequenz F_k stellt die Referenz für die Phasenbrücke (Phi) dar.

Der VCO ist ein spannungsgesteuerter Oszillator, der die Frequenzen von 482,70 MHz bis 487,4 MHz erzeugt. Der programmierbare Teiler T1 muß so eingestellt werden, daß $n \times F_k$ die gewünschte Frequenz F_{syn} ergibt. Am Ausgang der Phasenbrücke entsteht die Gleichspannung X , die proportional der Phase von $F_k/(F_{syn}/n)$ ist. Die Oberwellen der Frequenz F_k werden mit dem Filter F_i unterdrückt.

Die Gleichspannung X dient als Steuersignal für den VCO und steuert diesen solange nach, bis F_k und (F_{syn}/n) gleich sind.

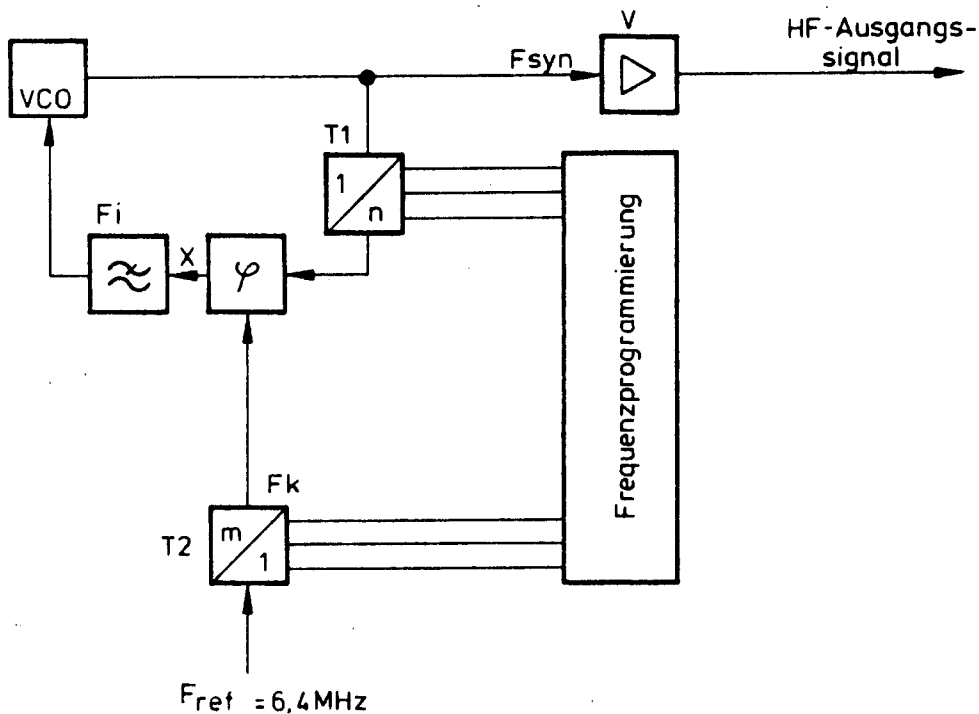


Bild 12 Prinzip Synthesizer

3.2.2 Synthesizer-Baustein und Vorteiler

In den Synthesizer-Baustein integriert sind die Frequenzteiler für die Referenz (12-bit-R-Teiler) und ein Teil der Frequenzteiler, die die Ausgangsfrequenz auf die benötigte Rasterfrequenz von 10 kHz oder 12,5 kHz teilen. Außerdem sind zwei Phasendetektoren, ein Lockdetektor, eine Kontrolllogik zur Steuerung eines externen Vorteilers und eine Programmierlogik enthalten.

Der vollständige Frequenzteiler besteht aus dem 7-bit-A-Teiler, dem 10-bit-N-Teiler, den beiden externen Bausteinen 552, 553 sowie der Kontrolllogik. Die Bausteine 552, 553 bilden einen 100/101-Vorteiler, der mit dem Kontrollsignal definiert umgeschaltet wird.

Die Frequenzprogrammierung (Signale $FREQ0...6$ von der Baugruppe BS-Interface) geschieht an den Eingängen $D0...3$, $A0...2$ und St (Signal $FRUE0$).

Die Adreßeingänge $A0...2$ wählen die Speicher ($S0...7$) aus, die die Daten von $D0...3$ empfangen sollen. Mit dem Signal $FRUE0$ wird am Eingang St der Übernahmezeitpunkt bestimmt.

Zur Gewinnung der Steuerspannung für den VCO stehen zwei Phasendetektoren (A, B) zur Verfügung, von denen der Phasendetektor B verwendet wird. Dieser Phasendetektor hat einen symmetrischen Ausgang, um Störspannungen von außen zu unterdrücken.

3.2.3 Regelverstärker mit Filter

Der Operationsverstärker 551 erzeugt aus der symmetrischen Spannung vom Phasendetektor B eine unsymmetrische Spannung zur Ansteuerung des VCO. Die Widerstände 22 bis 25 sowie die Kondensatoren 202 bis 204 und 207 bilden zwei in Serie geschaltete Tiefpässe. Die Widerstände 26, 27 und Kondensatoren 205, 206 dienen zur Stabilisierung des Regelkreises (Lag-Glieder). Die Widerstände 28, 29, 30 und die Kondensatoren 208, 229, 230 stellen ebenfalls drei Tiefpässe dar, sie unterdrücken die Referenzfrequenz und deren Oberwellen.

3.2.4 Oszillator (VCO) und Entkopplungsverstärker 1

Der spannungsgesteuerte Oszillator (VCO) besteht im wesentlichen aus dem Feldeffekttransistor 507 sowie dem Rückkoppelnetzwerk 235 und 236.

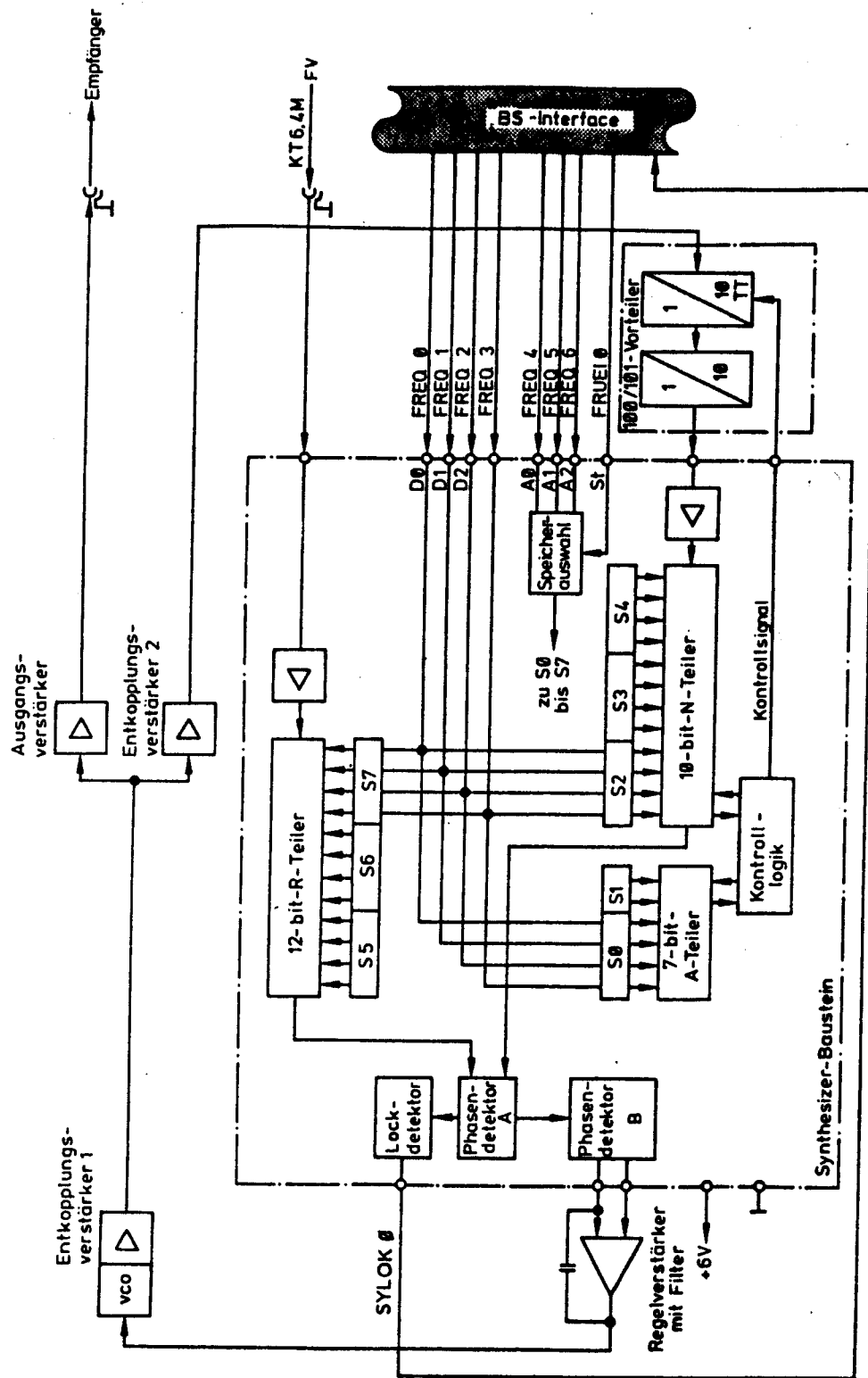


Bild 13 Übersichtsschaltplan Synthesizer-Baustein

Mit zwei Kapazitätsdioden, 472 und 473, die über die Kondensatoren 231, 232, 233 an den Schwingkreis angekoppelt sind, läßt sich der Oszillator in seiner Frequenz verändern. Um Rückwirkungen vom Ausgang und von den Frequenzteilern 552 und 553 möglichst gering zu halten, ist ein zweistufiger Entkopplungsverstärker (Transistoren 508 und 509) erforderlich. Das Dämpfungsglied (Widerstände 63, 64, 65) dient zum Erhöhen der Entkopplung und zum Anpassen der Ausgangsleistung. Um die Störmodulation, bedingt z.B. durch mechanische Erschütterung, klein zu halten, befinden sich der VCO und die beiden Stufen in einem fest umschlossenen Gehäuse.

3.2.5 Entkopplungsverstärker 2, Ausgangsverstärker

Der hochfrequente Teiler 553 wird vom Verstärker mit dem Transistor 505 angesteuert. Der Verstärker ist beidseitig mit einem Dämpfungsglied abgeschlossen, um den Pegel an Teiler 553 anzupassen.

Die Verstärkerstufe mit dem Transistor 523 bildet die Ausgangsstufe (siehe Bild 13). Mit dieser Stufe wird eine Ausgangsleistung von 15 mW bis 40 mW erreicht. Am Ausgang liegt das Signal $F_{\text{syn}} B2$, das an den Empfänger übergeben wird. Es dient als Umsetzfrequenz für den Empfänger, um die erste Zwischenfrequenz zu erzeugen. Der Transistor 521 dient zur Arbeitspunktregelung der Verstärkerstufe. Die Zenerdiode 485 unterdrückt Störspannungen, die auf der +10-V-Versorgungsspannung liegen. Das Helicalfilter 381 hat eine Bandfiltercharakteristik; es unterdrückt restliche Nebenwellen, die in den Frequenzteilern entstehen.

3.2.6 Spannungsregelung +10 V/+8 V

Für besonders empfindliche Schaltungen und Bauteile der Baugruppe Synthesizer sind die von der Gestell-Stromversorgung gelieferten Spannungen zusätzlich stabilisiert.

Zu den empfindlichen Schaltungen gehören der Oszillator und die Entkopplungsverstärker mit den Transistoren 505, 508 und 509.

Die Stabilisierungsschaltung ist mit dem IC 554 und dem Transistor 530 aufgebaut. Der Transistor ist notwendig, um einen möglichst geringen Spannungsabfall an der Stabilisierungsschaltung zu erhalten.

3.3 Normalfrequenz-Generator (NFG)

Um die zeitliche Präzision von QSETZ in Bezug auf die Nachbar-Basisstationen aufrecht erhalten zu können, muß aufgrund der relativen Frequenzdrift des PHE-Normalfrequenz-Generators in bestimmten Zeitabschnitten eine Phasenkorrektur vorgenommen werden. Die erforderliche Häufigkeit der Korrekturen hängt unmittelbar von der relativen Frequenzgenauigkeit und der Drift des Normalfrequenz-Generators ab.

Um die Korrekturhäufigkeit möglichst gering zu halten, sind im Phasenempfänger zwei Maßnahmen ergriffen:

- Der im Phasenempfänger installierte Normalfrequenz-Generator ist ein Quarzoszillator höchster Genauigkeit.
- Die geringste relative Frequenzdrift wird durch Auswerten des mittleren Trends mehrerer Phasenkorrekturen und Nachstellen des Normalfrequenz-Generators über einen sehr feinstufigen D/A-Wandler erzielt.

Die Alterung des Normalfrequenz-Generators von $< 0,0001$ ppm/Tag führt zu einer Phasendrift von < 10 μ s/Tag. Die maximale, gegenseitige Drift zweier Normalfrequenzgeneratoren beträgt damit < 20 μ s/Tag.

Der zur Sicherung der zeitlichen Genauigkeit von QSETZ (1,48 μ s) erforderliche Nachstellabstand dt_N beträgt 106,6 min.

Außer der Alterung unterliegt der Normalfrequenz-Generator auch einer Temperaturdrift. Diese beträgt unter extremen Bedingungen in der Basisstation 0,001 ppm (0°C bis +40°C) und liegt damit um den Faktor 10 höher als die Alterung je Tag. Die Temperaturdrift führt grundsätzlich zur Verkürzung des Nachstellabstandes dt_N .

Aus Gründen der zur Frequenzführung notwendigen Informationssammlung über den Phasentrend und einer hinreichenden Mittelwertbildung ist der Nachstellabstand dt_N auf 10 min festgesetzt.

Durch die Nachführung der Frequenz wird erreicht, daß jede Basisstation im Netz C die mittlere Frequenzgenauigkeit des Phasenbezugs- bzw. Initial-BS annimmt. Die durch die Alterung entstehende Abweichung der einzelnen Normalfrequenz-Generatoren wird damit eliminiert.

3.3.1 Quarzoszillator S42024-D409-....

Stromlaufpläne S42026-D258-A1-*-7411
S42026-D259-A1-*-7411
S42025-D318-A1-*-7411

Der Quarzoszillator 2,048 MHz (siehe Bild 14) dient als sekundäres Frequenznormal. Er kann über einen D/A-Wandler im Bereich df/f etwa $+3 \times 10^{-7}$ in der Frequenz verändert werden.

Bei Ausfall der Synchronisation arbeitet der Oszillator im Speicherbetrieb, d.h. er bleibt auf der zuletzt eingestellten Frequenz und läuft mit hoher Eigengenauigkeit freilaufend weiter.

Die Ausgangsfrequenz beträgt 2,048 MHz (TTL-Pegel).

Wenn die Temperatur im Außenthermostatgehäuse um $\pm 2,5^\circ\text{C}$ von der Solltemperatur abweicht, spricht die Temperaturüberwachung an (Solltemperatur = Temperatur des Quarzes beim Umkehrpunkt).

Der Grundgenerator ist als temperaturstabilisierte Quarzoszillatorschaltung aufgebaut und enthält folgende Baugruppen:

- Quarzthermostat mit Generatorplatte und Thermostatschaltung
- Frequenzteiler
- Stromversorgung und Thermostatüberwachung.

3.3.1.1 Grundgenerator 4,096 MHz

Der Quarzthermostat (siehe Bild 14) ist aus thermischen Gründen gegenüber der Umgebung durch einen Styropormantel isoliert und enthält ein als Doppelkammer ausgeführtes Thermostatgehäuse. Der Schwingquarz ist hierbei in der Innen- und die Schwingschaltung in der Außenkammer untergebracht.

Zur Heizung der Innenkammer dient die Verlustleistung eines Leistungstransistors. Die Außenkammer hat thermischen Kontakt mit dem Heizblock, wodurch auch für die Schwingschaltung eine sehr hohe Temperaturkonstanz gewährleistet ist.

Generatorplatte

Der quarzgesteuerte Oszillator ist mit einem Feldeffekttransistor 75 als kapazitive Dreipunktschaltung ausgeführt. Der Feldeffekttransistor dient als regelbarer Verstärker. Der Quarz schwingt auf 4,096 MHz im 3. Oberton.

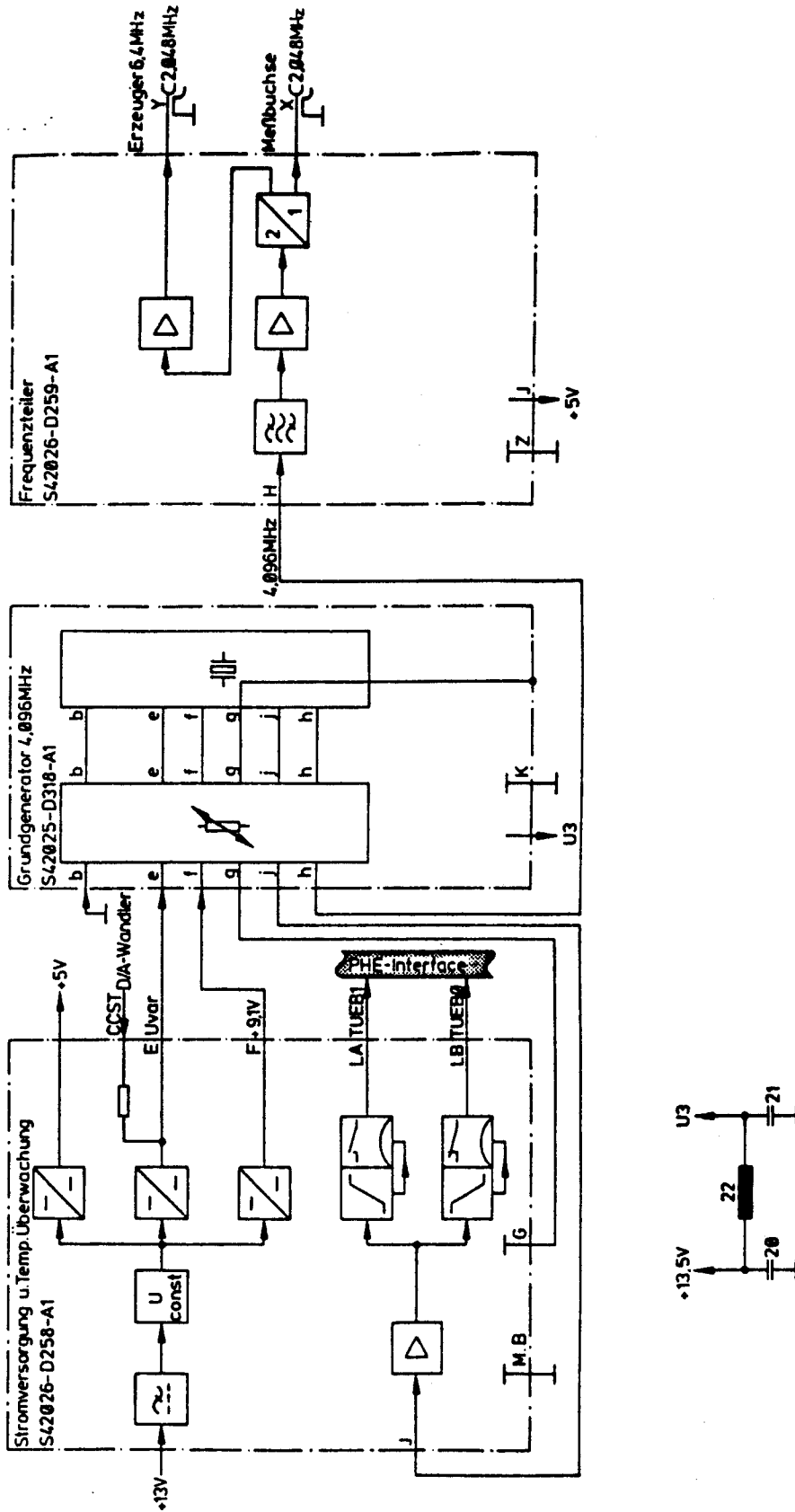


Bild 14 Übersichtsschaltplan Quarzoszillator

Die Parallelschaltung der Spule 60 und des Dreipunkt-kondensators 46 gewährleistet, daß die Schaltung im gewünschten Oberton kapazitiv, im Grundton jedoch induktiv ist und der Quarz nur beim 3. Oberton angeregt wird.

Auf die Schwingstufe (75) folgt ein dreistufiger, gegengekoppelter Trennverstärker (Transistoren 77 bis 79). Die Transistoren 77 und 79 sind als Emitterfolger geschaltet.

Die Amplitudenregelung der Schwingschaltung besteht im wesentlichen aus den Dioden 67, 68 und dem Stromquellentransistor 76. Überschreitet die Ausgangswechselspannung den Wert von 0,6 V, werden die Dioden 67 und 68 leitend und verringern Basis- und Kollektorstrom des Transistors 76. Dadurch wird die Ausgangswechselspannung auf Sollwert geregelt. Der Kondensator 50 dient zum Glätten der Regelspannung.

Die hauptsächlich durch Quarzalterung hervorgerufene Frequenzinkonstanz läßt sich von Hand (mit dem Trimmerkondensator 42) oder elektrisch (mit Varaktordiode 65) durch Nachstellen des Oszillators korrigieren.

Die Varaktordiode 65 kann durch die zugeführte Gleichspannung U_{var} (+3 V bis +24 V) in ihrer Kapazität verändert werden.

Zur Erzeugung von U_{var} wird als Folge eines Phasenvergleichs der Generatorfrequenz mit einer externen Frequenz von der Baugruppe D/A-Wandler über den Eingang CCST ein Regelstrom I_a (-1 mA bis +2,66 mA) in die Baugruppe Stromversorgung und Temperatur-Überwachung eingespeist (siehe Bilder 14 und 15).

Bei Mittenstellung des D/A-Wandlers beträgt I_a etwa 0 mA. Aus diesem Strom wird auf der Baugruppe Stromversorgung und Temperatur-Überwachung die Gleichspannung U_{var} erzeugt und über die Widerstände 20 und 21 der Varaktordiode 65 zugeführt. Es läßt sich damit eine frequenzmäßige Übereinstimmung der Generatorfrequenz und der Vergleichsfrequenz erzielen (siehe auch 3.3.1.3).

Thermostatschaltung

Der Ist-Wert liegt am keramischen Kaltleiter 70 an. Um eine möglichst kleine thermische Zeitkonstante zu erreichen, sind der Kaltleiter 70 und der Heiztransistor 61 mit einem thermisch gut leitenden Kunstharz in eine Nut eingegossen. Der Kaltleiter 70 bildet mit dem Nachbildungswiderstand 31 und den beiden Dioden 52 und 53 eine Brückenschaltung. Die sich an der Brückenschaltung ergebende Spannung wird durch die galvanisch gekoppelten Transistoren 63 und 65 verstärkt. Das beeinflußt im rückregelnden Sinn den Kollektorstrom und damit die Verlustleistung des als Heiztransistor geschalteten Darlington-Transistors 61. Sein Emitterstrom wird über

die Widerstände 23 und 24 gemessen und beim Überschreiten des vorgegebenen Wertes durch den Transistor 62 begrenzt. Der Einschaltstrom ist bei etwa 600 mA begrenzt.

Um eine Instabilität des Regelkreises in Verbindung mit dem Kaltleiter zu vermeiden, ist der Gleichstromverstärkerschaltung eine Wechsellspannungsgegenkopplung mit extrem tiefer Grenzfrequenz beigefügt. Der Kollektorwiderstand 21 und der Kondensator 40 legen die untere Grenzfrequenz fest. Der Widerstand 30 vergrößert den Diagonal-Innenwiderstand der Brückenschaltung, so daß der Gegenkopplungsgrad weitgehend unabhängig vom Kaltleiterwiderstand und der Abgleichtemperatur ist.

3.3.1.2 Frequenzteiler

Die von der Oszillatorbaugruppe kommende Spannung gelangt zu einem 4,096-MHz-Schwingkreis (Kondensatoren 30, 31 und Spule 35), an den als Impulsformerstufe verwendeten Treiber 40 und als Rechteckspannung an Flipflop 41.

Die Frequenzteilung von 4,096 MHz auf 2,048 MHz geschieht durch dieses Flipflop. Die Rechteckspannung am Ausgang wird über Widerstand 23 an die Koaxialmeßbuchse der Oszillatorplatte geführt.

Die 2,048-MHz-Rechteckspannung des inversen Ausgangs gelangt über die zweite Treiberstufe in Baustein 40 und Widerstand 22 an die Koaxialbuchse der Stiftleiste (Signal NI2,0M) und weiter an die Funktionseinheit Erzeuger 6,4 MHz (VCO des D/A-Wandlers im Normalfrequenz-Generator).

3.3.1.3 Stromversorgung und Temperaturüberwachung

Das hier beschriebene Stromversorgungsteil erzeugt eine +5-V-Spannung zum Betrieb des Frequenzteilers und eine +9,1-V-Spannung zur Versorgung der Generatorplatte mit der Oszillatorschaltung. Die Betriebsspannungen +5 V und +9,1 V werden mit Hilfe der Dioden 75 und 76 und den beiden Emitterfolgern 86 und 87 gewonnen. Die Dioden werden aus einer Konstantstromquelle gespeist, die aus dem Transistor 85, den Dioden 77, 78 und dem Widerstand 23 besteht.

Die +9,1-V-Spannung am Emitter des Transistors 87 speist gleichzeitig über den Widerstand 25 die Diode 79. Diese sehr genaue, temperaturstabilisierte +6,2-V-Spannung wird mit dem Operationsverstärker 90 auf $U_{\text{var}} = +9,1 \text{ V}$ transformiert und als Mittenspannung für die Varaktordiode in der Quarzoszillatorschaltung

verwendet. Über ein Siebglied (Widerstände 29, 30 und Kondensator 44) steht die Spannung am Steuereingang des Grundgenerators zur Verfügung.

Der vom D/A-Wandler kommende Steuerstrom I_a (Signal CCST) bestimmt durch den Spannungsabfall am Widerstand 29 unmittelbar die Steuerspannung U_{var} für die Varaktordiode des Generators (siehe auch Kapitel 3.3.1.1, Generatorplatte).

Es ergibt sich für die Varaktorspannung U_{var} im Mittel ein Bereich von +4 V bis +22,7 V. Da als Betriebsspannungen +5 V und +13,8 V zur Verfügung stehen, müssen die Betriebsspannungen für die spannungsgesteuerte Stromquelle extra erzeugt werden. Ein geregelter Durchflußwandler liefert +30 V und -12 V.

Temperaturüberwachungsschaltung

Mit einem Heißleiter in der Außenkammer der Generatorplatte des Thermostatgehäuses wird die Ist-Temperatur gemessen. Der Heißleiter bildet mit dem Nachbildungswiderstand 31 sowie den beiden Widerständen 32 und 33 eine Brückenschaltung. Die sich aus der Brückenschaltung ergebende Spannung wird durch den Operationsverstärker 90 verstärkt und einem Fensterkomparator zugeführt. Dieser besteht aus den restlichen beiden Operationsverstärkern von Baustein 90. Die Spannungsschwankungen an Baustein 90,8 sind den Temperaturabweichungen im Thermostatgehäuse äquivalent. Mit den Spannungsteilern (Widerstände 16, 17 und 18, 19) wird die Ausgangsspannung der Operationsverstärker auf Logikpegel gebracht und als Signale TUEB1 und TUEB0 zur Baugruppe PHE-Interface geführt.

Temperatur im Generator	TUEB1	TUEB0
im Sollbereich	0	1
zu niedrig	1	1
zu hoch	0	0

3.3.2 D/A-Wandler mit Erzeuger 6,4 MHz S42024-D425-....

3.3.2.1 D/A-Wandler

Die Nachführung des 6,4-MHz-Taktes wird von einem insgesamt 14 bit breiten Datenwort aus dem Frequenzdiskriminator der Baugruppe PHE-Interface vorgenommen (siehe Bild 15). Die niederwertigen 11 bit der Information werden über einen D/A-Wandler (Baustein 263) zur Frequenzsteuerung des 2,048-MHz-Frequenznormales (siehe Kapitel 3.3.1) verwendet.

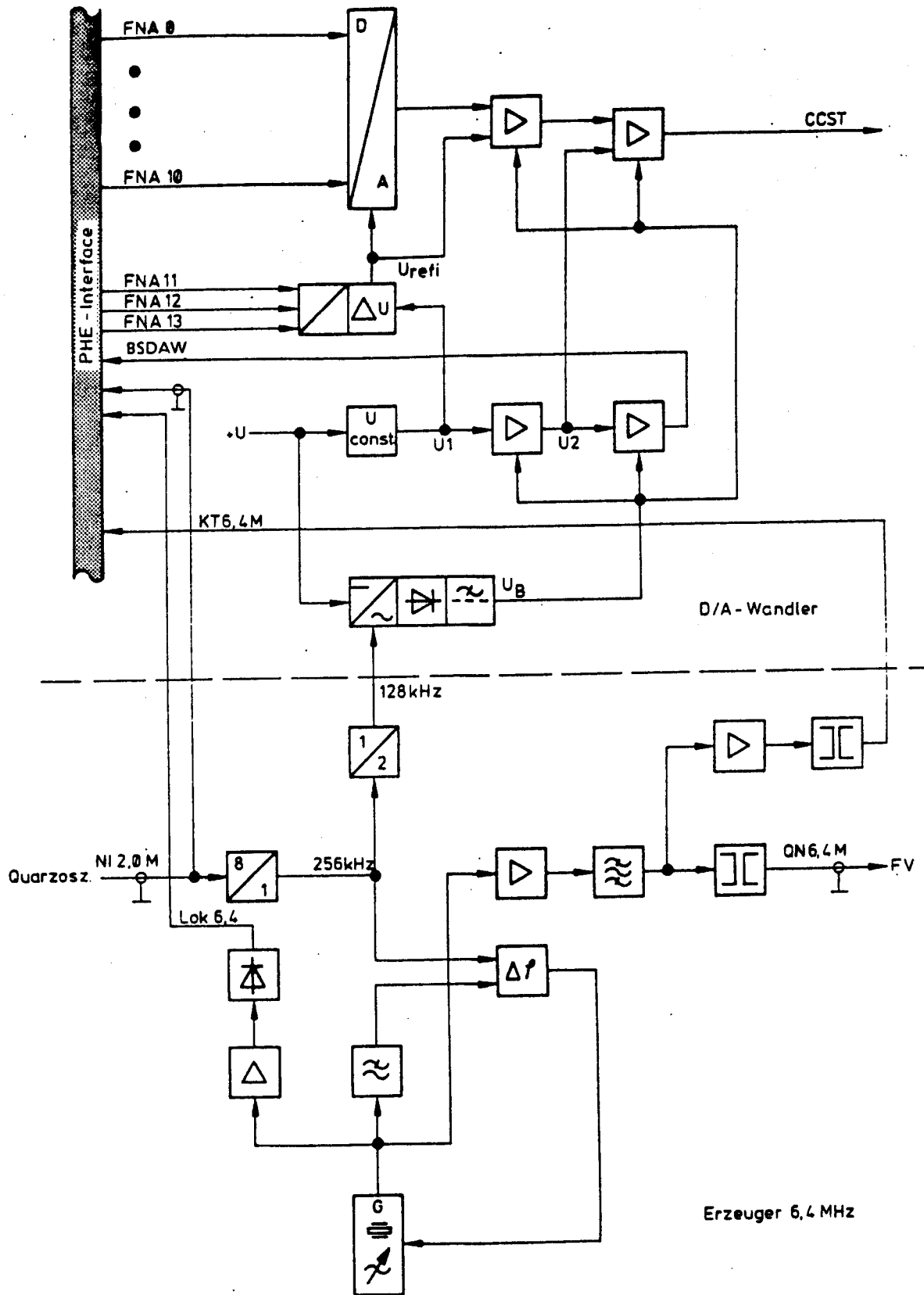


Bild 15 Übersichtsschaltplan D/A-Wandler, Erzeuger 6,4 MHz

Die höchstwertigen 3 bit steuern über einen 8-bit-Multiplexer (Baustein 264) die Kennliniensteilheit in insgesamt fünf Frequenzbereichen (Segmenten). Sie bilden näherungsweise den reziproken Verlauf der nichtlinearen Steuerkennlinie des 2,048-MHz-Oszillators nach. Innerhalb eines Segmentes wird mit 11 bit linear interpoliert. Die mittlere Schrittgröße beträgt etwa $6,5 \times 10^{-11}$. Der Ausgang ist eine Stromquelle mit einem veränderbaren Strom von -1 mA bis $+2,66 \text{ mA}$. Dieser Strom erzeugt an einem im 2,048-MHz-Generator angeordneten Widerstand die entsprechende Kapazitätsdioden-Vorspannung. Der Strom Null entspricht der Mitte des Nachsteuerbereiches. Die externen Betriebsspannungen von $+5 \text{ V}$ und $+13,8 \text{ V}$ sowie die intern erzeugten $+30 \text{ V}$ werden überwacht; ein Ausfall wird angezeigt (Fehlermeldung BSDAW).

Die nichtlineare Ziehkurve des Generators 2,048 MHz wird durch eine 5-Segment-Kennlinie angenähert. Die Segmente werden durch die drei höherwertigen Bit (FNA 11 bis 13) ausgewählt. FNA11 bis 13 können dabei die Werte 0 bis 4 annehmen. Die Kombinationen 5 bis 7 sind nicht zulässig. Die einzelnen Segmente werden mit dem D/A-Wandler linear unterteilt (FNA0 bis 11). Die Krümmung der Kennlinie wird durch Umschalten der Referenzspannung für den D/A-Wandler und durch Summieren der Ausgangsspannung des D/A-Wandlers mit der Referenzspannung U_{refi} erreicht.

Die Referenzspannung U_{refi} für die einzelnen Segmente i ist so berechnet, daß die Minimalspannung im Segment $i + 1$ einen Schritt größer ist als die Maximalspannung im Segment i .

Als Referenzelement dient eine temperaturkompensierte Zenerdiode mit Thermostat. Davon werden in einem Widerstandsnetz und über einen analogen Multiplexer die Referenzspannungen U_{refi} für die einzelnen Segmente abgeleitet. Die Regelgröße wird nicht als Spannung, sondern als Ausgangsstrom I_a an den Generator 2,048 MHz weitergegeben. Dadurch werden Störungen durch unterschiedliche Massepotentiale vermieden.

Der Ausgangsstrom ändert sich in Abhängigkeit von den Bit-Kombinationen FNA0 bis FNA13 im Bereich $I_a = -1 \text{ mA}$ (entsprechend Zählerstand 0) bis $I_a = +2,66 \text{ mA}$ (entsprechend Zählerstand 10239). Die Mittenstellung ($df/f = 0$) entspricht einem Strom $I_a = 0$ (entsprechend Zählerstand 5120).

Die Varaktorspannung U_{var} (Ziehspannung) für den Generator 2,048 MHz wird auf der Baugruppe Stromversorgung gebildet (siehe 3.3.1.3).

Die Betriebsspannung des D/A-Wandlers wird überwacht und bei einem Fehler die Meldung BSDAW an die Baugruppe PHE-Interface gegeben. Dort wird die Meldung in das Störungsregister eingetragen und vom Rechner gelesen.

3.3.2.2 Erzeuger 6,4 MHz

Die vom Frequenzteiler gelieferte Frequenz NI2,0M wird in einer schmalbandigen Quarz-PLL in die Ausgangsfrequenz 6,4 MHz mit hoher spektraler Reinheit gewandelt. An beiden Ausgängen (koaxial 0 dBm/50 Ω und symmetrisch 1 V_{SS} an 300 Ω), stehen die sinusförmigen Ausgangsspannungen für die weitere Signalverarbeitung zur Verfügung. Eine Synchronüberwachung meldet im Falle des Synchronausfalles der Phasenregelschleife durch Abgabe einer logischen Null mit CMOS-Pegel den Fehler LOK 6,4 an die Baugruppe PHE-Interface.

Der 6,4-MHz-Erzeuger (siehe Bild 16) besteht aus einem nachsteuerbaren Quarzoszillator mit zwei Endstufen, einem Phasendiskriminator mit Loopfilter und einer Synchronüberwachung.

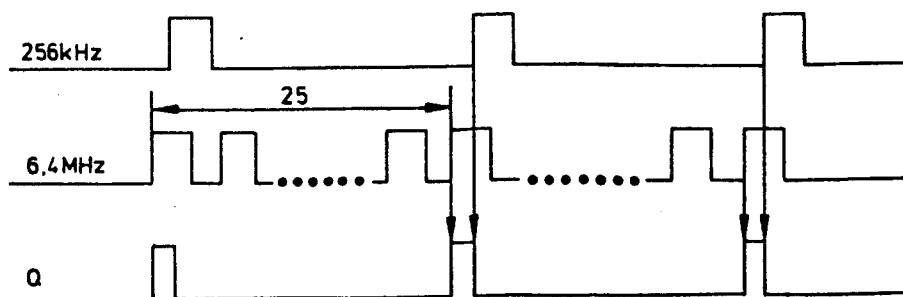
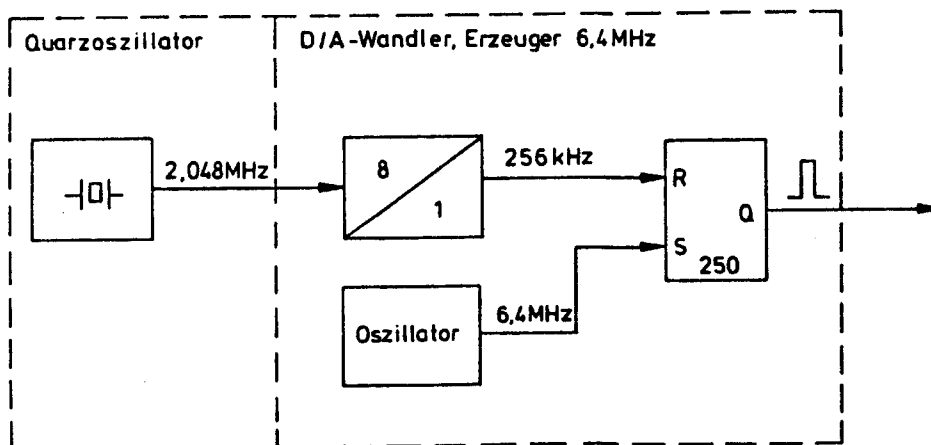


Bild 16 Phasenvergleich Steuertakt/Oszillatortakt

Der Oszillator, eine kapazitive Dreipunktschaltung mit symmetrischer Begrenzungscharakteristik, enthält im wesentlichen einen Transistor mit einer zur Emitterdiode antiseriell geschalteten Diode, zwei Rückkopplungskapazitäten (123, 124), den Quarz (119) sowie eine gemischt induktiv und kapazitiv arbeitende Ziehschaltung, die einen Betrieb im Bereich von etwa $\pm 1 \times 10^{-4}$ Hz um die Sollfrequenz zuläßt. Über einen weiteren, abgleichbaren Differenzverstärker wird eine im A-Betrieb arbeitende Endstufe angesteuert, deren Kollektorschwingkreis die Oberwellen des rechteckförmigen Kollektorstromes aussiebt.

Auf der Sekundärseite des nachgeschalteten Übertragers (184) steht die sinusförmige Ausgangsspannung (0 dBm an 50Ω) mit einem Innenwiderstand von etwa 50Ω zur Verfügung (Signal QN6,4M zum Frequenzverteiler).

Eine zweite Endstufe (Transistor 232) liefert die symmetrische Ausgangsspannung (Signal KT6,4M zur Baugruppe PHE-Interface).

Über einen weiteren Transistor des monolithischen Arrays (230) und dem Transistor 233 wird der eine Eingang des Phasendiskriminators angesteuert. Der andere Eingang erhält 256 kHz über einen Frequenzteiler 8 : 1 (Baustein 265), der auf der Baugruppe im D/A-Wandler angeordnet ist. Der Frequenzteiler teilt die 2,048 MHz des Quarzoszillators. Der Phasenvergleich findet alle 25 Perioden des 6,4-MHz-Taktes statt. Dabei wird Flipflop 250 durch jede positive Flanke des Steuertaktes (256 kHz) gesetzt und durch die nächstfolgende positive Flanke des Oszillatortaktes zurückgesetzt. Die Breite des resultierenden Pulses ist somit eine Funktion der Phasenlage zwischen Steuer- und Oszillatortakt. Im Transistor 234 wird aus diesem Impuls eine Gleichspannung gewonnen, die über einen zweistufigen RC-Tiefpaß die Kapazitätsdiode des Quarzoszillators (201) ansteuert.

Diese Gleichspannung wird durch die Operationsverstärker 251 sowie 252 auf einen minimalen sowie einen maximalen Grenzwert hin überwacht (Plus-Minus-Überwachung); bei Annäherung an die Grenzen des Mitnahmebereichs entsteht ein Synchronalarm. Dieser wird mit dem Signal LOK 6,4 zur Baugruppe PHE-Interface signalisiert (bei Fehler ist LOK 6,4 = low).

3.4 NFE-Interface S42024-H254-A1-...

Die von einem Normaltaktverteiler ankommende Frequenz von 2,048 MHz wird von Störungen befreit und auf konstanten Ausgangspegel, entsprechend den Schnittstellenbedingungen nach RS422, gebracht.

Am Eingang ist die Baugruppe durch einen Grob- und Feinschutz gegen Beeinflussungsspannungen geschützt. Die folgende selektive Eingangsschaltung dient zum Unterdrücken von Störspannungen. Darauf folgt ein zweistufiger, begrenzender Differenzverstärker mit nachgeschaltetem Schmitt-Trigger, der wiederum einen Leitungstreiberbaustein ansteuert.

Der Eingangspegel wird auf Unterschreiten des kleinsten Nenneingangspegels überwacht. Bei Pegelausfall wird ein Logiksignal (NFES) abgegeben; gleichzeitig werden die Ausgänge abgeschaltet.

LEDs zeigen die Zustände an:

grün Eingangspegel > Schwelle

rot Eingangspegel ≤ Schwelle

Schwelle etwa -13 dB bis -18 dB.

Mit Hilfe eines Schalters auf der Baugruppe kann ein weiteres Logiksignal (QINFU) abgegeben werden; dies ermöglicht im Anlauf den Normal-BS-Betrieb zu verlassen und das Rahmensetzsignal QSETZ sofort freizugeben.

4 Funkkanalsteuerung

4.1 CPU S42025-H418-*1 + Software S42025-H433-A150

Die CPU-Baugruppe (Bild 17) wird in allen Einsätzen der Funkperipherie in der Basisstation verwendet. Der Rechner übernimmt Aufgaben der Betriebs-, Vermittlungs-, Funk- und Sicherheitstechnik, die innerhalb des jeweiligen Systems über die Schnittstellen zur Funkdatensteuerung und der Funkebene abgewickelt werden.

Dazu gehören folgende Aufgaben:

- Steuerung des Datendialoges über serielle Schnittstelle zur FDS und die Funkschnittstelle (Datensicherungsverfahren)
- Verarbeitung der Empfangskriterien aus der Rechnerperipherie (Feldstärke, Jitter, Offset, Phasenlage, Entfernungsbewertung).
- Steueranweisungen und Einstellungen für das Funkgerät (Synthesizer, Nachführung Frequenznormal, Offsetkorrektur).
- Auswerten und Umsetzen der internen Störungssignalisierungen.

Die Baugruppe enthält folgende Funktionseinheiten, die in den einzelnen Unterabschnitten näher erläutert sind:

- 80C85 Prozessor
- Speicherbereich
EPROM: Grundbereich 16k, zwei Bänke à 32k
RAM: 8k
- USART für serielle Schnittstelle
- TIMER für Interrupterzeugung
- zwei VLSI-Bausteine mit den Funktionen:
 - Erzeugen aller Takte für Funkkanalsteuerung und Funkgerät
 - Erzeugen des Rahmensetzsignals
 - Erkennen des Zeitbezuges aus den empfangenen Signalisierungsdaten (Korrelationsempfänger)
 - Empfangen der Signalisierungsdaten mit Fehlerkorrektur (Decodieren)
 - Ermitteln der Signalgüte der empfangenen Signalisierungsdaten
 - Messen des Geräuschabstandes (Jittermesser)
 - Messen der Gleichspannungsablage des Analogsignals und Ausgabe des Offset-Korrekturwertes

Entfernungsmessung

Fehlerüberwachung

- fehlendes Setzsignal
- Synchronlauf Sende- und Empfangsbaustein
- Watchdog

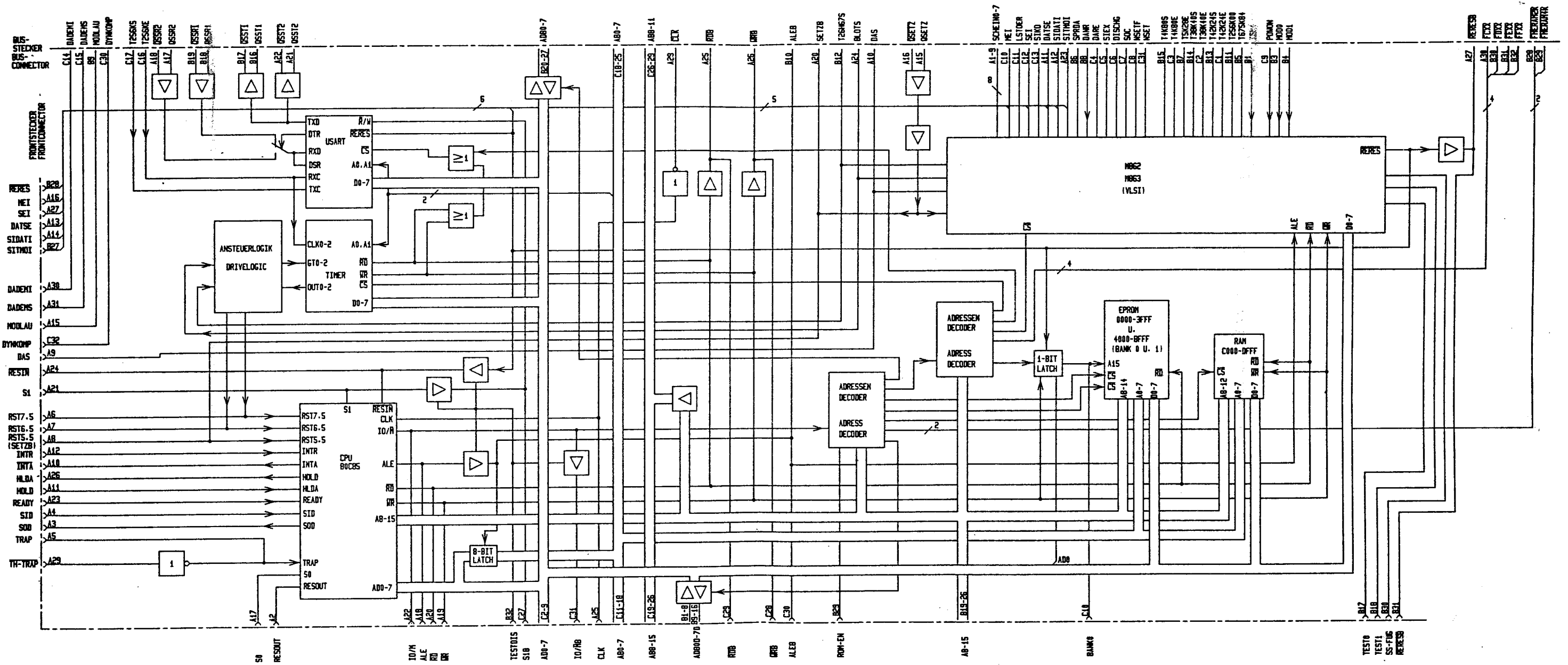


Bild 17 Übersichtsschaltplan CPU

S42023-H133-F1-2-18



Die CPU-Baugruppe hat einen Diagnosestecker, dessen Belegung für alle in der Basisstation verwendeten Rechnersysteme gleich ist. Der Diagnosestecker enthält den gepufferten Adressen-, Daten- und Steuerbus für den Betrieb des Prozeßverfolgers sowie auch die ungepufferten Anschlüsse des CPU-Bausteines (für externen Betrieb mit dem ICE).

4.1.1 CPU-Baustein 80C85, Adressen-, Daten- und Steuerbus

Bild 18 zeigt die einzelnen Steuersignale der CPU, die vom 80C85-Baustein zu den Steckern sowie zu den Funktionseinheiten geführt werden.

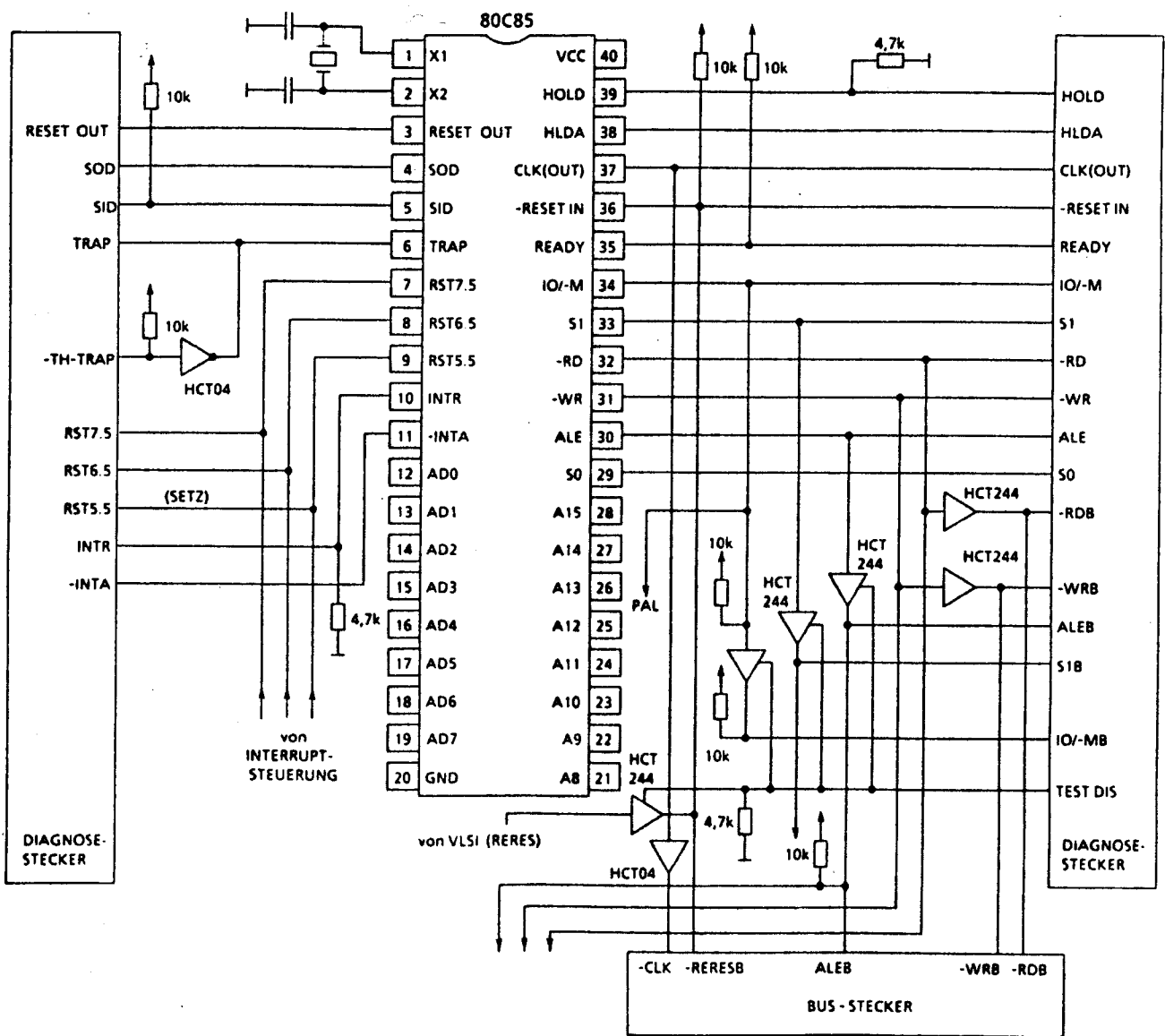


Bild 18 "80C85" Steuersignale

Wie Bild 18 zeigt, sind alle CPU-Signale grundsätzlich zum Diagnosestecker geführt, da über diesen der Betrieb eines ICE (z.B. mit Hilfe des ICE-B-Adapters) möglich sein muß. Eingangsleitungen (also Leitungen mit Signalen, die zur 80C85 gehen) sind je nach Erfordernis mit einem Pull-up- oder einem Pull-down-Widerstand versehen, um definierte Pegel zu erreichen, wenn der Diagnosestecker nicht benützt wird (SID = "1", INTR = "0", HOLD = "0", READY = "1", -TH-TRAP = "1"). Um einen TRAP auszulösen, muß der Eingang -TH-TRAP benutzt werden.

Ein Teil der Signale wird gepuffert (über HCT244) weitergeführt, sowohl auf den Diagnosestecker (zusätzlich zu den ungepufferten), als auch auf den Busstecker (Buchstabe B nach dem Signalnamen bedeutet "gepuffert": ALEB, -WRB, -RDB, RERESB).

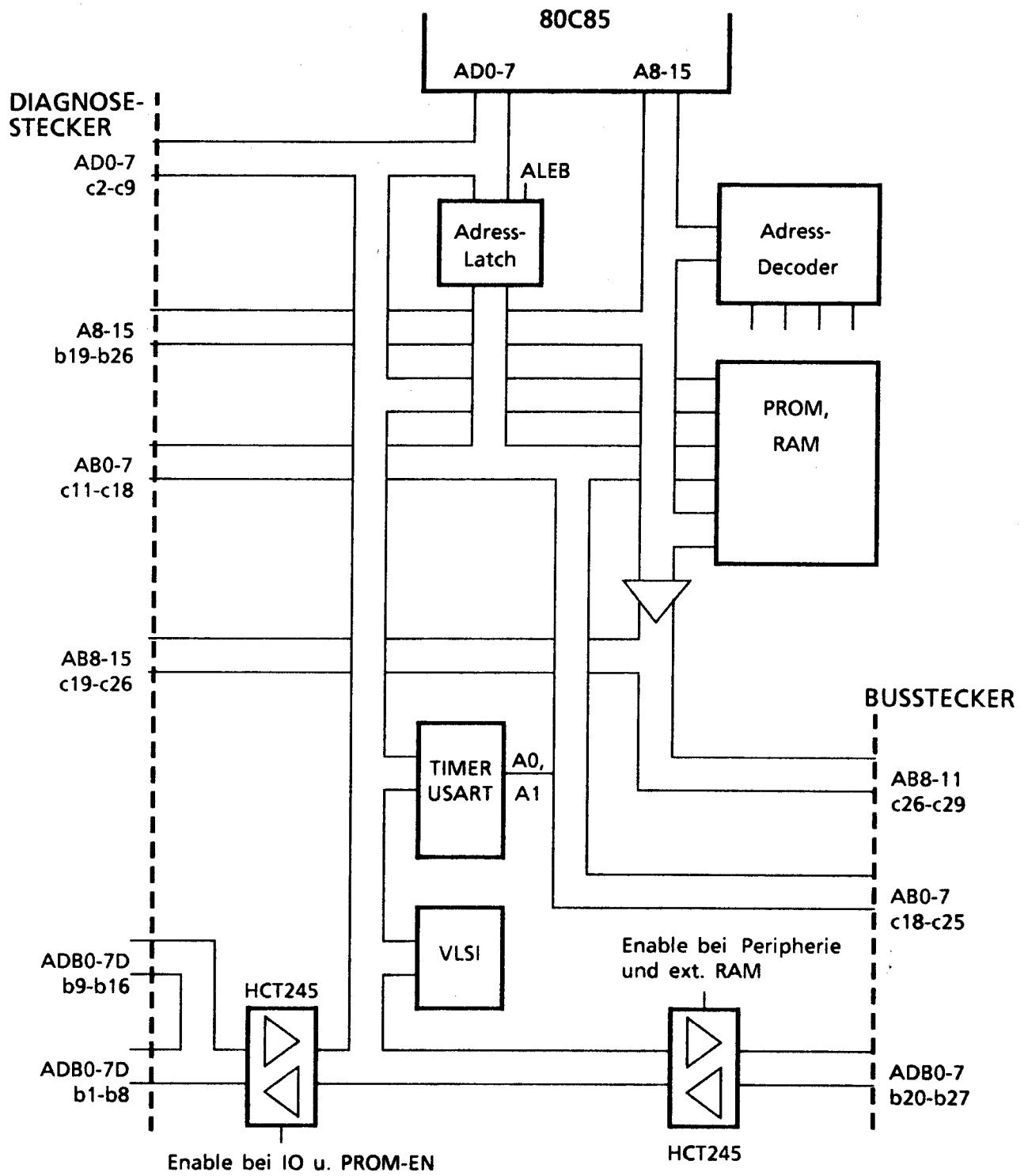
Das Signal RERESB (identisch mit dem RESET IN des 80C85) wird vom VLSI-Sende- baustein erzeugt (als RERES, geführt über einen Treiber HCT244). Außerdem wird noch das CLK-Signal der CPU zum Busstecker geführt, allerdings über einen Inverter HCT04 und ein RC-Glied (Verringern der Flankensteilheit, um Störeinflüsse zu vermindern).

Auf der Baugruppe selbst werden benötigt: ALEB, -RD, -WR, S1B, IO/-M für Speicher und Peripherie.

So wie für die Steuerleitungen, gilt auch hier, daß die Adressen- und Datenleitungen AD0-7 und A8-A15 des 80C85 auf den Diagnosestecker geführt sind.

Bild 19 zeigt, in welcher Weise die gepufferten Busleitungen weitergeführt sind. Die Datenleitungen (ADB0-7) zum Busstecker sind über einen bidirektionalen Treiber HCT245 geführt, dessen Richtung durch das RD-Signal gesteuert wird. Aktiviert wird der Treiber mittels Adressenbereichs- Auswahl-Signal aus einem PAL-Baustein.

Die Datenleitungen für den Diagnosestecker sind ebenfalls über einen HCT245 (IC39) geführt. Die Richtungssteuerung wird wieder mit dem RD-Signal vorgenommen. Ein Signal vom PAL (IC32/19) sorgt wieder für die Aktivierung (Bereich 0-FF, IO adressiert u. bei PROM-EN von 0-BFFF, Memory adressiert).



A.....Adr. Bus
 AD...Adr. - Datenbus
 AB....Adr. Bus, gepuffert
 ADB.Adr. - Datenbus, gepuffert

Bild 19 Schema der Adressen-und Datenleitungen

Eine grobe Adressendecodierung für die einzelnen Komplexe wird zunächst mit dem PAL (IC32) vorgenommen, das die Signale IO/-M, ROM-EN und die Adressenleitungen A10-A15 entsprechend decodiert. ROM-EN ist ein Signal, das vom Diagnosestecker kommt und von außen, z.B. auf dem CPU-Adapter, auf "0" gelegt werden muß, wenn anstelle des Speichers auf der CPU-Baugruppe ein externer Speicher (z.B. auf dem CPU-Adapter) benutzt werden soll. Die IO/-M-Leitung sorgt dafür, daß mit IO-Befehlen nur Peripherie, die am Diagnosestecker angeschlossen ist, angesprochen werden kann.

4.1.2 Speicher

Der PROM-Bereich ist unterteilt in einen Grundbereich von 0000 bis 3FFF (auf IC-Platz 36 ist dafür ein 16k-EPROM eingesetzt; es kann auch ein 32k-EPROM gesteckt werden, allerdings muß das Programm auf der oberen EPROM-Hälfte stehen) und in den Bankbereich.

Der Bankbereich 4000-BFFF wird mittels Bankumschaltung doppelt verwendet. Als Speicherbaustein dient ein 64k-EPROM (IC35). Die Bankumschaltung wird durch Schreiben einer "0" (für Bank 0) oder einer "1" (für Bank 1) auf Adresse FB00, Bit 0 durchgeführt. Wird die Bankumschaltung nicht benützt, so ist auch ein 32k-EPROM verwendbar. Es muß jedoch auf Bank 1 geschaltet werden, damit $V_{pp} = \text{high}$ ist (siehe Baustein-Spezifikationen).

Um ein gegebenenfalls extern auf dem CPU-Adapter gelegenes EPROM (oder RAM) ebenfalls bankmäßig ansteuern zu können, wird das Bank-Umschaltesignal ("Bank 0") auch auf den Diagnosestecker geführt und zwar invers.

Der RAM-Bereich liegt von C000 bis DFFF (IC37).

4.1.3 Interruptsteuerung

Standardmäßig werden die Interrupts RST5,5, RST6,5 und RST7,5 verwendet. Der TRAP kann über den Diagnosestecker für Testzwecke benützt werden.

Der RST5,5 wird durch das Setzsignal ausgelöst, das über den Empfangsbaustein SN75173 (IC29) aus der Gestellverdrahtung (vom Frequenzverteiler) kommt.

Der RST6,5 tritt im Blockraster auf: mit steigender Flanke des Signals BLOTS ("Blocktor senden" aus VLSI, zu Beginn Bit 191 Sendeteilerkette) wird der Interrupt gesetzt, mit steigender Flanke des Taktes T26H67S (aus dem VLSI) – das ist zu Blockwechsel – wird er wieder zurückgenommen (siehe Bild 20).

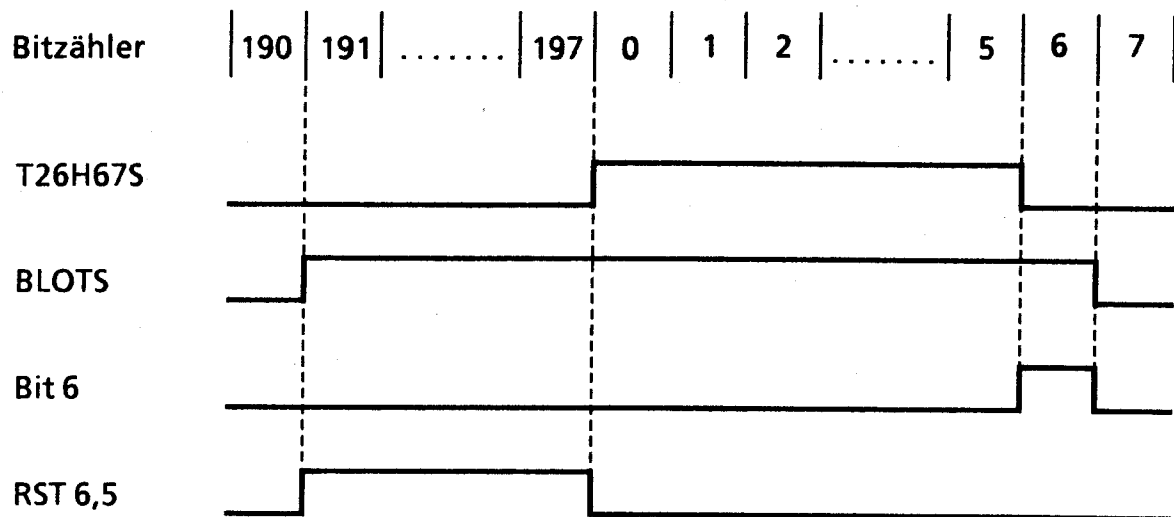


Bild 20 Interrupterzeugung

Der RST7,5 wird mit Hilfe des Timerbausteins 82C54 erzeugt. Durch entsprechende Programmierung des Bausteins werden bis zu drei verschiedene Interrupts RST7,5 während eines Blockes generiert.

Adressiert wird der Timer mit den Adressen FA00 bis FA03.

4.1.4 Serielle Schnittstelle

Der Datenaustausch über die serielle Schnittstelle zur Funkdatensteuerung geschieht innerhalb eines Funkblocks (37,5 ms) in jeweils zeitprogrammierten Sende- und Empfangsschlitzen. Die Datengeschwindigkeit innerhalb dieser Signalisierungsbursts beträgt 256 kBd. Für den Datenaustausch auf dieser Schnittstelle wird der USART Baustein 2661, für die Festlegung des Zeitpunktes dieses Dialoges der Baustein 82C54 eingesetzt, der am Rechner einen Interrupt (RST7,5) erzeugt (siehe Kapitel 4.1.3).

Der Baustein 2661 wird mit einer Bitrate von 256 kBd synchron mit dem Empfangstakt T256 KE und dem Sendetakt T256 KS aus der Interfacekarte betrieben. Der Sendetakt T256 KS hat einen Vorlauf, der ungefähr die doppelte Laufzeit der Verbindungskabellänge ausmacht (fest eingestellt), so daß in der Funkdatensteuerung für Sende- und Empfangseinrichtung derselbe 256-kHz-Takt verwendet werden kann. Als Adressenbereich für den USART wird F900-F903 verwendet.

Die beiden Treiberbausteine (in 74ALS1631N) werden parallel vom USART angesteuert. Für die Empfangseinrichtung sind es ebenfalls zwei Bausteine (in SN75173). Je nachdem, welche der beiden FDS in Betrieb ist, wird über die DTR-Leitung der eine oder der andere Baustein zum USART durchgeschaltet.

4.1.5 VLSI-Bausteine

Die beiden 48poligen C-MOS-Bausteine M862 bzw. SCX 6B 64 WWK und M863 bzw. SCX 6B 48 WWL (im folgenden mit "VLSI"-Baustein bezeichnet) enthalten wesentliche Funktionen der Funkkanalsteuerung. Sie haben eine 80C85-kompatible Busschnittstelle, die die Signale AD0-7 (8-bit-Adressen-Daten-Bus), ALE (Address Latch Enable), -RD (Read), -WR (Write) umfaßt. Mit Hilfe des Decoderbausteins (HCT138) auf der CPU wird das Chip-Select-Signal (-CS) erzeugt, das den Ansprehbereich der VLSI-Bausteine auf F800 bis F8FF festlegt. Die niederen acht Adressenbits werden mit Hilfe des ALE-Signals über AD0-7 in die VLSI-Bausteine gespeichert.

Die Pins MOD0, MOD1 sowie TEST0 und TEST1 legen die Betriebsarten der Bausteine fest. Für den PHE liegt MOD0 auf "1", MOD1 auf "0".

TEST0 und TEST1 sind "0" bei Normalbetrieb.

Für Testzwecke kann mit TEST0 = 0 und TEST1 = 1 die verteilte Signalisierung abgeschaltet werden (für den PHE ohne Bedeutung).

Das Bild 21 zeigt die wesentlichsten Funktionsblöcke der VLSI-Bausteine. Alle Funktionsblöcke werden über die Busschnittstelle bedient (im folgenden werden die beiden Bausteine als Einheit betrachtet, so daß auch nur von einer Busschnittstelle gesprochen wird, obwohl natürlich jeder Baustein eine eigene Schnittstelle hat).

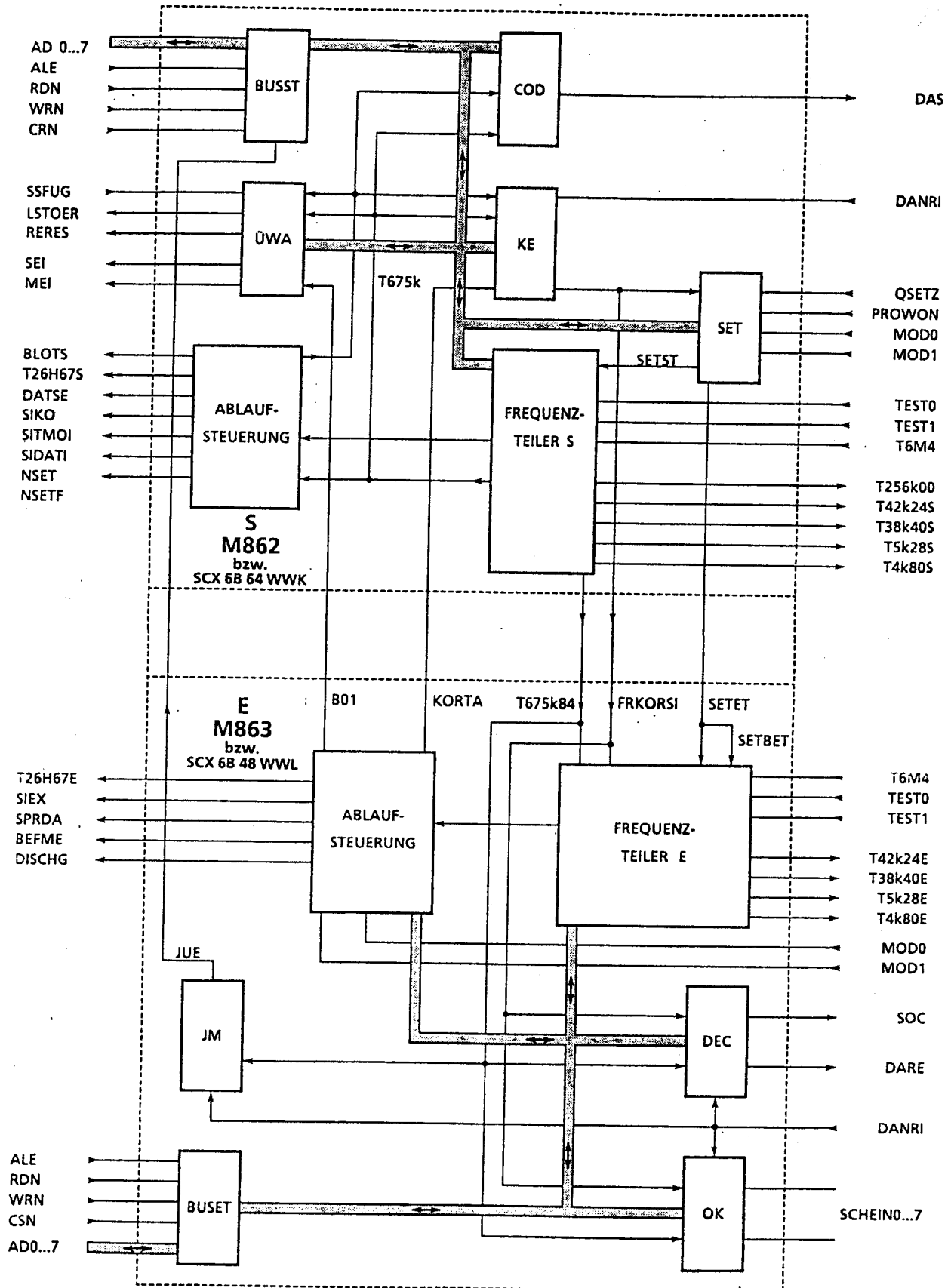


Bild 21 Übersichtsschaltplan Bausteine M862 bzw. SCX 6B 64 WWK und M863 bzw. SCX 6B 48 WWL

Das Bild 22 zeigt die über die Pins geführten Signale und ihre Einbettung innerhalb der CPU-Baugruppe.

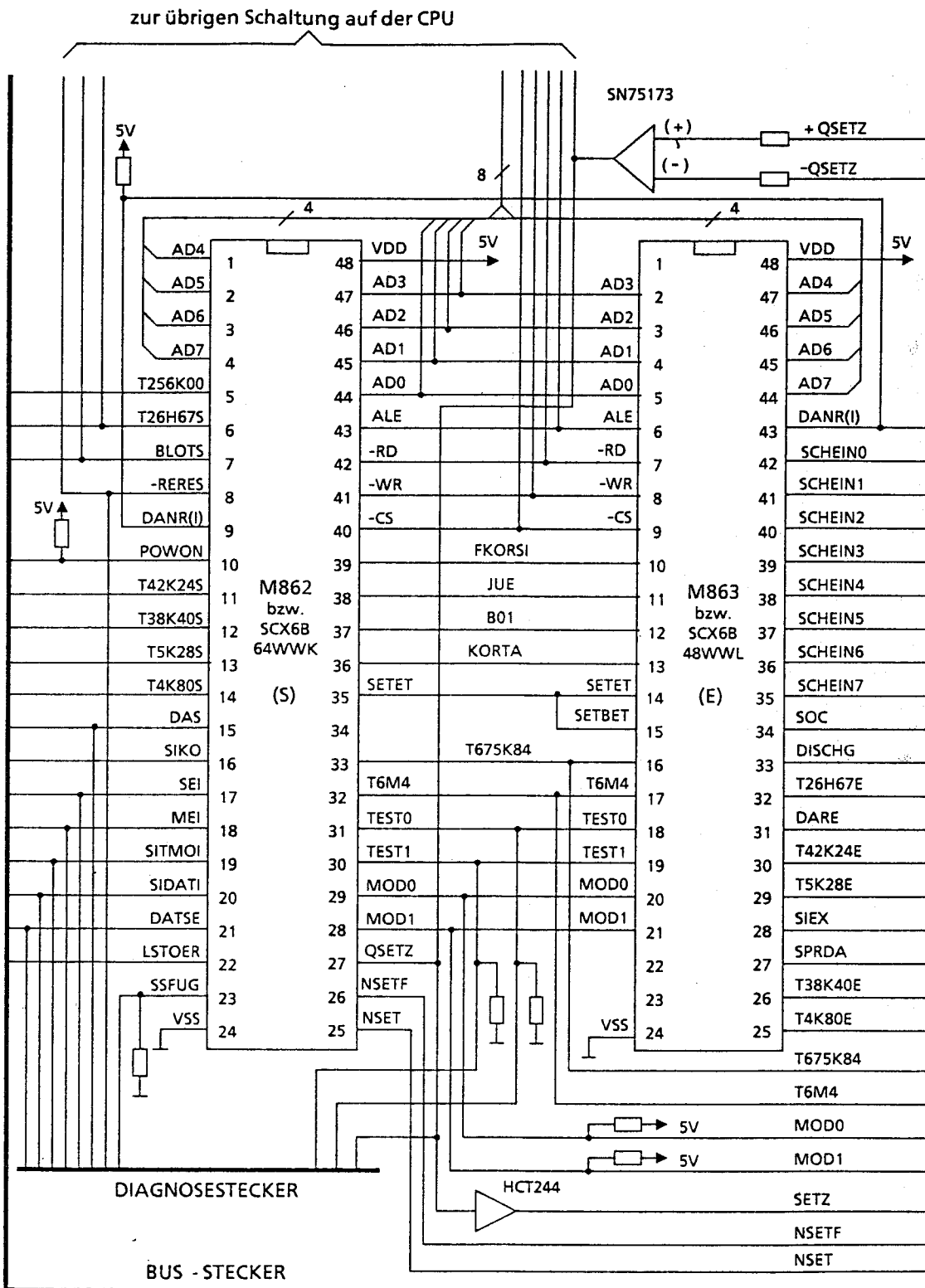


Bild 22 Anschlußschema der VLSI-Bausteine

4.1.5.1 Takterzeugung

Grundlage aller erzeugten Takte ist der Eingangstakt 6,4 MHz. Von diesem werden die einzelnen Takte abgeleitet. Die Signalnamen der Takte setzen sich aus den Buchstaben T und der Frequenzangabe zusammen, wie aus folgendem Schema ersichtlich ist (Bild 23).

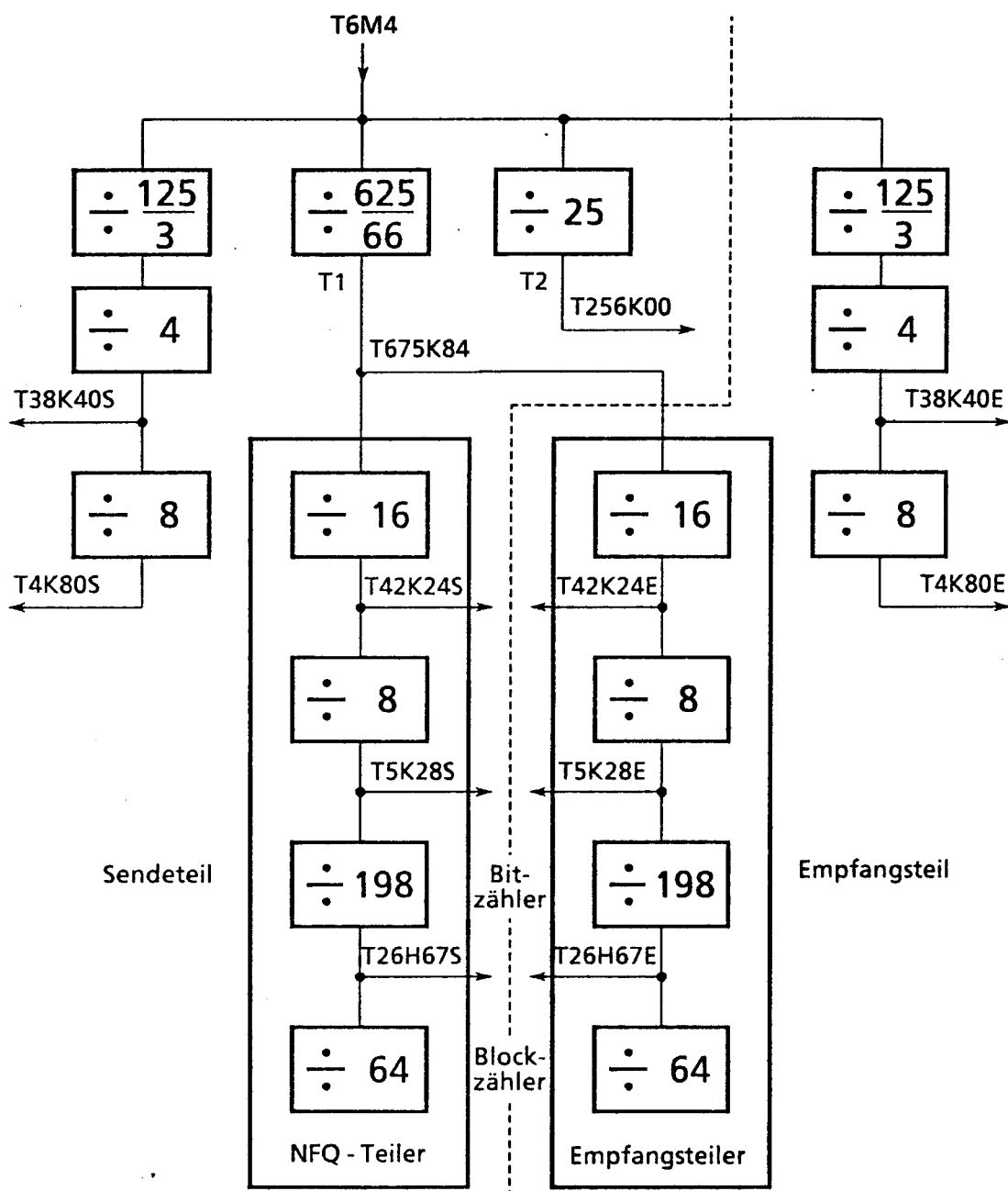


Bild 23 Übersichtsschaltplan der Frequenzteiler für Sende- und Empfangsteil

Da Sende- und Empfangsrahmen zueinander zeitversetzt sein können, ist ein Großteil der Takte zweimal vorhanden: S für Sendeseite, E für Empfangsseite. Ein Teil der Takte läßt sich nicht durch rationale Teilerverhältnisse erzeugen und weist daher einen Jitter auf (siehe folgende Tabelle).

Taktname	erzeugt aus	Teilungsfaktor	Phasenjitter
T675K84	T6M4	625/66	-78,15 - 146,78 ns
T256K00	T6M4	25	0
T42K24S,E	T675K	16	-4,7 - 146,78 ns
T5K28S,E	T42K24S,E	8	-4,7 - 146,78 ns
T26H67S,E	T5K28S,E	198	0

T38K40S,E und T4K80S,E werden beim PHE nicht gebraucht.

Außerhalb der VLSI-Bausteine werden folgende Takte verwendet:

T675K84: Taktung für A/D-Wandler für Feldstärke

T256K00: Takt für serielle Schnittstellen

T26H67S: Speichern von Port-Signalen.

4.1.5.2 Teilerketten

Mit T675K84 werden die beiden Teilerketten (Sendeteiler, im PHE Normalfrequenzteiler (NFQ) genannt und Empfangsteiler) getaktet.

Mittels Teilung durch 128 entsteht der Bittakt von T5K28S bzw. T5K28E (siehe auch obige Tabelle), eine weitere Teilung durch 198 ergibt den Blocktakt T26H67S bzw. T26H67E, mit dem schließlich der Blockzähler gezählt wird.

64 Blöcke zu je 37,5ms bilden einen Rahmen, der demnach 2,4s lang ist.

Der Bitzählerstand der NFQ-Teilerkette kann über die Busschnittstelle gelesen werden (Adresse F815), ebenso der Stand des NFQ-Blockzählers (Adresse F81C).

Beide Teilerketten können über verschiedene externe und interne Signale auf bestimmte Werte gesetzt werden.

Externe Signale

POWON entsteht bei Einschalten der Spannung oder bei RESET; erzeugt internes POP-Signal (power-on-puls).

QSETZ Rahmensetzsignal
erzeugt mit Rückflanke internes Setzsignal QSET.

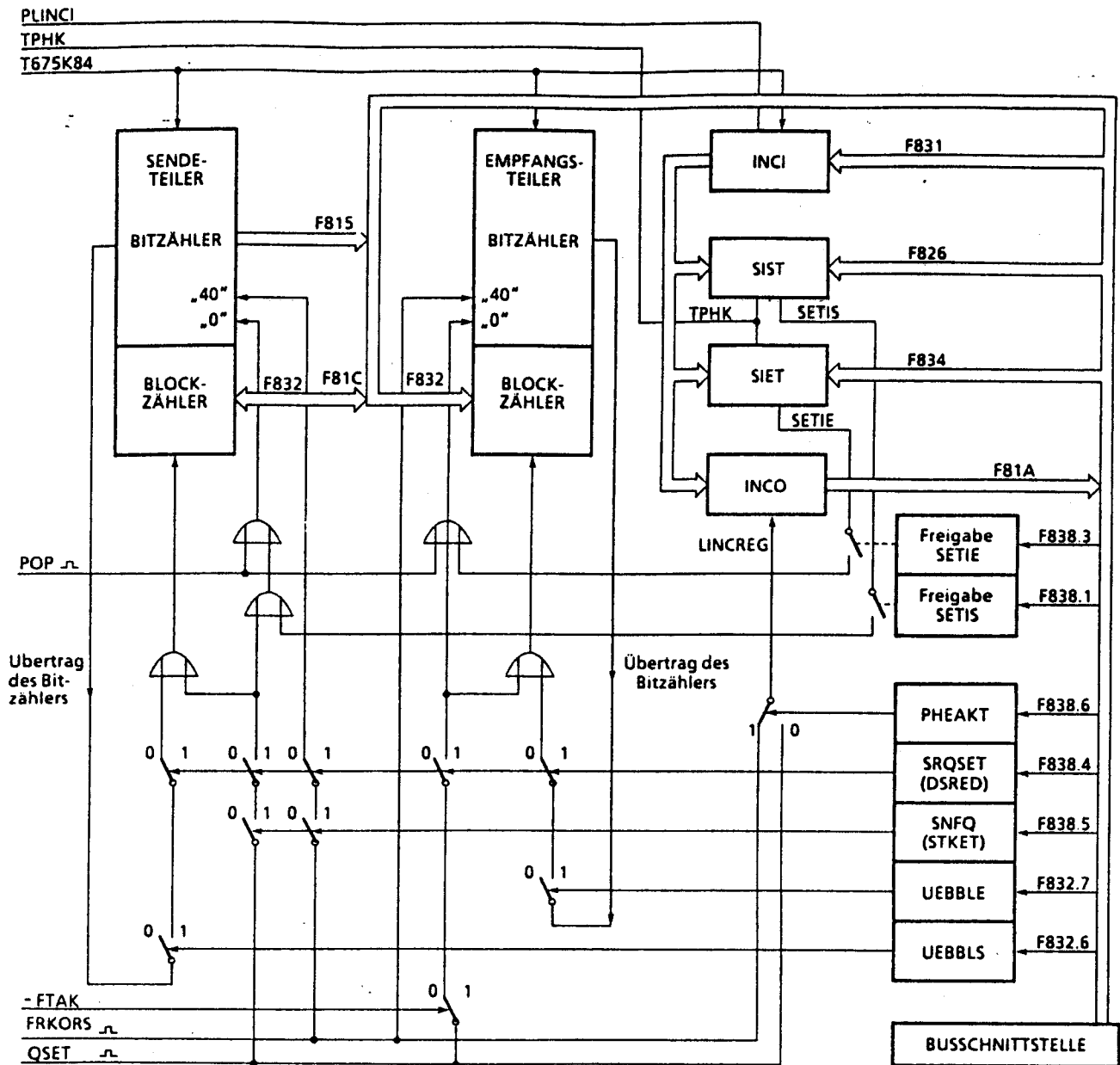
Beide Signale setzen alle Teiler einschließlich Teilerkette.

Interne Signale

FRKORS freigegebenes Korrelationssignal; SETIS, SETIE Setzsignale für indirektes Setzen aus dem Inkrementierungszähler

Mit FRKORS wird der Bitzählerstand der Teilerketten auf 40 gesetzt, in allen anderen Fällen (SETIS oder SETIE, POP, QSET) auf 0.

Einzelheiten dazu zeigt Bild 24.



- LINCREG Laden Incrementierungsregister (INCO)
- SIST, SETIS Setzen indirekt, Sendeteiler
- SIET, SETIE Setzen indirekt, Empfangsteiler
 SIET und SIST sind die Vergleichswerte für die Phase, die auf den Adressen F826 und F834 eingespeichert werden. Bei Gleichheit mit dem Stand des Incrementierungszählers werden die Impulse SETIS bzw. SETIE erzeugt, die die Teilerketten setzen, falls die Impulse über F838.1 und F838.3 freigegeben sind.
- TPHK Tor Phasenkorrektur (2 bit lang)
- PLINCI Laden Incrementierungszähler

Bild 24 Teilerketten setzen (PHE)

4.1.5.3 Ablaufsteuerung

Die Ablaufsteuerung erzeugt Signaltore für die einzelnen Funktionsblöcke und für externe Anschlüsse. Die zeitliche Lage der Signaltore ist zum Teil abhängig von der Betriebsart und zwar im wesentlichen vom Zustand konzentrierte/verteilte Signalisierung.

Konzentrierte Signalisierung: Organisationskanal (Datentrieb), Aussenden der Signalisierungsinformation innerhalb eines Blocks.

Verteilte Signalisierung: Sprachbetrieb, Aussenden der Signalisierungsinformation in Zeitschlitten während eines Unterrahmens = 16 Blöcke.

Das Steuerbit F838.2 (SDOT) (F832.2 bedeutet Adresse F832, Bit 2) bestimmt den Zustand konzentrierte/verteilte Signalisierung. SDOT wird blockweise getaktet, beim Sendebaustein mit T26H67S, beim Empfangsbaustein mit T26H67E. Das getaktete Signal heißt SPRDA (SPRDA = "0": verteilte Signalisierung).

Im PHE ist nur der Zustand "Konzentrierte Signalisierung" zulässig, daher SDOT = "1".

Alle Signaltore sind beim Sendebaustein synchron zum Takt T5K28S und beim Empfangsbaustein synchron zum Takt T5K28E.

Folgende Signale werden aus den VLSI-Bausteinen nach außen geführt und im PHE verwendet:

- T26H67S** Takt 26,67 Hz, von Beginn Bit 0 bis Ende Bit 5 jedes Blockes auf "1", sonst "0".
- BLOTS** "Blocktor senden", von Beginn Bit 191 jeden Blockes bis Ende Bit 6 des folgenden Blockes auf "1", sonst "0".
- SOC** "Start of Conversion" wird aus dem internen Signal STD gewonnen, das im Decoder am Beginn jedes Decodiervorgangs erzeugt wird. Es startet die Verschlüsselung im A/D-Wandler für die Umsetzung der Feldstärke.
- DISCHG** "Discharge": Entladeimpuls für Ladekondensator (Feldstärkemessung), zu Beginn jedes Blockes.
- NSET(T)** Norm-Setz-Signal, auf "1" während Block 63 der NFQ-Teilerkette.
- NSETF** wie NSET, jedoch nur, wenn Steuerbit F838.7 auf "1" freigegeben. NSETF-Signal geht weiter zum Frequenzverteiler, von dort als Rahmensetzsignal zu den einzelnen Einsätzen in der BS.

Weitere in der Ablaufsteuerung erzeugte Signale werden VLSI- intern verwendet und z.T. in den weiteren Kapiteln erwähnt (z.B. LOFF, SINTO, SDEC usw.).

4.1.5.4 Überwachung und Rechnerreset

Zur Programmlaufkontrolle gibt es einen Watchdog, der mindestens einmal je Block retriggert werden muß. Das geschieht durch Schreiben einer "1" auf F82A.2. Ist das nicht der Fall, wird die Störungsmeldung WADOG erzeugt. Außerdem erscheint am Ausgang RERES-(Rechner-Reset) ein "0"-Impuls, welcher den 80C85-Baustein sowie einige Peripheriebausteine zurücksetzt. Der Watchdog wird ferner in einen passiven Zustand versetzt; er wird erst wieder durch die nächste Retriggerung aktiviert.

Bei Störung oder Ausfall der Versorgungsspannung oder bei Betätigen der Reset-Taste, was bei PPOWON = "0" signalisiert wird, wird ebenfalls ein Reset-Signal (Ausgang RERES = "0") erzeugt.

Zum Überwachen der Teilerketten gibt es zwei weitere Fehlermeldungen ("0" bei Fehler):

FTAK Fehler Teilerkette außer Kontrolle

FQSET fehlendes QSETZ.

FTAK tritt auf, wenn NFQ-Teilerkette und Empfangsteilerkette um mehr als ± 1 bit auseinanderliegen (Überwachung nur im Block 0, es müssen daher auch beide Blockzähler synchron laufen).

FQSET tritt auf, wenn während eines Rahmens kein QSETZ festgestellt wird.

Bei Einschalten der Versorgungsspannung (PPOWON = "0") werden FTAK und FQSET in den Zustand "0" (d.h. Fehler) gebracht, WADOG auf "1" (kein Fehler). Der Zustand der Fehlermeldungen kann in ein Störungsregister übernommen werden, das über die Busschnittstelle mit Adresse F816 auslesbar ist:

Bit 0: FTAK

Bit 1: WADOG

Bit 2: FQSET.

Die Übernahme in das Störungsregister geschieht entweder beim Auftreten einer Störungsmeldung – wenn noch keine andere Störungsmeldung vorliegt – oder durch kurzes Einschreiben einer "1" auf Adresse F82A ("Laden Störungsregister").

In beiden Fällen erscheint am externen Anschluß LSTOER ein kurzer "1"-Impuls, mit dem die außerhalb der VLSI-Bausteine liegenden Störungsregister am PHE-Interface geladen werden.

4.1.5.5 Korrelationsempfänger

Der Korrelationsempfänger empfängt die nicht regenerierten (Signalisierungs-) Daten DANR(I). Am Anfang jedes Signalisierungsblockes befindet sich der Barkercode, der sich dreimal wiederholt. Aus dem empfangenen Barkercode ermittelt der Korrelationsempfänger den Zeitbezug für die Empfangsteilerkette und erzeugt das Zeitzeichen KORS (Korrelationssignal).

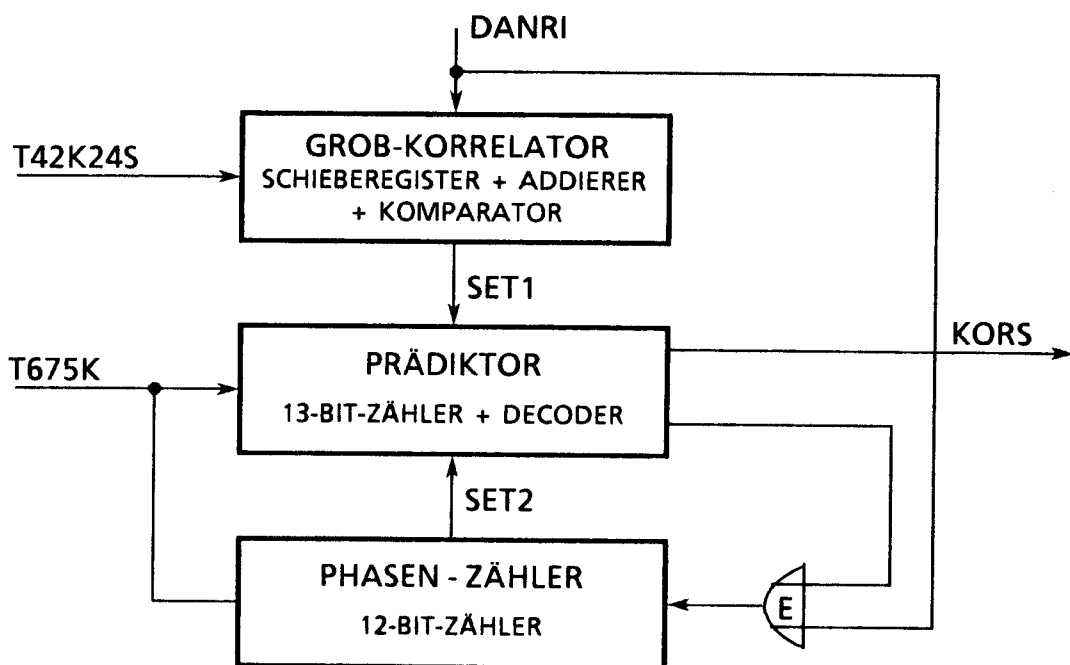


Bild 25 Übersichtsschaltplan Korrelationsempfänger

Der Grobkorrelator taktet die einlaufenden Signalisierungsdaten mit 42,24 kHz ab (acht Proben je Signalisierungsbit). Der Grobkorrelator erkennt den Barkercode, wenn

- im zeitlichen Abstand von $t = 1/T5K28$ jedes Signalisierungsbit mindestens die Pulsbreite $t = 1/T42K24$ hat
- und
- der Barkercode höchstens einen Bitfehler enthält (siehe Bild 26).

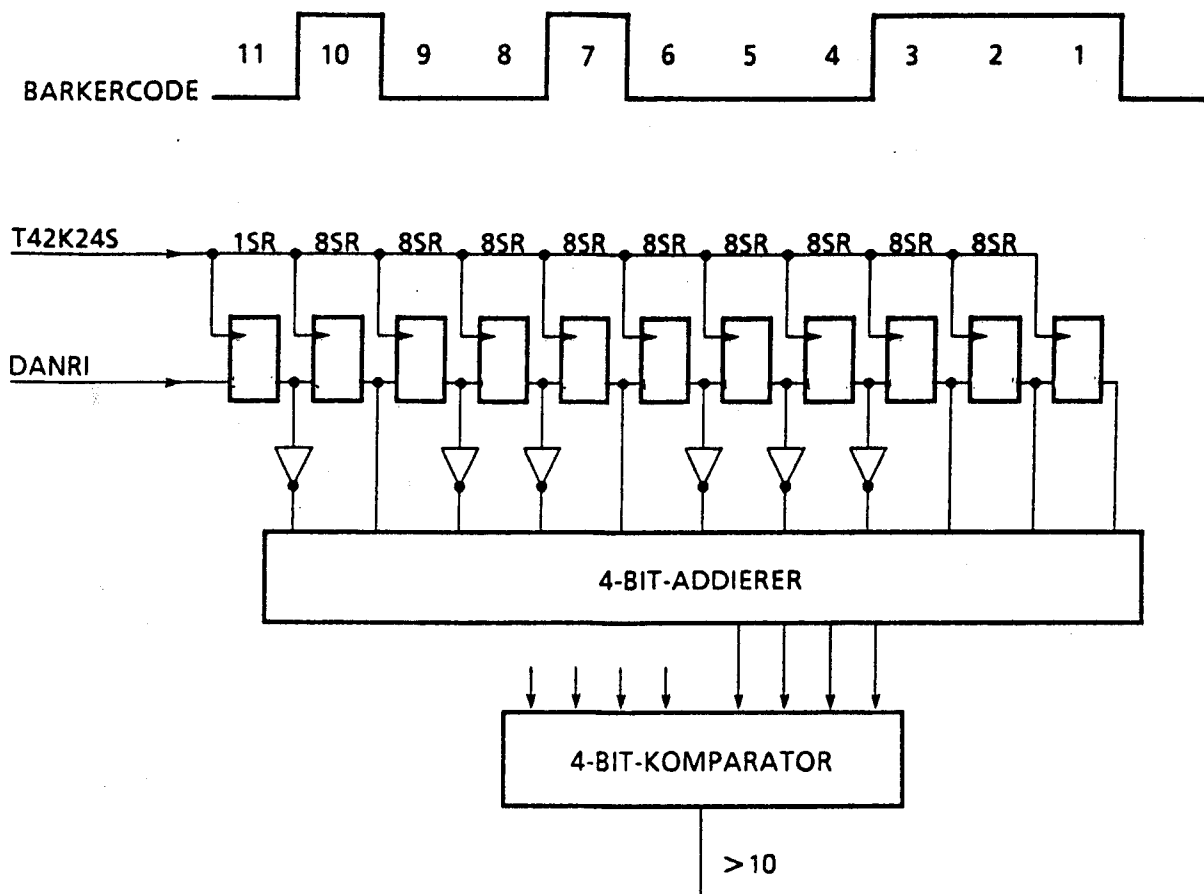


Bild 26 Grob-Korrelator mit 81-bit-Schieberegister, 4-bit-Addierer und 4-bit-Komparator

Hat der Grobkorrelator den ersten Barkercode erkannt, setzt er einen Prädiktor, der ebenfalls den Barkercode erzeugt. Der Prädiktor vergleicht den eigenen mit dem empfangenen Barkercode, und er ermittelt dessen Phasenabweichungen.

Der zweite und dritte Barkercode enthalten insgesamt 12 Flankenwechsel. Nach vier Flankenwechseln und nach weiteren acht Flankenwechseln paßt sich der Prädiktor zeitlich dem empfangenen Barkercode an (schrittweise Annäherung). Der Korrelationsempfänger erzeugt ein Korrelationssignal KORS, wenn

- der Grobkorrelator drei aufeinanderfolgende Barkercodes erkannt hat
- und
- der zweite und dritte Barkercode im zeitlich richtigen Abstand zum ersten Barkercode stehen.

Der Zeitpunkt des Korrelationssignales ist:

$0,5 \cdot t_{675K}$ nach Bitmitte des dem Barkercode folgenden "Leerbits".

Die Betriebsarten des Korrelationsempfängers sind:

- Suchlauf
- Normalbetrieb konzentrierte Signalisierung.

Die Betriebsarten werden über die Busschnittstelle eingestellt, und zwar auf Adresse F82C (beide Signale sind aktiv "1"):

F82C.7 Suchlauf Korrelationsempfänger

F82C.6 Freigabe Korrelationsempfänger.

Die Ausgangssignale des Korrelationsempfängers sind:

KORS (siehe oben)

FRKORS Freigabe Korrelationssignal (UND-Verknüpfung von KORS und F82C.6)

KORSER (F819.7) Korrelationssignal erkannt

KORSZE (F819.6) Korrelationssignal im Erwartungszeitraum.

Einen Takt T_{5K28} vor dem Aussenden des Barkercodes wird der Registerinhalt F82C.7 (Suchlauf) in ein internes Register SU des Korrelationsempfängers übernommen und es werden die Signale KORSER und KORSZE zurückgesetzt.

Die Ablaufsteuerung erzeugt Zeittore für das Erkennen der Korrelation:

SYNT Synchronisations-Erwartungstor
Zeittor für das Erkennen des 1. Barkercodes durch den Grobkorrelator.
Dieses Zeittor ist 3 bit breit (2 bit: Bereich der Funklaufzeit, 1 bit: maximale Breite der Grobkorrelation).

SYKON Synchronisationskontrolle
Zeittor für das Korrelationssignal KORS; dieses Zeittor ist 2 bit breit.

Suchlauf

In der Betriebsart Suchlauf wirken die Zeittore SYNT und SYKON nicht; es gilt für die Ausgangssignale:

3. Barkercode erkannt	F82C.6	KORS	FRKORS	F819.7 KORSER	F819.6 KORSZE
ja	H	H	H	H	H
ja	L	L	L	H	L
nein	X	L	L	L	L

Zum Zeitpunkt des Signales KORS werden die Register 19.7 und 19.6 beschrieben, und es wird das interne Register SU zurückgesetzt (kein Suchlauf-Normalbetrieb).

Normalbetrieb

In der Betriebsart Normalbetrieb muß der erste erkannte Barkercode innerhalb des Zeittores SYNT liegen, damit der Prädiktor gesetzt und freigegeben wird.

Es gilt für die Ausgangssignale:

Tor SYNT	3. Barkercode erkannt	Tor SYKON	F82C.6 Freigabe Korrelationsempfänger	KORS	FRKORS	F819.7 KORSER	F819.6 KORSZE
ja	ja	ja	L	H	L	H	H
ja	ja	ja	H	H	H	H	H
ja	ja	nein	X	L	L	H	L
ja	nein	-	X	L	L	L	L
nein	-	-	X	L	L	L	L

Im Normalbetrieb gibt das Zeittor KORTA der Empfangsfrequenzteilerkette den Korrelationsempfänger frei.

4.1.5.6 Jittermesser

Mit Hilfe des Jittermessers wird über die Auswertung der Zeichenwechsel-Veränderungen der Geräuschabstand im Basisband ermittelt. Die Jittermessung bewertet die zeitliche Lage aller gleichpolarer Zeichenwechseländerungen (negative Flanken) im vorgegebenen Bewertungsintervall. Das Bewertungsintervall erstreckt sich beim PHE (nur konzentrierte Signalisierung) über eine Blocklänge. Der Jittermesser besteht im wesentlichen aus einem Auf-/Abwärtszähler (UD-Zähler), der als Modulo-Bit-Zähler arbeitet und mit dem Systemtakt (128facher Bittakt) betrieben wird (siehe Bild 27).

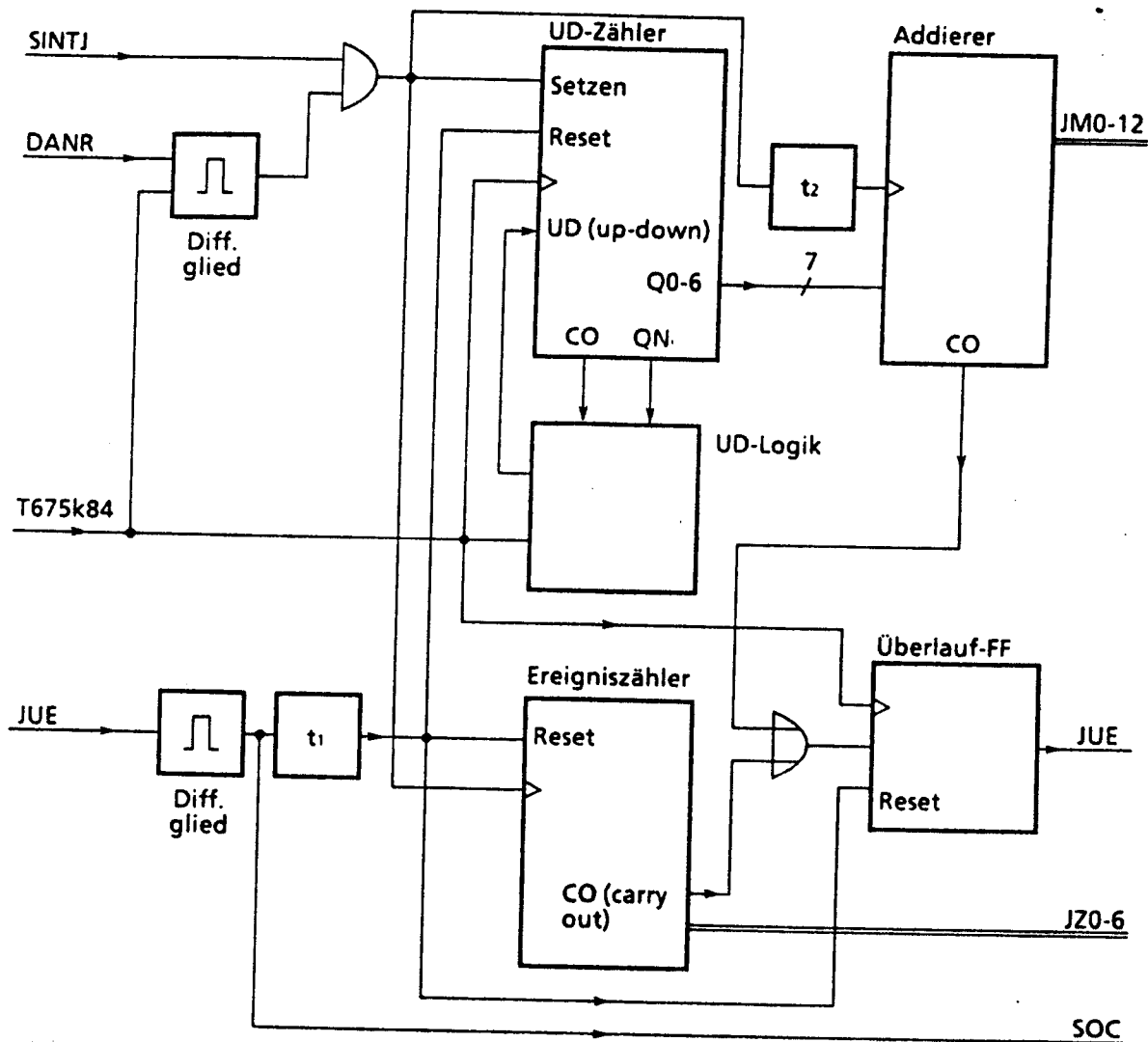


Bild 27 Übersichtsschaltplan Jittermesser

Seine Zählrichtung wird jeweils beim Zählerstand 0 und 63 umgekehrt. Mit dem ersten negativen Flankenwechsel des innerhalb des Bewertungszeitraumes (SINTJ) einlaufenden Dateneingangssignals (DANR) wird der Zähler auf den Wert 1 geladen und der Bewertungsvorgang gestartet. Mit jedem negativen Flankenwechsel werden die jeweiligen Zählerstände des Auf-/Abwärtszählers in einen Addierer übernommen und aufaddiert. Gleichzeitig wird der Zähler auf den Wert 1 geladen und der Bewertungsvorgang neu gestartet. Nur bei störungsfreier Datenübertragung erreicht der Zähler am Ende jedes Bewertungsvorganges zwischen zwei negativen Flankenwechseln den Wert 0 (siehe Bild 28). Ist der Abstand zweier aufeinanderfolgender negativer Flanken größer oder kleiner als die n -fache Bitbreite ($n > 1$), so ergibt sich aus dem Zählerstand des Modulo-Bit-Zählers der Absolutwert der zeitlichen Abweichung vom Sollwert als Jitterwert (siehe Bild 28), der in den Addierer addiert wird. Die Anzahl aller negativen Flanken innerhalb des Bewertungszeitraums registriert ein Ereigniszähler (7 bit). Nach Ablauf des Bewertungszeitraums werden mit dem Signal STD (Stop Decoder) der im Addierer aufaddierte Jitterwert (JM) und der Zählerstand des Ereigniszählers (JZ) abgespeichert, und sie stehen zum Auslesen über die Busschnittstelle zur Verfügung. Unter der Adresse F849 läßt sich die Anzahl der negativen Flankenwechsel auslesen. Über die Adressen F84A und F84C kann auf den Jitterwert zugegriffen werden, wobei unter Adresse F84A das MSB (5 bit) und unter Adresse F84C das LSB (8 bit) abgespeichert sind.

Ebenfalls vom Signal STD abgeleitet wird ein Rücksetzsignal, mit dem UD-Zähler, Akkumulator und Ereigniszähler zurückgesetzt werden; diese sind somit für einen neuen Bewertungsvorgang vorbereitet.

Übersteigt der akkumulierte Jitterwert innerhalb eines Bewertungszeitraumes den Wert $2^{13} = 8192$ oder ist die Anzahl der Zeichenwechsel größer als $2^7 = 128$, so steht am Ausgang Jittermesser-Überlauf (JUE) ein H-Pegel an. Das Signal JUE wird im Sendebaustein weiter verarbeitet und kann über die Busschnittstelle (Adresse F819.2) ausgelesen werden.

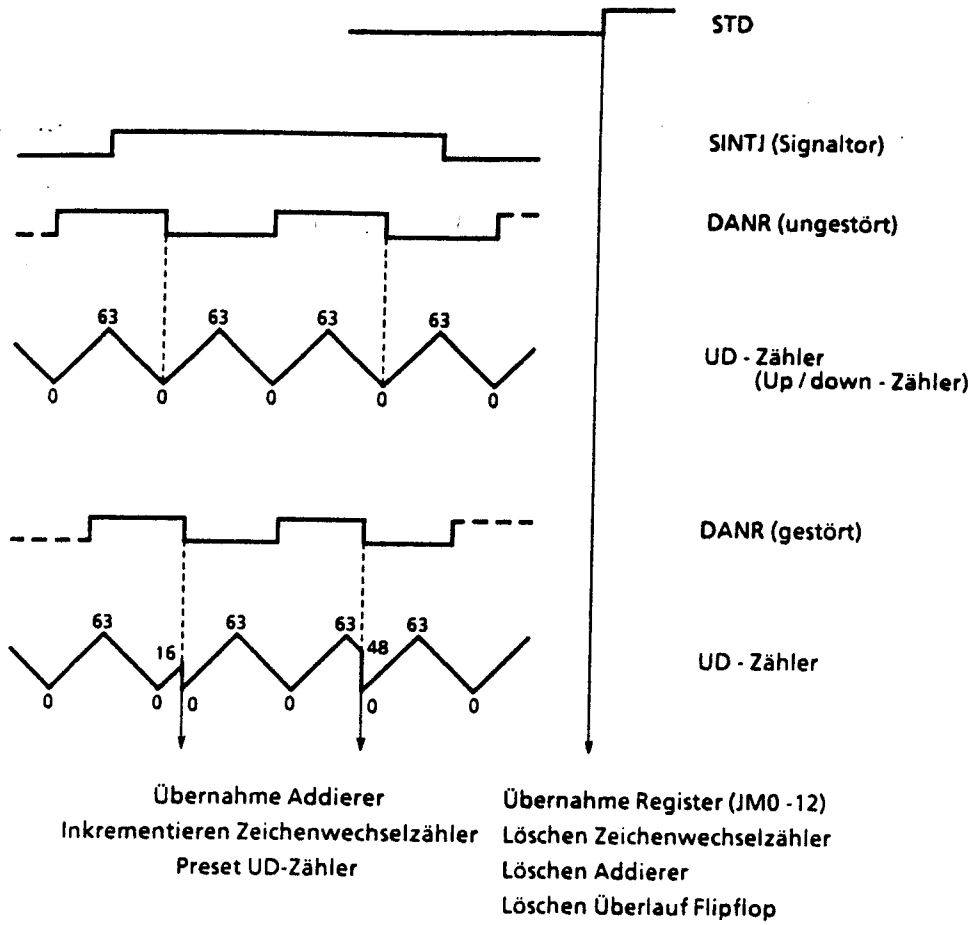


Bild 28 Funktion des Jittermessers

4.1.5.7 Offsetkorrektur

Die Offsetkorrektur wird mit Hilfe der im Bild 29 dargestellten Schaltung durchgeführt; sie besteht aus dem Offsetmesser im VLSI und der Schwellen-Vergleichsschaltung am BS-IF (siehe auch Kapitel 4.2). Weist das vom Empfänger kommende Signal DADEMI eine vom Mittelwert abweichende Gleichspannungsablage auf, so sind die "0"- und "1"-Bits des DANR-Signales nicht mehr gleich lang.

Funktionsweise des Offsetmessers

Der 128fache Bittakt (T675K84) zählt während des Bewertungszeitraums $SINTO = 1$ (das ist während des Barkercodes Bit 11 bis einschließlich Bit 32) in einen 12-bit-UD-Zähler (Up/down-Zähler) ein.

Das Signal DANR (Daten nicht regeneriert) bestimmt die Zählrichtung: Signallage "0" entspricht der Zählrichtung abwärts, "1" aufwärts.

Außerdem ist zu beachten, daß am Beginn der Offsetmessung der D/A-Wandler mit dem Initialwert 80H (OFFE0-7 = SCHEIN0-7 auf Mittenwert) versorgt sein muß, so daß die Gleichspannungsablage des DADEMI-Signals den Flankenverschiebungen des DANR-Signals entspricht. Am Beginn des Bewertungszeitraums wird der Zähler auf 2304 eingestellt, d.i. um 2×128 über dem Mittenwert des Zählers $4096/2 = 2048$. Damit ist die Tatsache berücksichtigt, daß der Barkercode zwei "0"-Bit mehr als "1"-Bit enthält.

Durch den auf 2304 voreingestellten Zähler ist erreicht, daß im Idealfall (keine Gleichspannungsablage) der Zähler am Ende des Bewertungsintervalles auf 2048, also in Zählermitte steht. Mit dem Signal LOFF (Lade Offsetkorrektur) aus der Ablaufsteuerung wird der Zähler auf den Voreinstellwert gesetzt. SINTO gibt den Zähler frei. Der Zähler zählt nun entsprechend der Zeichendauer und des Zeichenzustandes aufwärts oder abwärts. Am Ende der Messung werden die acht höchsten Bits des Zählers abgespeichert und können über Adresse F846 vom Rechner gelesen werden (OFFA).

Die gelesenen Meßwerte der Offsetkorrektur werden im Rechner verarbeitet und daraus ein Wert für die SchwellwertEinstellung gewonnen. Dieser Wert kann über die Busschnittstelle (Adresse F864) eingeschrieben werden (OFFE) und erscheint als binäres Signal an den Ausgängen SCHEIN0 – SCHEIN7.

Mit dem Signal FRKORS (aus M862 bzw. SCX 6B 64 WWK) wird das Ergebnis der Offsetmessung als Korrekturwert auf die Ausgänge SCHEIN0 – SCHEIN7 gelegt. Mit dem nächsten Signal LOFF wird der betreffende Multiplexer jedoch umgesteuert und der Rechner übernimmt die SchwellwertEinstellung.

Anstelle des Initialwertes 80H (entspricht Zählerstand 2048) gelangt der Schwellwert SCHEIN0-7 an den Eingang des D/A-Wandlers an BS-IF (nur bei Ablage Null würde SCHEIN0-7 mit dem Initialwert identisch sein).

Damit ist der Vergleichswert am Vergleicher so eingestellt, daß die Gleichspannungsablage vom DADEMI-Signal kompensiert wird und das DANR-Signal genaue Bit-Längen aufweist (siehe Bild 30).

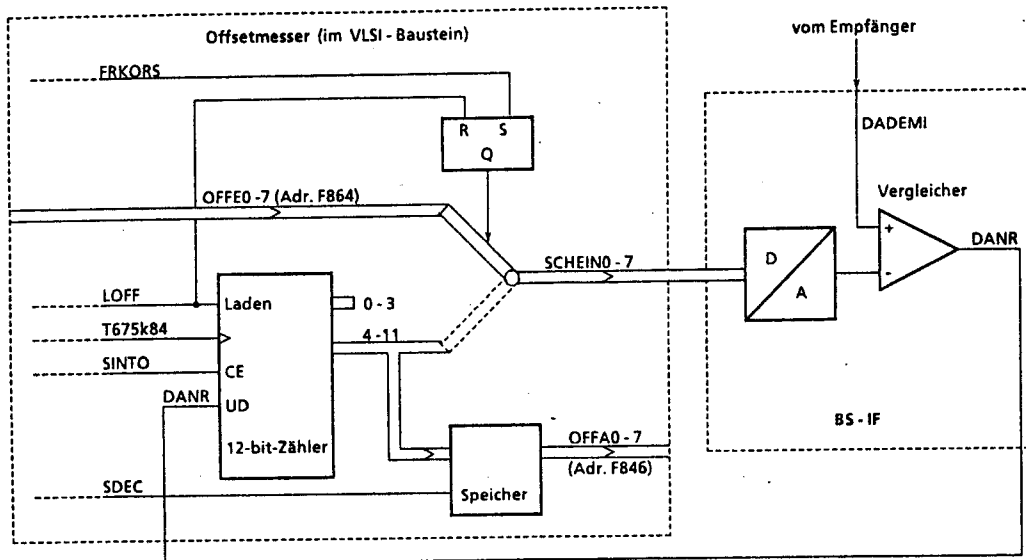


Bild 29 Offsetkorrektur

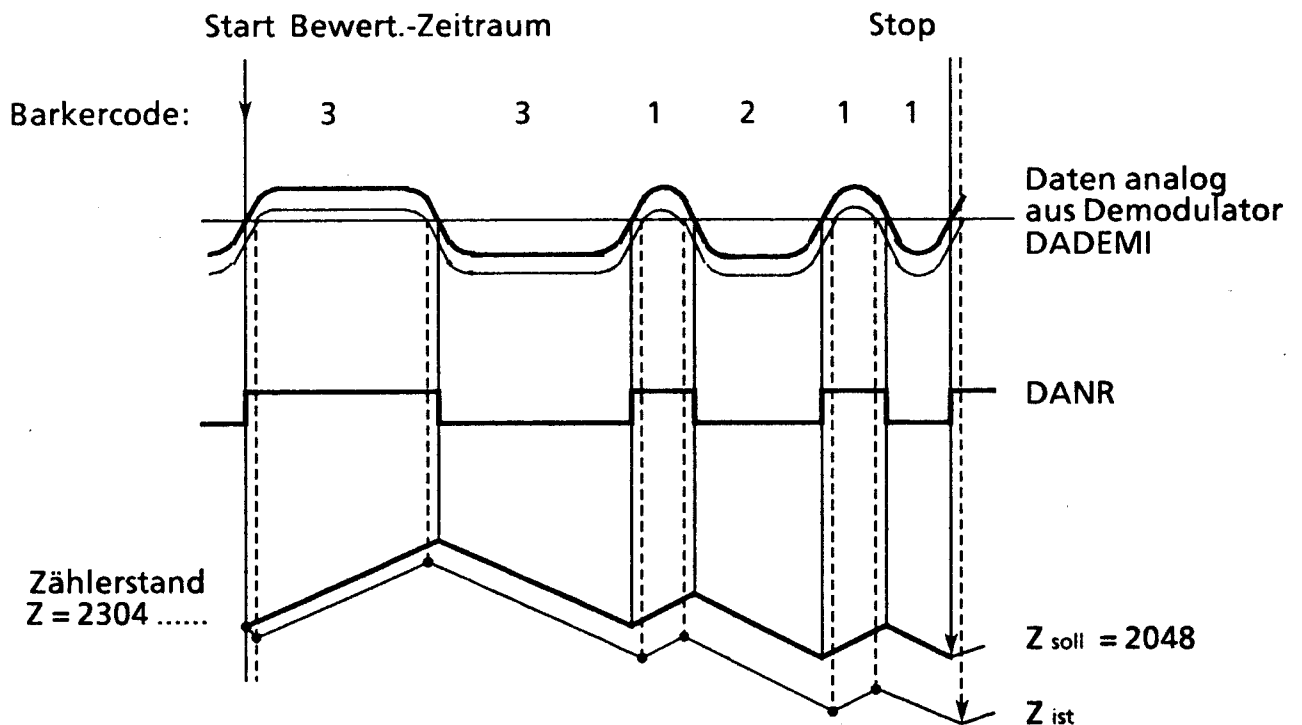


Bild 30 Offsetkorrektur Barkercode

4.1.5.8 Decoder

Der Decoder stellt die Signalisierungs-Schnittstelle zwischen dem Empfänger und dem Rechner dar; seine Aufgaben sind:

- Zwischenspeichern der vom Funkteil gelieferten Daten
- Decodieren der empfangenen Nachricht
- Durchführen von Fehlererkennung und Fehlerkorrektur.

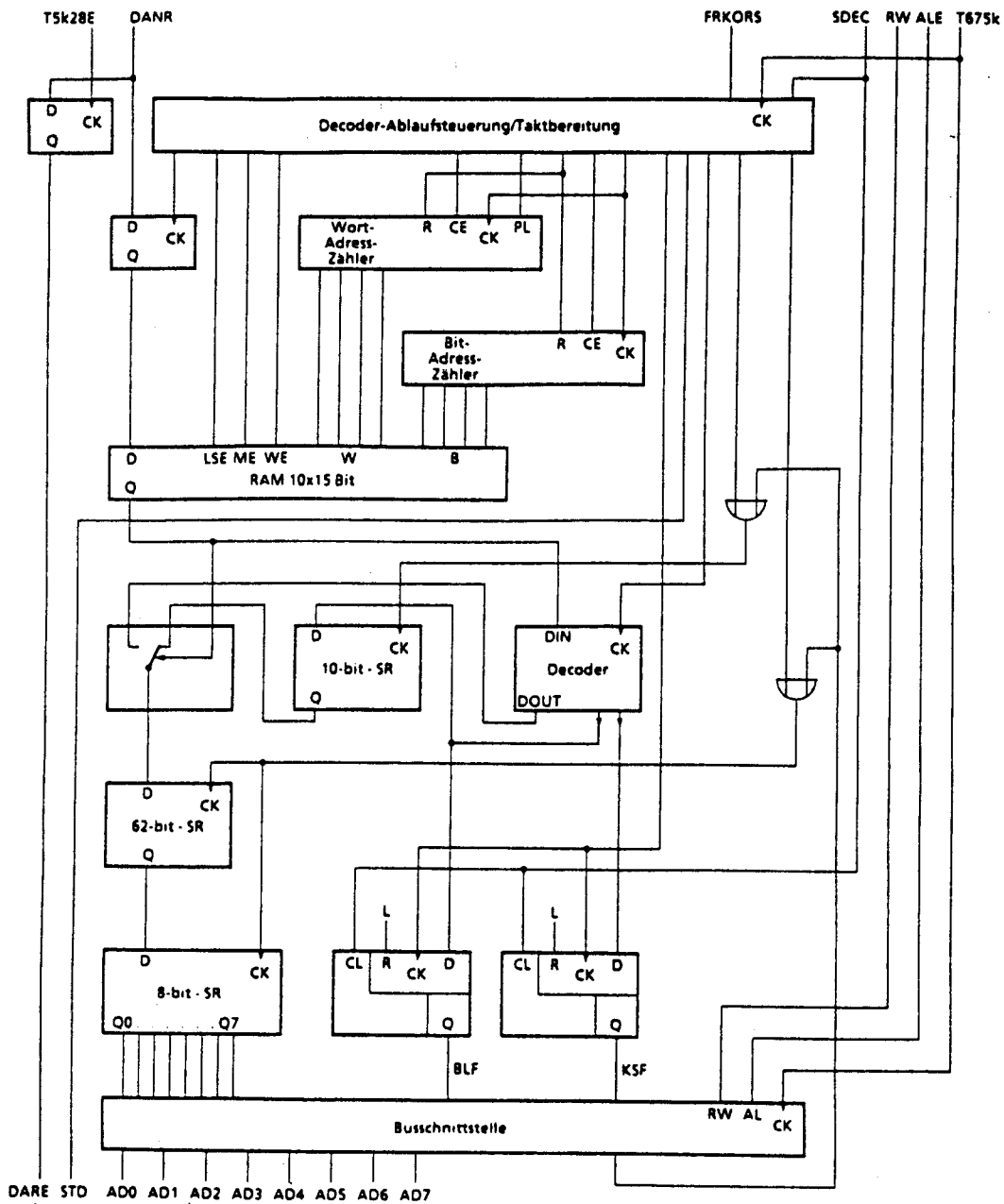


Bild 31 Übersichtsschaltplan Decoder

Der Decoder empfängt über den Eingang DANR(I) die nicht regenerierten Signalisierungsdaten. Sie werden mit dem Bit-Takt (T5K28E) abgetaktet und erscheinen am Ausgang DARE (Daten regeneriert). Mit Hilfe der Impulse DECB (Bittakt vom Bit 41, d.i. nach dem Barkercode bis einschließlich Bit 190) werden die Nutzdaten von den Synchronisierungsdaten (Barkercode) getrennt und entsprechend der zeitlichen Verschachtelung in 15 Worten à 10 bit spaltenweise in ein RAM eingelesen. Zuvor wird die Schaltung mit dem Signal SDEC (Start Decoder, siehe auch Kapitel 4.1.5.6) aus der Ablaufsteuerung zurückgesetzt und auf den Vorgang Daten einlesen / decodieren vorbereitet. Ebenso kann die Schaltung durch das Signal FRKORS aus dem Korrelationsempfänger während des Einlesevorgangs zurückgesetzt werden. Der Einlesevorgang wird dann mit DECB neu gestartet. Nach Beenden des Einlesevorgangs mit der fallenden Flanke des letzten Taktes DECB (Bit 190.5) wird der Decodiervorgang gestartet. Gleichzeitig wird über den Ausgang STD ein Signal geliefert, das zur weiteren Verarbeitung im Schaltungsteil Jittermesser zur Verfügung steht (siehe Kapitel 4.1.5.6).

Der Decodierer läuft mit dem halben Systemtakt (T675K). Die im RAM gespeicherten Daten werden zeilenweise (10 Worte à 15 bit) ausgelesen, decodiert und anschließend seriell in einem 70-bit-Schieberegister abgespeichert. Wird bei einem Wort eine Fehlerkorrektur durchgeführt, so wird dies durch Eintragen einer "1" in einem 10-bit-Schieberegister an der entsprechenden Stelle vermerkt. Gleichzeitig wird das Statusbit BLF (Blockfehler, Adresse F843.3) gesetzt. Wird die Korrekturschwelle überschritten, bei drei und mehr Fehlern, wird zusätzlich das Statusbit KSF (Adresse F843.2) gesetzt. Der Decodiervorgang ist nach 600 Takten T675K ($t_{DEC} = 600 \times t_{675K} = 888 \mu s$) beendet. Nach Abschluß des Decodiervorgangs, etwa fünf Bit-Takte nach Einlesen des letzten Signalisierungsbits, stehen die decodierten Daten zum Auslesen an der Busschnittstelle (Adresse F845) bereit. Ausgelesen werden die Daten in zehn Worten à 8 bit. Nach jedem READ-Zugriff wird die Busschnittstelle durch Nachschieben der nächsten 8 bit für einen weiteren READ-Zugriff vorbereitet. Daraus ergibt sich als Zeitbedingung für zwei aufeinanderfolgende READ-Zugriffe:

$$t_{READ} \geq 10 \times t_{T675K} = 14,8 \mu s$$

Der Datenblock enthält in den READ-Zugriffen 1 bis 8 (Bit 0 bis 7) und im 9. READ-Zugriff (Bit 0 bis 5) die Signalisierungsdaten und im 9. READ-Zugriff (Bit 6 und 7) sowie im 10. READ-Zugriff das Fehlerkorrekturwort. Die Statusbit "Fehler erkannt" (BLF) und "Korrekturschwelle überschritten" (KSF) lassen sich ebenfalls über die Rechnerschnittstelle (Adresse F843) abfragen (siehe oben).

4.2 BS-Interface S42024-H379-B1

Die Baugruppe enthält folgende Funktionen, die in den einzelnen Unterkapiteln näher beschrieben werden (Bild 33):

- Erzeugen von Sende- und Empfangstakt für die serielle Schnittstelle (Laufzeitkorrektur)
- Adressendecodierung für Ein- und Ausgabeports
- Abfrage der Gestelladresse
- Ausgabeports für Ansteuerung des Synthesizers sowie Ausgabe der Bits OKVR ("Software-Verfügbarkeit") und FNFES (Freigabe NFE-Interface-Störung)
- Erfassen (Umsetzen) der Feldstärke
- Offset-Korrektur durch Vergleich des empfangenen Signals DADEMI mit eingestellter Schwelle
- Erzeugen des Power-on-Resets; Reset-Taste.

4.2.1 Laufzeitkorrektur

Aus dem 256-kHz-Takt (Signal T256K00 aus dem VLSI) werden die beiden Signale T256KS und T256KE mit Hilfe von zwei Schieberegistern erzeugt; die Signale sind gegenüber dem T256K00 phasenverschoben. Als Schiebetakt wird T6,4M verwendet. T256KS ist um 7 Takte, T256KE um 11 Takte gegenüber T256K00 verschoben. Der Vorhalt des Sendetaktes von vier Takten (etwa 0,7µs) dient zum Ausgleich von Kabelllaufzeiten zwischen Funkmodem und Funkdatensteuerung (Bild 33).

Die Verschiebung des Taktes T256KE gegenüber T256K00 dient zur Korrektur der Phasenlage gegenüber QSETZ.

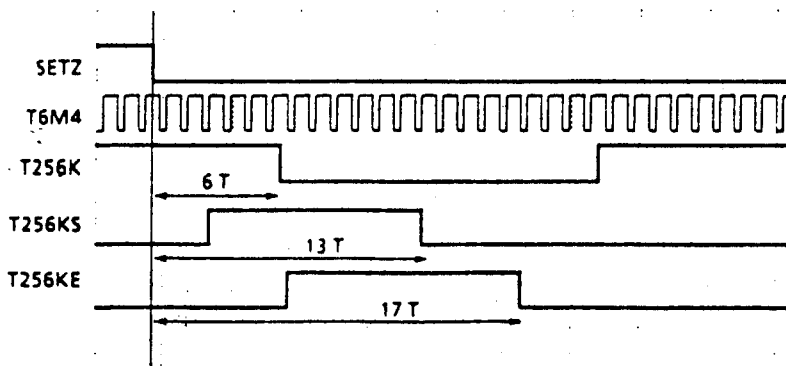


Bild 32 Laufzeitkorrektur

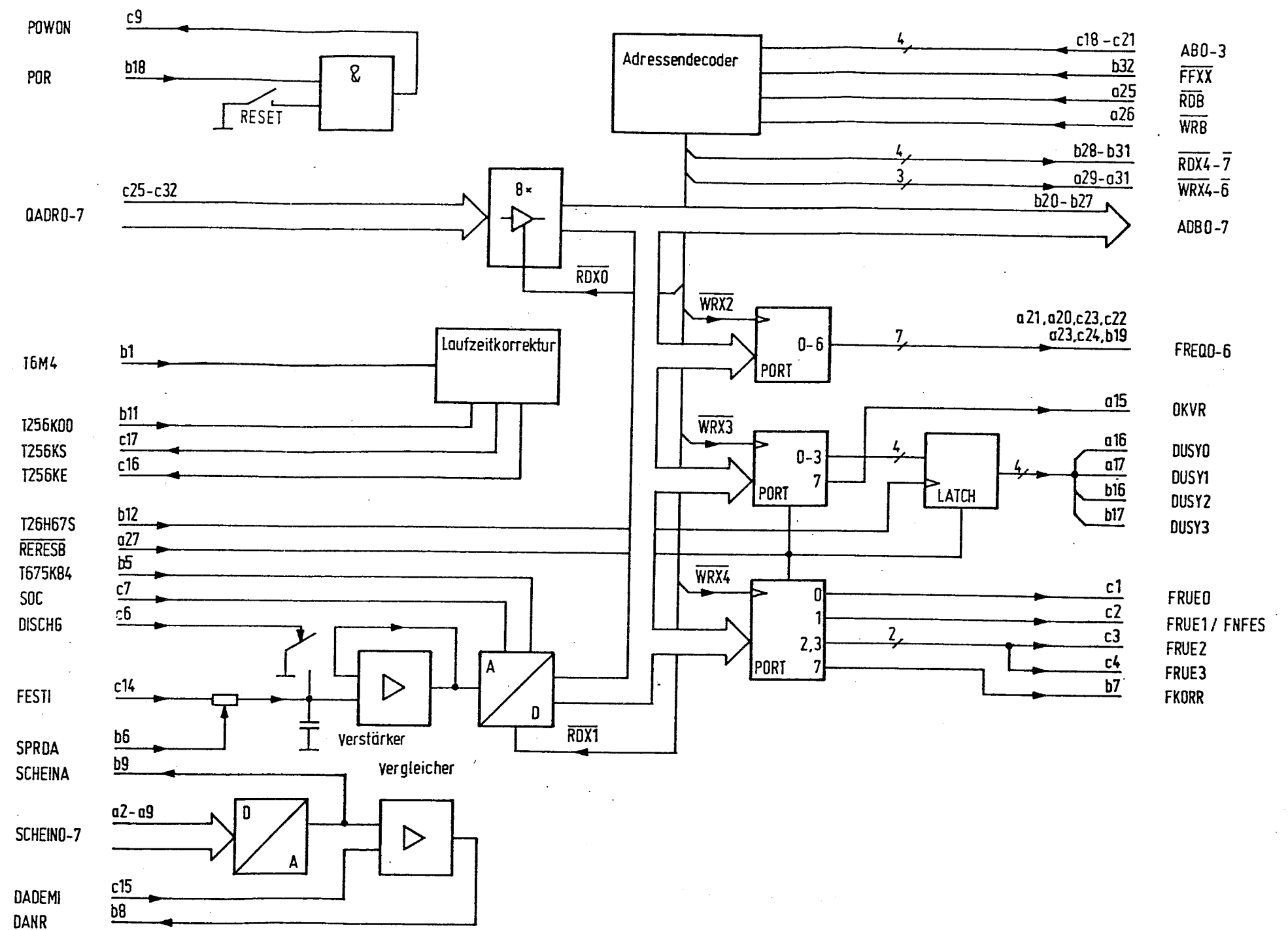


Bild 33 Übersichtsschaltplan BS-Interface

S42023-H133-F1-2-18



4.2.2 Adressendecodierung

Die von der CPU kommenden Adressenleitungen AB0 bis AB3 werden mit Hilfe der Decoder HCT138 decodiert. Durch Verknüpfen mit dem Bereichssignal -FFXX (dieses ist für Speicherbereich FF00 bis FFFF aktiv) sowie dem Schreibsignal -WRB bzw. dem Lesesignal -RDB werden die Signale -WRX2 bis -WRX6 sowie -RDX0, -RDX1, -RDX4 bis -RDX7 erzeugt (das X bedeutet, daß die Adreß-Bits 4 bis 7 bei der Decodierung nicht berücksichtigt werden. Ein Schreibbefehl auf Adresse FF02 hat beispielsweise die gleiche Wirkung wie auf FF12, FF22 usw., es wird WRX2 aktiviert).

4.2.3 Abfrage der Gestelladresse

Der Zustand der acht Leitungen QADR0-7, der durch Verdrahtung im Gestell festgelegt ist, wird über Software abgefragt. Die Abfrage wird mit einem Lesebefehl auf Adresse FFX0 (kombiniertes Lese- Adressen-Signal RDX0 vom Adressendecoder) vorgenommen.

4.2.4 Ausgabeports

Vier Latch-Bausteine dienen zur byteweisen Ausgabe einiger Signale durch die Software nach folgender Tabelle.

Adresse	D7	D6	D5	D4	D3	D2	D1	D0	
FFX2	-	FREQ0-6							
FFX3	OKVR	-	-	-	-	-	-	DUSY0	
FFX4	-	-	-	-	-	-	FNFES	FRUE0	

Erläuterungen zur Tabelle:

OKVR Verfügbarmeldung vom Rechner (Software)

FREQ0-6 Information für Frequenzeinstellung des Synthesizers

DUSY0 mit DUSY0 wird Maskierung der Synthesizer-Fehlermeldung vorgenommen

FRUE0 Übernahmesignal für Frequenzeinstellung des Synthesizers

FNFES Freigabe des Fehlersignales für NFE-Interface

Das Signal DUSY0 wird zusätzlich mit T26H67 getaktet, d.h. Änderung des gespeicherten Inhaltes nur bei Blockwechsel.

4.2.5 Umsetzung der Feldstärke

Das vom Empfänger kommende Feldstärkesignal FISTI (0-2,5 V) wird mittels RC-Kombination integriert: das ist beim PHE (SPRDA = 1, Datenbetrieb) über eine Blocklänge (37,5 ms).

Das integrierte Signal gelangt über den Op. Amp. LM258 an den AD-Umsetzer. Dieser wird mit T675K84 betrieben, und er erhält das Startsignal für die Verschlüsselung aus dem VLSI (Signal SOC, Start of Conversion). Wenn die Verschlüsselung beendet ist, wird mit dem Signal EOC (End of Conversion) das Ergebnis in ein vom Bus lesbares Latch eingespeichert. Anschließend wird der Kondensator mit dem ebenfalls aus dem VLSI kommenden Signal DISCHG entladen.

4.2.6 Offsetkorrektur

Der vom VLSI-Baustein M863 bzw. SCX 6B 48 WWL gelieferte, digitale Schwellwert (SCHEIN 0-7) wird mit Hilfe eines D/A-Wandlers in einen Analogwert umgewandelt und über die Op. Amps LM258 dem Vergleich LM311 zugeführt. Der Analogwert ist als Signal SCHEINA für Meßzwecke auf die Steckerleiste (Pin B9) geführt. Am anderen Eingang des Vergleichers liegt das Signal DADEMI. Am Ausgang des Vergleichers erscheint das Signal DANR, das zu den VLSI-Bausteinen M862 bzw. SCX 6B 64 WWK und M863 bzw. SCX 6B 48 WWL zur weiteren Verarbeitung geführt wird.

4.2.7 Power-on-Reset, Reset-Taste

Die betriebsspannungsabhängige Rücksetzschaltung im Stromversorgungsteil liefert das Signal POR, das bei langsam ansteigender Versorgungsspannung sowie bei Spannungseinbrüchen ein Rücksetzen der Hardware bewirkt. Das Signal POR wird über Gatter in das Signal POWON umgesetzt, das bei Wechsel von LOW nach HIGH im VLSI ein Reset-Signal generiert. Das gleiche geschieht bei Drücken der Reset-Taste.

4.3 PHE-Interface S42024-H383-C1

Die Baugruppe stellt eine Ergänzung des BS-Interface dar und enthält vor allem folgende PHE-spezifische Funktionen (Bild 34):

- Erzeugen der Verfügbarkeitsmeldung durch Verknüpfen interner Störungsmeldungen mit dem Freigabesignal des Rechners (OKVR) und Ausgabe auf die "Verfügbar"-LED.

Kommunikation mit dem redundanten PHE über symmetrische Leitungen und Ansteuern der "Aktiv"-LED.
- Speichern aller Störungsmeldungen in ein vom Rechner lesbares Störungsregister.
- Messen der Frequenzablage (Frequenzdiskriminator) im passiven PHE zwischen dem internen 2,048-MHz-Takt (erzeugt im Normalfrequenz-Generator) und dem Setzsignal des aktiven PHE. In der Initial-BS wird der aktive Phasenempfänger mit dem externen Frequenznormal synchronisiert.
- Überwachen des internen (KT6,4M) und des externen 6,4-MHz-Taktes (QT6,4MA). Bei Ausfall des externen Taktes Umschalten auf den internen Takt.
- Überwachen der NFQ-Teilerkette auf Ausfall.
- Ausgabe der Daten für die Frequenznachführung des Quarzoszillators.

Die Funktionen sind in den folgenden Abschnitten näher erläutert.

4.3.1 Schnittstellen zum redundanten PHE, Verfügbarkeit

Die Baugruppe enthält einige Line Receiver und Line Driver, die die Verbindung zum redundanten PHE oder zum Frequenzverteiler darstellen sowie als Schnittstelle für 2,048 MHz und 6,4 MHz dienen (siehe folgende Tabelle).

Sender (74ALS1631)	Signal	Ziel
NSETF	Setzsignal aus dem VLSI	Frequenzverteiler
AKTZW	Aktivzuweisung	redundanter PHE
VFGE	eigene Verfügbarkeit	redundanter PHE
Empfänger (SN75173)	Signal	Quelle
KT6,4M	6,4 MHz (intern)	Quarzoszillator
KT2,0M	2,048 MHz (extern)	NFE-Interface
NI2,0M	2,048 MHz (intern)	Quarzoszillator
QAKZR	Aktivzuweisung des redundanten PHE	redundanter PHE
QVFGR	Verfügbarkeit des redundanten PHE	redundanter PHE

Die Verfügbarkeit wird durch die Verknüpfung bestimmter Störungsmeldungen (LOK64, BSDAW, P64INT, FSTK, SYLOK0) sowie des Freigabesignales OKVR ("O.K. vom Rechner") gebildet. OKVR wird am BS-Interface durch die Software erzeugt.

Die Funktion der Redundanzumschaltung ist zeigt Bild 35. Auf Grund der gegenseitigen Kenntnis des Aktivzustandes (QAKZR!) wird jener PHE aktiv, der seine Verfügbarkeit (Verfügbar-LED leuchtet) zuerst erreicht hat. Der andere PHE verbleibt wegen des Aktivzustandes des ersten PHE im passiven Zustand.

Im aktiven PHE leuchtet die "Aktiv"-LED.

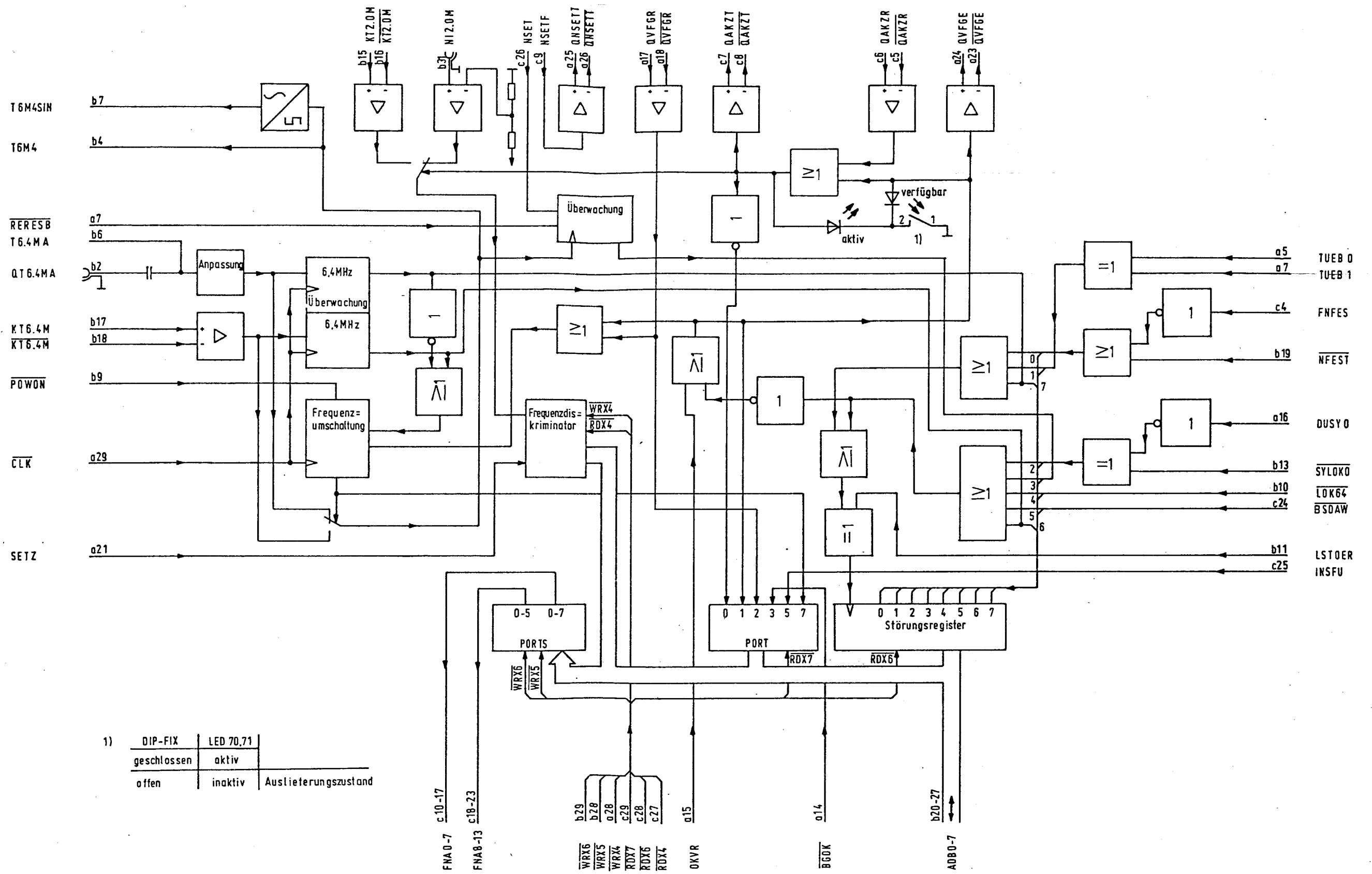
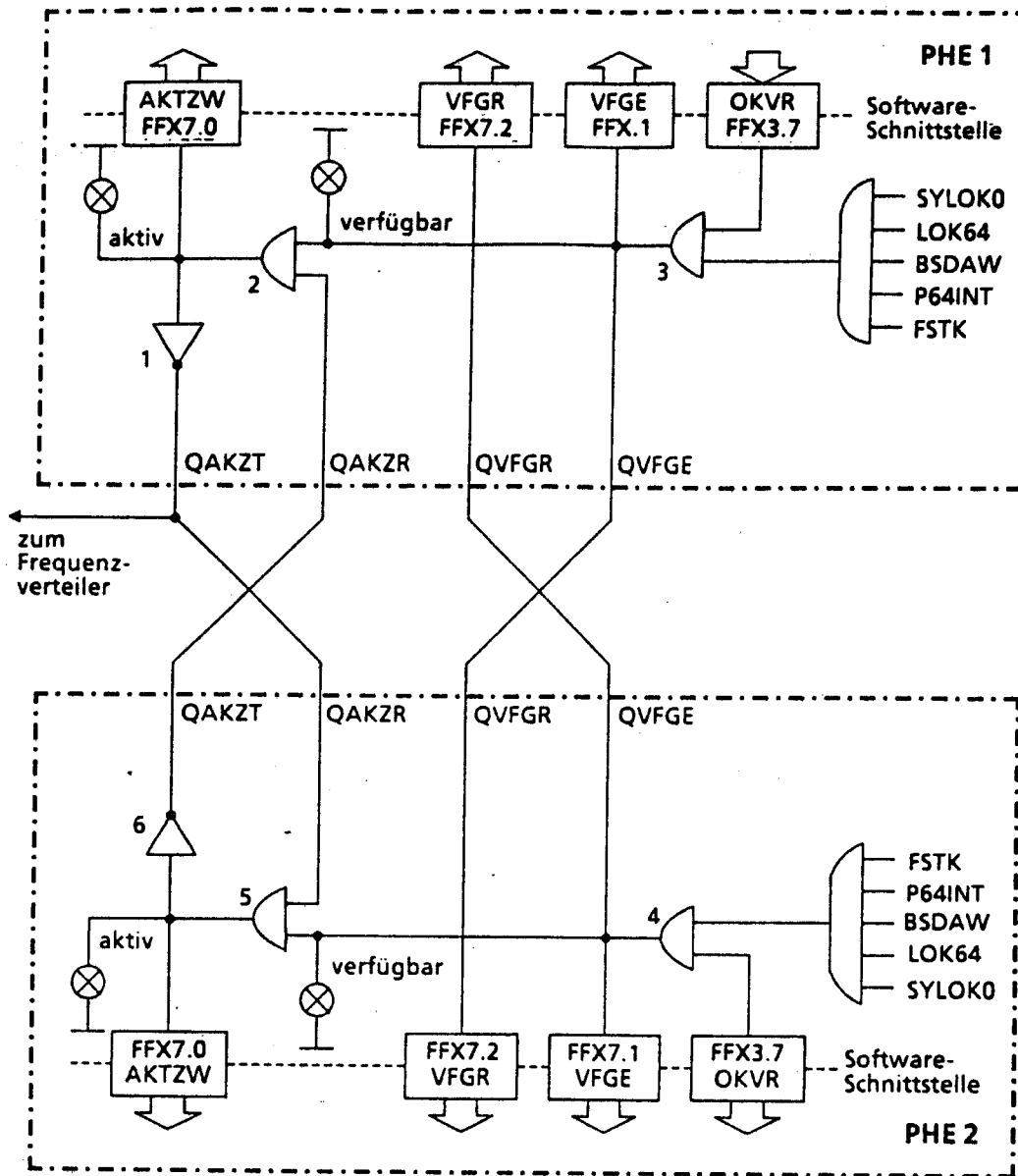


Bild 34 Übersichtsschaltplan PHE-Interface

C

C

C



Bausteine 1, 2, 5, 6 ergeben das Umschalte-Flipflop

Bild 35 Prinzip der Redundanzschaltung

4.3.2 Störungsregister

Das Störungsregister dient als Speicher für die Störungsmeldungen. Sein Inhalt kann mit Hilfe eines Lesebefehles auf Adresse FF06 gelesen werden. Das dafür nötige Signal RDX6 – Kombination aus Adressendecodierung und Lesesignal – liefert das BS-Interface.

Eingespeichert werden die an den D-Eingängen des Registers anliegenden Signale mit Hilfe des Signals LSTOER (aus dem VLSI auf der CPU) oder bei Auftreten der Störungsmeldung (letzteres geschieht jedoch nur, wenn bei Auftreten der Störungsmeldung keine andere Meldung ansteht). Zu diesem Zweck werden die Störungsmeldungen über UND-Gatter führt.

Es gibt folgende Störungsmeldungen:

- | | |
|-----------------|--|
| Bit 0: NFEST | NFE-Störung, kann mittels FNFES (Freigabe NFE-Störung) = Low unwirksam gemacht werden. |
| Bit 1: TEMOSZ | Temperaturüberwachung des Quarzoszillators, gebildet aus Antivalenz von TUEB0 und TUEB1. |
| Bit 2: SYLOK(0) | Synthesizer nicht gelockt (kann mit DUSY = 0 unwirksam gemacht werden) |
| Bit 3: FSTK | Fehler Sendeteilerkette, Ausfall NSET |
| Bit 4: LOK6,4 | Frequenzablage bis 6,4 MHz (PLL nicht gelockt) |
| Bit 5: BSDAW | Betriebsspannung D/A-Wandler fehlerhaft |
| Bit 6: P64INT | Interne 6,4 MHz ausgefallen siehe Kapitel 4.3.5 |
| Bit 7: P64EXT | Externe 6,4 MHz ausgefallen (Frequenzüberwachung) |

Über Adresse FFX7 können folgende Zustände eingelesen werden:

- | | |
|--------------|---|
| Bit 0: AKTZW | Aktivzuweisung |
| Bit 1: VFGE | Eigene Verfügbarkeit |
| Bit 2: VFGR | Verfügbarkeit des redundanten PHE |
| Bit 3: BGOK | Prüfsschleife (Baugruppen vorhanden) |
| Bit 5: INSF | Insel- bzw. Initial-Basisstation |
| Bit 7: INT64 | Zustand der Frequenzumschaltung (wenn "1": es ist auf interne Frequenz geschaltet). |

4.3.3 Frequenzdiskriminator

Je nach Status des PHE mißt der Frequenzdiskriminator:

im passiven PHE:

die Drift des 2,048-MHz-Taktes aus dem eigenen Quarznormal (NI2,0M, Zuführung über Koaxstecker) gegenüber dem QSET-Signal (vom Frequenzverteiler, Setzsignal aus dem aktiven PHE).

im aktiven PHE mit externer Führung:

die Drift des eigenen QSETZ (über den Frequenzverteiler zugeführt) aus dem eigenen Quarzgenerator in Bezug auf den externen Führungstakt 2,048 MHz. Dieser wird über das NFE-Interface als Signal KT2,0M zugeführt.

Mit dem Signal -AKTZW wird in der Umschaltelogik bestimmt, ob NI2,0M oder KT2,0M vermessen werden soll. Die so ausgewählten 2,048 MHz gelangen zu einem 8-bit-Zähler, der während des Bewertungsintervalles modulo 8 hochzählt (siehe Bild 36).

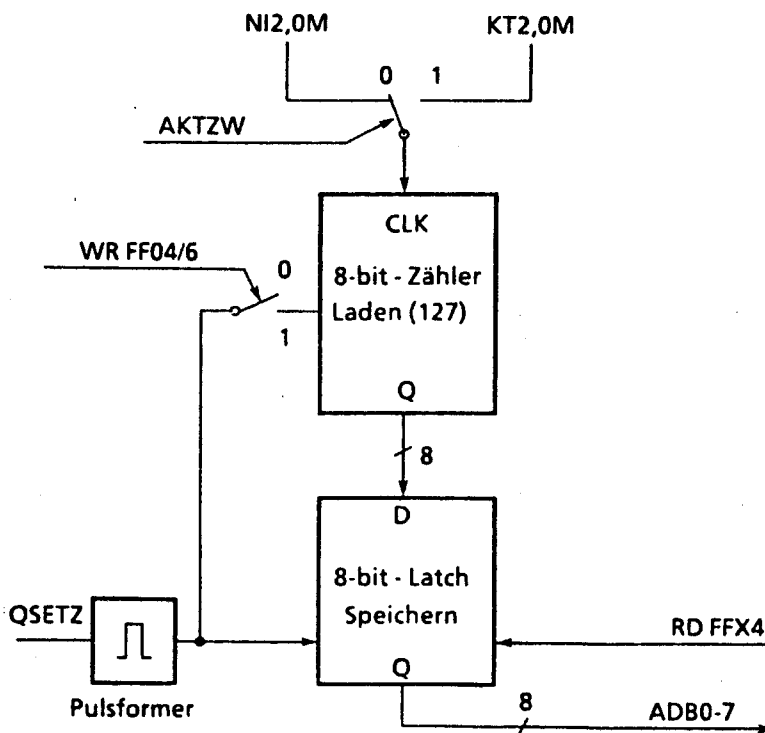


Bild 36 Übersichtsschaltplan Frequenzdiskriminator

Vermessen wird die Frequenzdrift innerhalb eines Bewertungsintervalles. Dieses beginnt und endet jeweils mit Rahmenwechsel, sofern zuvor auf Rechnerport Adresse FF04, Bit 6 eine "1" geschrieben wurde. Damit wird mit Ende von QSETZ (Rahmenwechsel) der Zähler auf 127 gesetzt. Ferner wird bei Rahmenwechsel der Zählerstand in ein von der Software lesbares Register (Adresse FFX4) geschrieben.

Beträgt die Frequenzdrift Null, wird nach jedem 2,4-s-Zyklus wieder der Zählerstand 127 festgestellt ($2,4s = 19200 \times 256 \times \text{Periodendauer von } 2,048\text{MHz}$). Jede Abweichung von diesem Wert ist ein Maß für die Frequenzdrift. Ist die Drift sehr klein, so daß nach 2,4 s noch keine Veränderung vom Mittelwert auftritt, wird im PHE-Rechner die Zahl der 2,4-s-Rahmen gezählt, bis eine Abweichung auftritt. Daraus wird eine Stellgröße für das eigene Quarznormal errechnet. Nach jeder vollzogenen Frequenzkorrektur über den D/A-Wandler wird der Frequenzdiskriminator über den Rechnerport FFX4/Bit 6 (wie bereits oben angegeben) wieder auf den Mittelwert 127 gesetzt.

Der Mittelwert wird eingestellt, um Frequenzablagen in beiden Richtungen erfassen zu können und um in der Rechnerverarbeitung den Kennliniensprung (0/255) zu vermeiden. Aus dem MSB des Zählerstandes kann der Rechner unmittelbar das Vorzeichen der Korrektur ablesen.

Bei Betrieb ohne externe Führung (Insel-BS, Normal-BS) bleibt im aktiven Phasempfänger der Port FFX4/Bit 6 gesetzt; dadurch wird mit jedem QSETZ der Mittelwert 127 eingestellt und in das Latch übernommen. Damit stellt der Rechner keine Frequenzablage fest und führt auch keine Frequenzkorrektur durch.

4.3.4 6,4-MHz-Anpassung

Die vom KOAX-Stecker kommenden 6,4 MHz werden über eine Transistorstufe (BCY58) zu zwei Vergleicherstufen, bestehend aus Spannungsteilern und Line-Receivern SN75173, geführt. Das nachgeschaltete Flipflop HCT74 erzeugt eine 6,4-MHz-Rechteck-Spannung.

Die beiden Signale T6,4MA und T6,4MA1 sind nur für Prüfzwecke herausgeführt.

4.3.5 Überwachen und -Umschalten des 6,4-MHz-Taktes

Die Überwachungsschaltung ist doppelt vorhanden: für den internen und für den externen 6,4-MHz-Takt. Der interne Takt gelangt über den Receiver-Baustein SN75173 auf die Baugruppe, der externe über KOAX-Stecker und Pegelanpassung (siehe Kapitel 4.3.4).

Überwacht wird mit Hilfe des CPU-Taktes (CLK = 3,07 MHz), der die Zähler taktet. Die Zähler werden durch das invertierte bzw. nicht invertierte 6,4-MHz-Signal zurückgesetzt (Bild 37).

Je nach Logikpegel der 6,4-MHz-Zuführung nach Ausfall des Taktes wird einer der beiden Zähler hochzählen und über anschließende NOR-Gatter die Fehlermeldung (-P6,4INT oder -P6,4EXT) bringen.

Die Ansprechzeitpunkt ist bei den beiden Takten unterschiedlich: beim internen Takt wird Ausgang Q_B des Zählers, beim externen Takt der Ausgang Q_C für die Fehlermeldung verwendet.

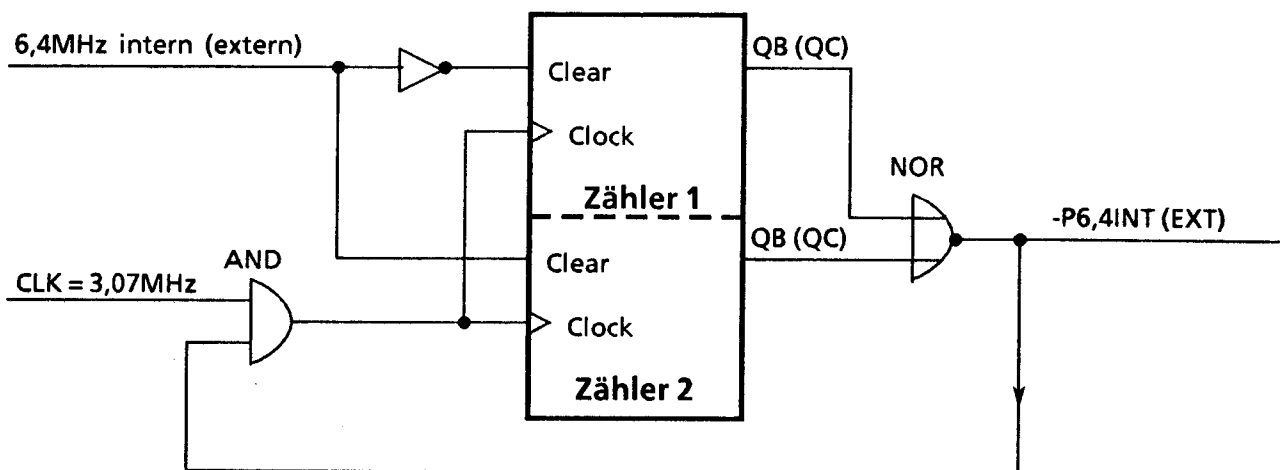


Bild 37 Überwachen des Taktes 6,4MHz intern (extern)

Normalerweise wird der PHE mit den externen 6,4 MHz betrieben: Ausgang Q des Flipflop ist auf "0", es werden die externen 6,4 MHz durchgeschaltet. Fallen die externen 6,4 MHz aus, so wird für den Fall, daß die internen 6,4 MHz vorhanden sind – das Flipflop gekippt und das andere OR-Gatter geöffnet, so daß die interne Frequenz durchgeschaltet wird. Der Zustand des Flipflop kann über Adresse FF07, Bit 7 eingelesen werden: INT64 = 1 bedeutet: PHE läuft mit interner Frequenz. Getaktet wird das Flipflop mit CLK = 3,07 MHz aus der CPU (Bild 38).

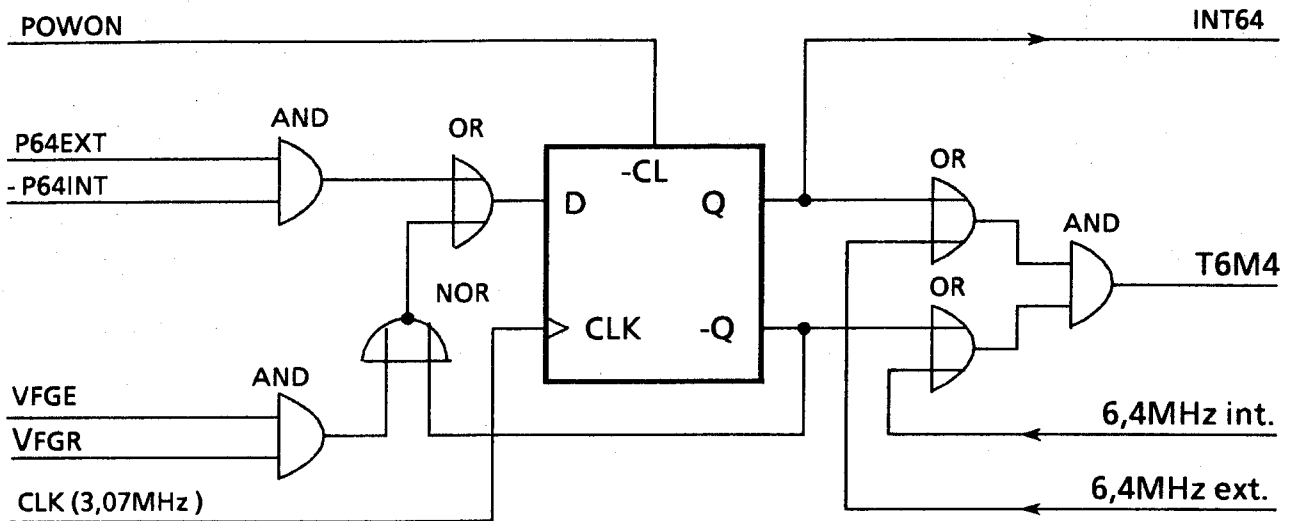


Bild 38 Umschalten der 6,4-MHz-Takte

Auf die externe Frequenz wird wieder zurückgeschaltet, wenn VFGE und VFGR (eigene und redundante Verfügbarkeit) "1" sind und die Fehlermeldung -P6,4EXT wieder abgeklungen ist.

Die nach dem Umschalter zur Verfügung stehenden 6,4 MHz werden einerseits über ein RC-Glied (50 Ω , 100 pF), andererseits über ein HCT32 und ein CLC-Glied in eine Sinusform umgewandelt und als Signal T6M4SIN zum Synthesizer geführt.

4.3.6 Überwachen der Sendeteilerkette

Da die Fehlermeldung FSTK ("Fehler Sendeteilerkette") im VLSI, Betriebsart PHE, nicht vorgesehen ist, wird diese in einer eigenen Schaltung generiert:

Mit Hilfe mehrerer Gatter, die als Verzögerung wirken und einem NAND-Gatter mit steigender Flanke des NSET-Signals wird ein kurzer Impuls erzeugt, der die Zählerkette HCT4040 und HCT4020 zurücksetzt, die daher – mit 6,4 MHz getaktet – nur bis zu einem bestimmten Stand, entsprechend den 2,4 s, zählt.

Fällt NSET aus, so gehen nach etwa 3,93 s nach dem letzten NSET die beiden Zählerausgänge Q11 und Q13 auf "1", es wird ein Flipflop HCT74 gekippt und die Fehlermeldung FSTK erzeugt.

Mit dem nächsten NSET wird die Fehlermeldung wieder zurückgenommen.

4.3.7 Frequenznachführung

Die Frequenz des Quarzoszillators kann mit Hilfe der Signale FNA0 bis 13 verändert (nachgeführt) werden. Die Ausgabe wird über die Latches HCT374 vorgenommen durch Beschreiben der Adresse FFX5 und FFX6, wie folgende Tabelle zeigt.

Adresse	D7	D6	D5	D4	D3	D2	D1	D0
FFX5	FNA7	FNA6	FNA5	FNA4	FNA3	FNA2	FNA1	FNA0
FFX6	—	—	FNA13	FNA12	FNA11	FNA10	FNA9	FNA8

5 Technische Daten

Frequenzbereich	461,0 MHz bis 465,74 MHz
Umweltbedingungen	Klimamodell FTZ R12
Signalisierungsdatenübertragung:	
Datenformat konzentrierte Daten	NRZ
Laufzeit der Signalisierungsdaten UHF-Eingang —> Datenausgang der Empfänger-Baugruppe	330 μ s \pm 7 μ s
Bitrate	5,28 kbit/s
Empfindlichkeit, bezogen auf Frequenzhub \pm 2,4 kHz und $f_{\text{mod}} = 1$ kHz (gemessen am DADEMI-Ausgang)	-113 dBm
Fremdspannungsabstand	\geq 40 dB
Geräuschspannungsabstand	\geq 50 dB
Nebenempfangsdämpfung (100 kHz bis 2 GHz) ...	\geq 90 dB
Intermodulationsdämpfung	
für Störer \geq 30 MHz	75 dB
für Störer \leq 30 MHz	75 dB
Blocking (100 kHz bis 1 GHz)	\geq 90 dB
Gleichkanalunterdrückung	\leq 9 dB
Nachbarkanaldämpfung	\geq 75 dB
Empfängerstörstrahlung (100 kHz bis 2 GHz)	\geq 1 μ W Oszillatorrest

5.1 Empfänger

Betriebsspannung	$U = (10 \pm 0,5) \text{ V}$
Stromaufnahme	$I = (90 \pm 10) \text{ mA}$
Leistungsaufnahme	$P (\text{min}) = 0,76 \text{ W}$ $P (\text{max}) = 0,95 \text{ W}$
Frequenzbereich	461,0 MHz bis 465,74 MHz
Kanalraster	20 kHz
Betriebsart	FM
Frequenzhub maximal	$\pm 4 \text{ kHz}$
Empfindlichkeit für $S/N = 20 \text{ dB}$ mit CCITT-Filter	$\leq -116 \text{ dBm}$
am DADEMI-Ausgang Nebenempfangsdämpfung (100 kHz bis 2000 MHz)	$\geq 90 \text{ dB}$
Intermodulationsdämpfung für Störsignale $\geq 30 \text{ MHz}$	$\geq 75 \text{ dB}$
für Störsignale $\leq 30 \text{ MHz}$	$\geq 90 \text{ dB}$
Blocking (100 kHz bis 1000 MHz) (ausgenommen $\pm \leq 1 \text{ MHz}$ vom Träger)	$\geq 90 \text{ dB}$
Gleichkanalunterdrückung	$\leq 9 \text{ dB}$
Nachbarkanaldämpfung	$\geq 75 \text{ dB}$
Empfängerstörstrahlung (100 kHz bis 2000 MHz) ..	$\leq -57 \text{ dBm}$
Störabstand, bezogen auf Prüfmodulation	
Fremdspannungsabstand	$\geq 37 \text{ dB}$
Geräuschspannungsabstand nach CCITT	$\geq 45 \text{ dB}$
Datenausgang	
konzentrierte Daten	NRZ
verteilte Daten im Sprechkanal 6 bit breiter Schlitz alle 12,5 ms	NRZ
Pegel (Spitze-Spitze) für Datenhub = $\pm 2,5 \text{ kHz}$ für eingeschwungene Datensignale	$(2 \pm 0,05) \text{ V}$
Gleichspannungsoffset	$(1,25 \pm 0,05) \text{ V}$
Bitrate	5,28 kbit/s
Signallaufzeit	$330 \mu\text{s} \pm 7 \mu\text{s}$
Feldstärkeausgang für $P_{\text{ein}} = (-120 \text{ bis } -55) \text{ dBm}$	0,1 V bis 2,6 V

5.2 Synthesizer

Betriebsspannung 1	$U_1 = (10 \pm 0,5) \text{ V}$
Stromaufnahme 1	$I_1 = 135 \text{ V} \pm 20 \text{ mA}$
Leistungsaufnahme 1	$P_1 (\text{min}) = 1,0 \text{ W}$ $P_1 (\text{max}) = 1,52 \text{ W}$
Betriebsspannung 2	$U_2 = (5 \pm 0,25-0,5) \text{ V}$
Stromaufnahme 2	$I_2 = 150 \text{ mA} \pm 20 \text{ mA}$
Leistungsaufnahme 2	$P_2 (\text{min}) = 0,55 \text{ W}$ $P_2 (\text{max}) = 0,81 \text{ W}$
Frequenzbereich	482,4 MHz bis 487,14 MHz
Kanalraster	20 kHz
Schaltbandbreite	4,74 MHz
Kleinster Frequenzschritt	10/12,5 kHz
HF-Ausgangsleistung (zum Empfänger)	$(14 \pm 2) \text{ dBm}$
Einschwingzeit bei beliebigen Frequenz- umschaltungen, Frequenzablage $\pm 200 \text{ Hz}$	$\leq 75 \text{ ms}$
Dämpfung der Nebenaussendungen	
außerhalb der Bandgrenzen	$\geq 80 \text{ dB}$
innerhalb der Bandgrenzen	$\geq 80 \text{ dB}$
Rauschleistungsabstand des unmodulierten Trägers (bezogen auf 0 dBm)	
im Nachbarkanal ($\pm 20 \text{ kHz}$)	$\geq -122 \text{ dB } 1 \text{ Hz}$
im Nachbarkanal ($\pm 20 \text{ kHz}$) einschließlich Nebenlinien	$\geq -78 \text{ dB } 1 \text{ Hz}$
Resthub bezogen auf Prüfmodulationshub	$\pm 2,4 \text{ kHz}$
als Fremdspannung gemessen mit Deemphasis = 200 μs	$> 38 \text{ dB}$
als Geräuschspannung gemessen mit Deemphasis und CCITT-Filter	$> 50 \text{ dB}$
Referenzfrequenz	6,4 MHz
HF-Pegel für Referenzfrequenz	$(0,0 \pm 3) \text{ dBm}$

5.3 Normalfrequenzgenerator

5.3.1 D/A-Wandler

Betriebsspannung 1	$U = 5 \text{ V}$
Stromaufnahme 1	$I = 15 \text{ mA}$
Leistungsaufnahme 1	$P = 0,075 \text{ W}$
Betriebsspannung 2	$U = 13,8 \text{ V}$
Stromaufnahme 2	$I = 130 \text{ mA}$
Leistungsaufnahme 2	$P = 1,8 \text{ W}$

5.3.2 Quarzoszillator

Betriebsspannung	$U = 13,8 \text{ V}$
Stromaufnahme	$I = 770 \text{ mA}$
Leistungsaufnahme	$P = 10,6 \text{ W}$

5.4 PHE-Interface

Betriebsspannung	$U = 5 \text{ V}$
Stromaufnahme	$I = 220 \text{ mA}$
Leistungsaufnahme	$P = 1,1 \text{ W}$

5.5 CPU

Betriebsspannung	$U = 5 \text{ V}$
Stromaufnahme	$I = 260 \text{ mA}$
Leistungsaufnahme	$P = 1,3 \text{ W}$

5.6 BS-Interface

Betriebsspannung	$U = 5 \text{ V}$
Stromaufnahme	$I = 55 \text{ mA}$
Leistungsaufnahme	$P = 275 \text{ mW}$

6 Geräteübersicht

Bezeichnung	Sach-Nr.	Maße in mm (BxHxT)	Gewicht in g
Phasenempfänger PHE	S42023-H133-*1, *2	100x595x197	6280
zugehörige Baugruppen:			
Anschlußfeldverdrahtung und	S42024-H412-...		
Filterbaugruppe	S42024-H413-...	100x63x12	
Empfänger	S42024-H169-...	100x167x24	
Synthesizer	S42024-H168-...	100x167x21	
D/A-Wandler	S42024-D245-...	15x170x100	
Quarzoszillator	S42024-D409-...	50x170x100	
NFE-Interface	S42024-H254-...	100x167x12	
CPU	S42025-H418-*1 + Software S42025-H433-A150	100x167x12	
PHE-Interface	S42024-H383-...	100x167x12	
BS-Interface	S42024-H379-...	100x167x12	

Die in der Beschreibung aufgeführten Sachnummern für Geräte oder Baugruppen sind im ausführungsspezifischen, veränderbaren Teil des 3. Blocks der Sachnummer mit ... versehen.

Für jedes Gerät sind die genauen Sachnummern je nach Bestückung in der zugehörigen Bedienungsanleitung eingetragen. Die vorliegende Beschreibung hat für alle gelieferten Ausführungen Gültigkeit.

SIEMENS

Fu Tel C-Netz
Beschreibung

Funkmodem
SPK-K
S42023-H149-*1
S42023-H149-E1-1-18

Herausgegeben vom Bereich Öffentliche Vermittlungssysteme
Hofmannstraße 51, D-8000 München 70
Verfasser: SÖ ETG 113 Wien

Weitergabe sowie Vervielfältigung dieser Unterlage, Verwertung
und Mitteilung ihres Inhalts nicht gestattet, soweit nicht aus-
drücklich zugestanden. Zuwiderhandlungen verpflichten zu Scha-
denersatz. Alle Rechte vorbehalten, insbesondere für den Fall der
Patenterteilung oder GM-Eintragung.
Technische Änderungen vorbehalten.

© Siemens AG 1990

Inhalt

	Seite	
1	Übersicht	5
1.1	Funkmodem (SPK-K) im Netz C450	5
1.2	Funkmodem in der Basisstation	5
1.3	Funktionseinheiten	7
2	Schnittstellen	11
2.1	Externe Schnittstellen	11
2.1.1	Schnittstelle zum Sendeempfangskoppler	11
2.1.2	Schnittstelle zum Frequenzverteiler	11
2.1.3	Schnittstelle zum MSC	11
2.1.4	Serielle Schnittstelle zur Funkdatensteuerung	11
2.1.5	Schnittstelle zur Gestellverdrahtung	11
2.1.6	Schnittstelle zur Amtsbatterie	12
2.2	Interne Schnittstellen	12
3	Funkteil und Endstufe	14
3.1	Empfänger S42024-H169-...	14
3.1.1	Stromversorgung für PLL-Demodulator	14
3.1.2	Eingangsstufe mit Mischer 1	14
3.1.3	Verstärker für 1. Zwischenfrequenz und Mischer 2	16
3.1.4	Begrenzer-Verstärker für 2. Zwischenfrequenz, PLL-Demodulator und Feldstärkesignalgewinnung	16
3.1.5	Basisbandaufbereitung	17
3.1.6	Squelch-Einrichtung	17
3.2	Synthesizer S42024-H168-...	17
3.2.1	Prinzip Synthesizer	19
3.2.2	Synthesizer-Baustein und Vorteiler	20
3.2.3	Oszillator (VCO) und Entkopplungsverstärker 1	22
3.2.4	Entkopplungsverstärker 2	22
3.2.5	Ausgangsverstärker 1 und 2	22
3.2.6	Spannungsregelung +10V/+8V	23
3.3	Modulator S42024-H167-...	23
3.3.1	Aktives NF-Filter	27
3.3.2	Oszillator (VCO) und Entkopplungsverstärker	27
3.3.3	Modulationsgesteuerte Phasenregelschleife	28
3.3.4	Mischer und Sendevorstufe	29
3.4	Audio-Teil S42024-H381-...	30
3.5	HF-Endstufe S42024-H405-...	33
3.5.1	Verstärker	33
3.5.2	Überwachung	35
3.5.3	Regelung	36

3.5.3.1	D/A-Wandler	36
3.5.3.2	Besselfilter	36
3.5.3.3	Regelverstärker, Sollwertumschalter	36
3.5.3.4	Leistungsabgleich, Leistungseinstellung	37
3.5.3.5	Regelbereichserkennung	37
3.5.3.6	Vorlaufspannung, Umschaltung	37
3.5.3.7	Referenzspannungsquelle +5 V _{ref}	37
3.5.3.8	Fehlermeldungen	38
4	Funkkanalsteuerung	40
4.1	CPU S42025-H418-*1 + Software S42025-H432-A150	40
4.1.1	CPU-Baustein 80C85, Adressen- Daten- und Steuerbus	43
4.1.2	Speicher	46
4.1.3	Interruptsteuerung	47
4.1.4	Serielle Schnittstelle	48
4.1.5	VLSI-Bausteine	48
4.1.5.1	Takterzeugung	52
4.1.5.2	Teilerketten	53
4.1.5.3	Ablaufsteuerung	56
4.1.5.4	Überwachung und Rechnerreset	57
4.1.5.5	Korrelationsempfänger	58
4.1.5.6	Jittermesser	61
4.1.5.7	Offsetkorrektur	64
4.1.5.8	Decoder	66
4.1.5.9	Coder	68
4.2	Audio-Interface S42024-H382-...	71
4.2.1	Laufzeitkorrektur	72
4.2.2	Adressendecodierung	72
4.2.3	Abfrage der Gestelladresse	75
4.2.4	Ausgabeports	75
4.2.5	Umsetzung der Feldstärke	75
4.2.6	Offsetkorrektur	76
4.2.7	Power-on-Reset, Resettaste	76
4.2.8	Störungsregister	76
4.2.9	Sonstiges	77
5	Stromversorgung	78
6	Technische Daten	79
6.1	Empfänger	79
6.2	Synthesizer	80
6.3	Modulator	80
6.4	Audio-Teil	80
6.5	CPU	81
6.6	Audio-Interface	81
6.7	Endstufe	81
7	Geräteübersicht	82

1 Übersicht

1.1 Funkmodem (SPK-K) im Netz C450

Hauptaufgabe des Funkmodems (SPK-K) ist die funktechnische Übertragung von analogen Sprachsignalen bzw. Wechselstrom-Telegrafie (WT)-Signalen sowie die Übertragung von digitalen Signalisierungsdaten zwischen der Basisstation und jeweils einer Mobilstation.

Die Sprachübertragung ist in den Betriebsarten "verschleierte Sprache" oder "klare Sprache" möglich. Als Signalisierungsdaten werden binäre digitale Signale verwendet, die der Organisation und Überwachung im Netz C dienen.

Der SPK-K wird in Basisstationen von Kleinleistungszonen eingesetzt. Stromversorgung und HF-Endstufe sind bereits Bestandteile des Funkmodems.

1.2 Funkmodem in der Basisstation (Bild 1)

Das Funkmodem (SPK-K) enthält einen Sende- und einen Empfangszug und überträgt die Information mit Hilfe der Schmalband-Frequenzmodulation. Das HF-Empfangssignal gelangt von der Antenne über den Empfangskoppler an den Empfangszug des SPK-K. Das HF-Ausgangssignal gelangt an die Sendeendstufe, wo es verstärkt und überwacht wird, danach an den Sendekoppler und von dort an die Antenne.

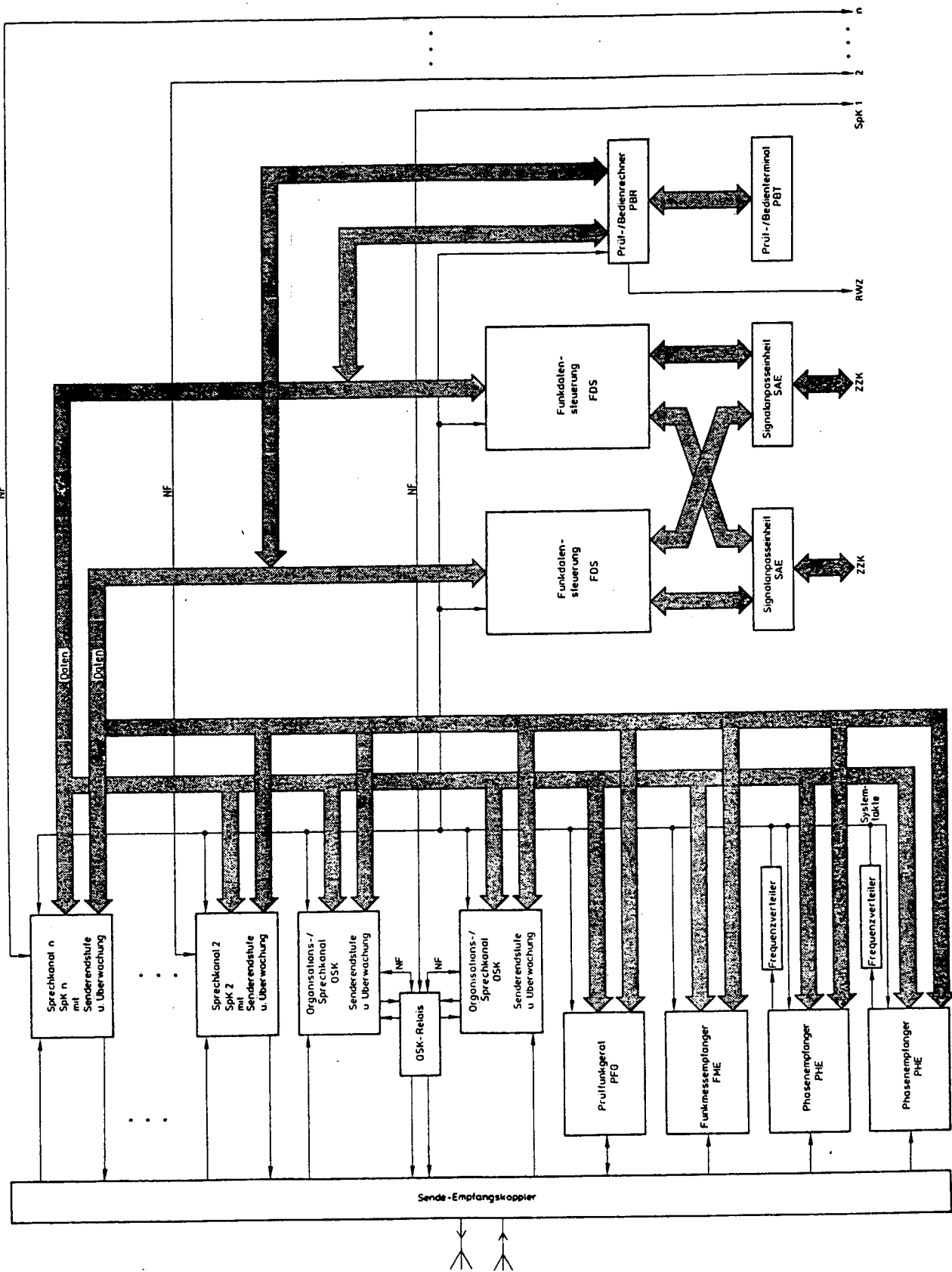


Bild 1 Übersichtsschaltplan Basisstation (Kleinzone)

1.3 Funktionseinheiten

Der SPK-K (Bilder 2 und 3) besteht aus dem Funkteil, der Funkkanalsteuerung (FKS), der Endstufe und dem Stromversorgungsteil.

Funkteil

Der Funkteil besteht aus dem Synthesizer, dem Empfänger, dem Modulator und dem Audio-Teil.

Der Empfänger ist an den Trennverstärker des Empfängerkopplers angeschlossen. Das Empfangssignal wird in eine Zwischenfrequenzlage umgesetzt und demoduliert. Das demodulierte Signal wird einerseits zur Auswertung der Signalisierungsdaten und zur Signalbewertung der Funkkanalsteuerung zugeführt, andererseits zur Verarbeitung des NF-Anteils zum Audio-Teil geführt.

Der Modulator erzeugt ein frequenzmoduliertes HF-Signal zur Ansteuerung der Endstufe. Für die Modulation wird das NF-Signal aus dem Audio-Teil bzw. das Datensignal mit den Signalisierungsdaten aus der Funkkanalsteuerung herangezogen.

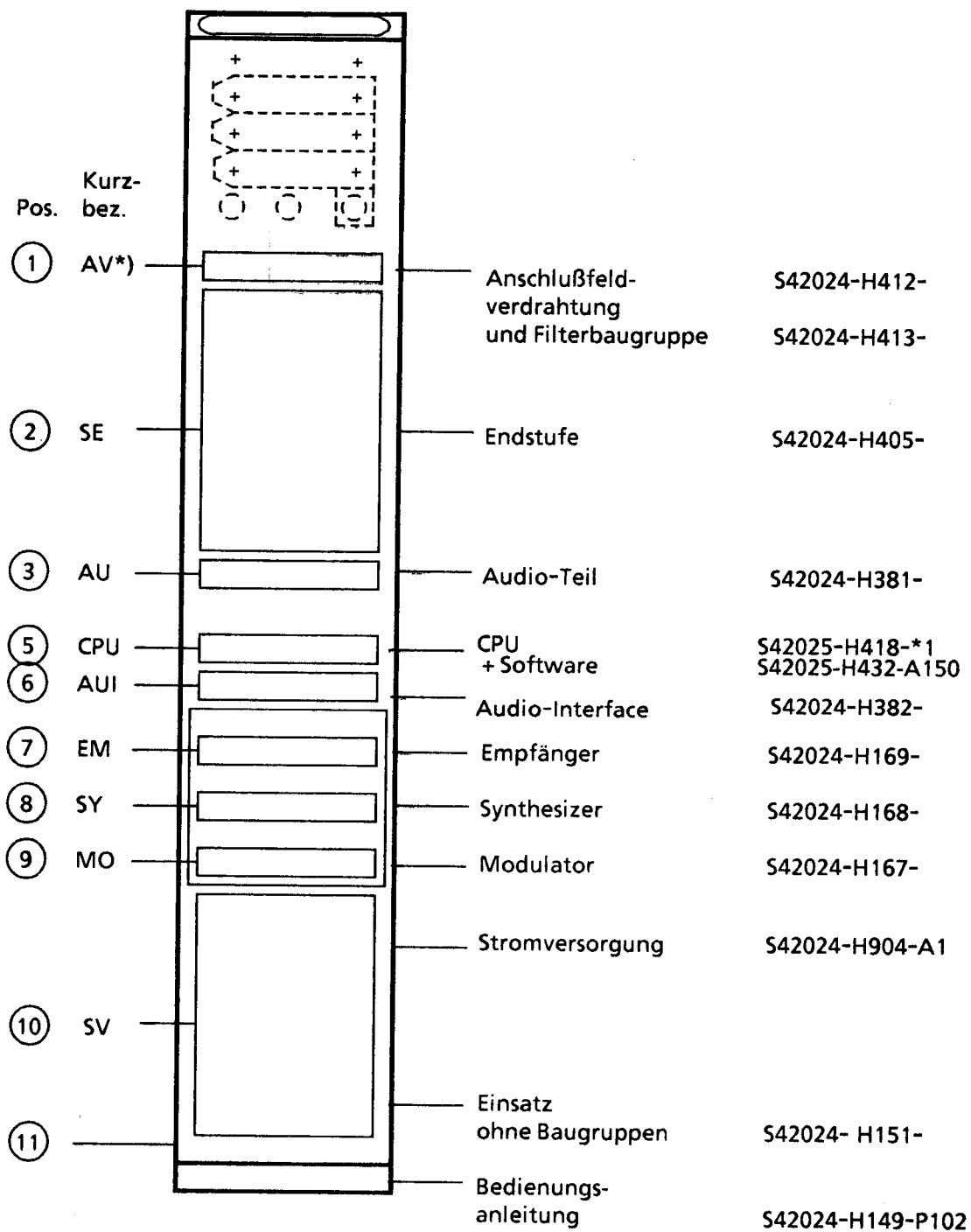
Der Synthesizer versorgt Empfänger und Modulator mit der nötigen Umsetzfrequenz. Die Einstellung der Frequenz wird über die Funkkanalsteuerung vorgenommen.

Funkkanalsteuerung

Die Funkkanalsteuerung besteht aus den beiden Baugruppen CPU und Audio-Interface.

Die CPU-Baugruppe enthält neben CPU (80C85), RAM und EPROM einen Zeitgeber und einen seriellen Ein-/Ausgabebaustein (USART) für block- und zeitplatzorientierten Datenaustausch zur Funkdatensteuerung sowie die beiden VLSI-Bausteine.

Die Baugruppe Audio-Interface enthält neben den Rechnerports zum Funkteil die Störungsregister sowie die Feldstärke-Umsetzschtaltung und die Offsetkorrektur.



* Bestandteil des Leereinsatzes

Bild 2 Aufbau des Funkmodems (SPK-K)

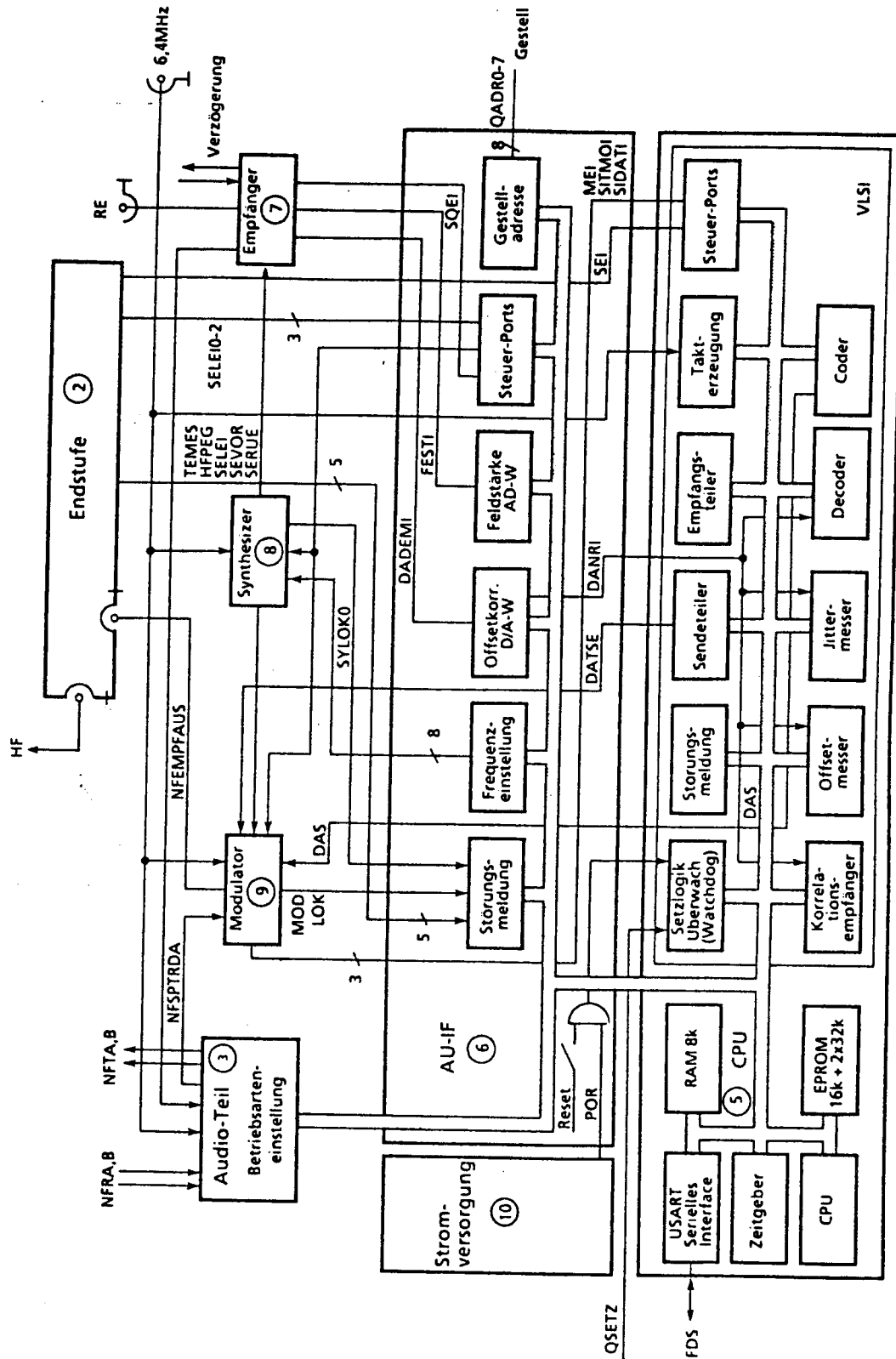


Bild 3 Übersichtsschaltplan Funkmodem (SPK-K)

Die Signalbewertung ist in den VLSI-Bausteinen auf der CPU enthalten. Sie besteht aus drei Funktionseinheiten: Jittermesser, Offsetmesser, Korrelationsempfänger.

Aus dem Barkercode des Empfangsdatenblockes werden Phase und Offset des empfangenen Teilnehmers ermittelt und an die Empfangsteilerkette und die Offsetkorrektur übergeben. Der Empfänger ist gleichspannungsgekoppelt. Jede Gleichspannungsablage beeinträchtigt die Lesesicherheit der Nutzinformation. Der Offsetmesser ermittelt die Ablage; daraufhin regelt der Rechner die Schwelle am Komparator der Offsetkorrektur nach. Damit kann mit Hilfe des Decoders (ebenfalls in den VLSI-Bausteinen) die Nutzinformation gelesen werden. Durch den Jittermesser wird über die block- bzw. unterrahmenweise summierten Zeichenwechselveränderungen der digitalen Signalisierungsdaten im Rechner der Geräuschspannungsabstand ermittelt. Dieser Wert gilt neben der Feldstärke als Maß für die Empfangsgüte.

Die VLSI-Bausteine enthalten eine Sende- und Empfangsteilerkette. Die Sendeteilerkette wird rahmenweise durch das Rahmensetzsignal QSETZ aus dem Phasempfänger gesetzt. Beide Teilerketten werden von einer Überwachungseinheit überwacht.

Endstufe

Die Endstufe verstärkt das vom Modulator kommende HF-Signal auf die gewünschte Sendeleistung. Die Funktion der Endstufe, deren Temperatur und die von der Antenne rücklaufende Leistung werden überwacht. Bei Fehlverhalten werden entsprechende Fehlermeldungen abgegeben.

Stromversorgung

Für die Versorgung der einzelnen Baugruppen mit den nötigen Betriebsspannungen (+5V, +10V, -10V, +13,8V) gibt es eine Stromversorgungsbaugruppe im SPK-Einsatz.

2 Schnittstellen

2.1 Externe Schnittstellen

2.1.1 Schnittstelle zum Sendeempfangskoppler

Der Empfänger des Funkmodems erhält vom Trennverstärker in der Antennenanlage das HF-Signal FE zugeführt (Koaxialanschluß).

Das Sendesignal aus der Endstufe wird zum Sendekoppler geführt.

2.1.2 Schnittstelle zum Frequenzverteiler

Hier werden der Takt QT6,4M (Koaxialstecker) und das Rahmensetzsignal QSETZ (symmetrische Leitung), die vom Frequenzverteiler kommen, eingespeist.

Über Koaxialleitungen gelangt der 6,4-MHz-Takt einerseits zum Synthesizer und zum Modulator, andererseits zum Audio-Teil, von wo er über die Rückwandplatine zum Audio-Interface geführt wird. Dort wird er zur Versorgung der Steuerung auf TTL-Pegel umgesetzt.

2.1.3 Schnittstelle zum MSC

Die Sprach-/WT-Signale werden als symmetrische Signale NFTA/NFTB und NFRA/NFRB vom MSC zum Audio-Teil bzw. in umgekehrter Richtung geführt.

2.1.4 Serielle Schnittstelle zur Funkdatensteuerung

Über diese Schnittstelle, die aus symmetrischen Leitungen besteht, wird der Datenaustausch mit der FDS vorgenommen. Die Daten werden über jeweils zwei Treiberbausteine (Signale QSST1 und QSST2) gesendet und über zwei Empfangsbausteine (Signale QSSR1 und QSSR2) empfangen. Die Bausteine befinden sich auf der CPU.

2.1.5 Schnittstelle zur Gestellverdrahtung

An dieser Schnittstelle wird die durch die Gestellverdrahtung festgelegte Gestelladresse (auch als Kanaladresse bezeichnet) übergeben (Leitungen QADR0-7, Auswertung auf Audio-Interface).

2.1.6 Schnittstelle zur Amtsbatterie

Die Betriebsspannung der Stromversorgung kann zwischen 37,5 V und 75 V liegen.

2.2 Interne Schnittstellen

Im folgenden sind die Schnittstellensignale zwischen der Funkkanalsteuerung und den Baugruppen des Funkteils, der Endstufe bzw. der Stromversorgung erläutert.

Synthesizer

Die Frequenzeinstellung wird mit Hilfe der Signale FRUE(0) und FREQ0-6 aus dem Audio-Interface vorgenommen. Der Synthesizer liefert im nicht gerasteten Zustand die Fehlermeldung -SYLOK(0).

Empfänger

Die Signale FESTI (Feldstärke) und DADEMI (demoduliertes Datensignal) werden im Audio-Interface verarbeitet. Mit dem Signal SQEI (aus dem Audio-Interface) wird das Prüfsignal Squelch (Rauschsperr) ein- bzw. ausgeschaltet.

Modulator

Aus der CPU (VLSI-Bausteine) gelangen folgende Signale zum Modulator:

MEI	Modulator ein
SITMOI	Signaltor Modulator (Umschaltung Sprache/Daten im Sprechkanal)
SIDATI	Signaltor Daten
DATSE	Datentor senden
DAS	Datensignal (Signalisierungsdaten)

Das Signal -MODLOK meldet das Einrastkriterium der Phasenregelschleife des Modulators an den Rechner (Audio-Interface), es wird low bei Fehler.

Audio-Teil

Der Audio-Teil ist an den Rechnerbus der CPU mit den Signalen -WRX0, -RDB, -WRB, ALEB, ADB0-7 angeschlossen.

Für die Komprimierung der Daten werden das Signal SIKO (Signalor Komprimierung) und die Takte T38K40S und T42K24S, für die Expandierung SIEX (Signalor Expandierung), T38K40E und T42K24E aus der CPU (VLSI) zugeführt. Ebenfalls aus der CPU kommt das Signal SPRDA (Umschalten Sprache/Daten zur Sperre des NF-Weges).

Das Signal DYNKOMP (Dynamikkompandierung) dient für Testzwecke und kann über den Diagnosestecker der CPU (z.B. mit Hilfe des CPU-Adapters) gesteuert werden. (Das Signal ist auf der CPU nur vom Diagnose- zum Busstecker durchgeschleift).

Endstufe

Vom Modulator gelangt das HF-Signal über eine Koaxialleitung zur Endstufe. Die Steuerleitungen SEI (Sender ein) und SELEI 0-2 (Einstellung der Senderleistung) führen ebenfalls zur Endstufe. Die Störungsmeldungen -SELEI (Sendeleistung), -TEMES (Endstufentemperatur überschritten), -HFPEG (HF-Eingangspegel Senderendstufe), -SEVOR (Vorlauf Sendeleistung unter Sollwert) und -SERUE (Rücklauf Sendeleistung > 8 dB) von der Endstufe gelangen zum Audio-Interface.

Stromversorgung

Das Signal POR (Power on Reset) wird am Audio-Interface weiterverarbeitet.

3 Funkteil und Endstufe

3.1 Empfänger S42024-H169-...

Der Empfänger (siehe Bild 4) ist Bestandteil des Funkteils im Organisations-/ Sprechkanal; er steht mit dem Empfängerkoppler über Koaxialkabel in Verbindung (siehe externe Schnittstellen 2.1).

Der Empfangsfrequenzbereich beträgt 450,0 MHz bis 455,74 MHz.

Das vom Empfängerkoppler kommende Empfangssignal (FE) wird über die 1. Zwischenfrequenz (21,4 MHz) in die 2. Zwischenfrequenz (100 kHz) umgesetzt, demoduliert und über den Datenweg (DADEMI) und NF-Weg (NFEMPFAUS) der Funkkanalsteuerung und der Baugruppe Audio-Teil zugeführt.

3.1.1 Stromversorgung für PLL-Demodulator

Die besonderen Anforderungen an die Konstanz des PLL-Demodulators 304 erfordern eine Betriebsspannung (+ 12 V) hoher Stabilität. Diese Spannung wird mit Hilfe eines Gleichspannungswandlers aus der extern zugeführten Betriebsspannung (10 V) gewonnen. Dazu erzeugt der IC305 Rechteckimpulse mit einer Frequenz von etwa 6 kHz. Diese Impulse werden mit Hilfe der Diode 250 und dem Kondensator 175 der Betriebsspannung (10 V) überlagert und zusammen gleichgerichtet (Diode 251 und Kondensator 176). Nach der anschließenden Stabilisierungsschaltung (Widerstand 57, Referenzdiode 252 und Kondensator 170) steht die gewünschte Ausgangsspannung (+ 12 V) zur Verfügung. Sie versorgt den IC304 und dient zur Erzeugung der Arbeitspunkte der Operationsverstärker 303 und 307.

3.1.2 Eingangsstufe mit Mischer 1

Das ankommende HF-Eingangssignal (FE) wird vom Transistor 271, dessen Arbeitspunkt vom Transistor 270 stabilisiert ist, verstärkt. Über das nachfolgende Zweikreis-Helical-Filter 240 gelangt das verstärkte Eingangssignal zum Ringmischer 320. Dort wird es mit Hilfe des Signales F_{syn} B10, das der Synthesizer des Funkteils liefert, auf die 1. Zwischenfrequenz (1. ZF) von 21,4 MHz umgesetzt.

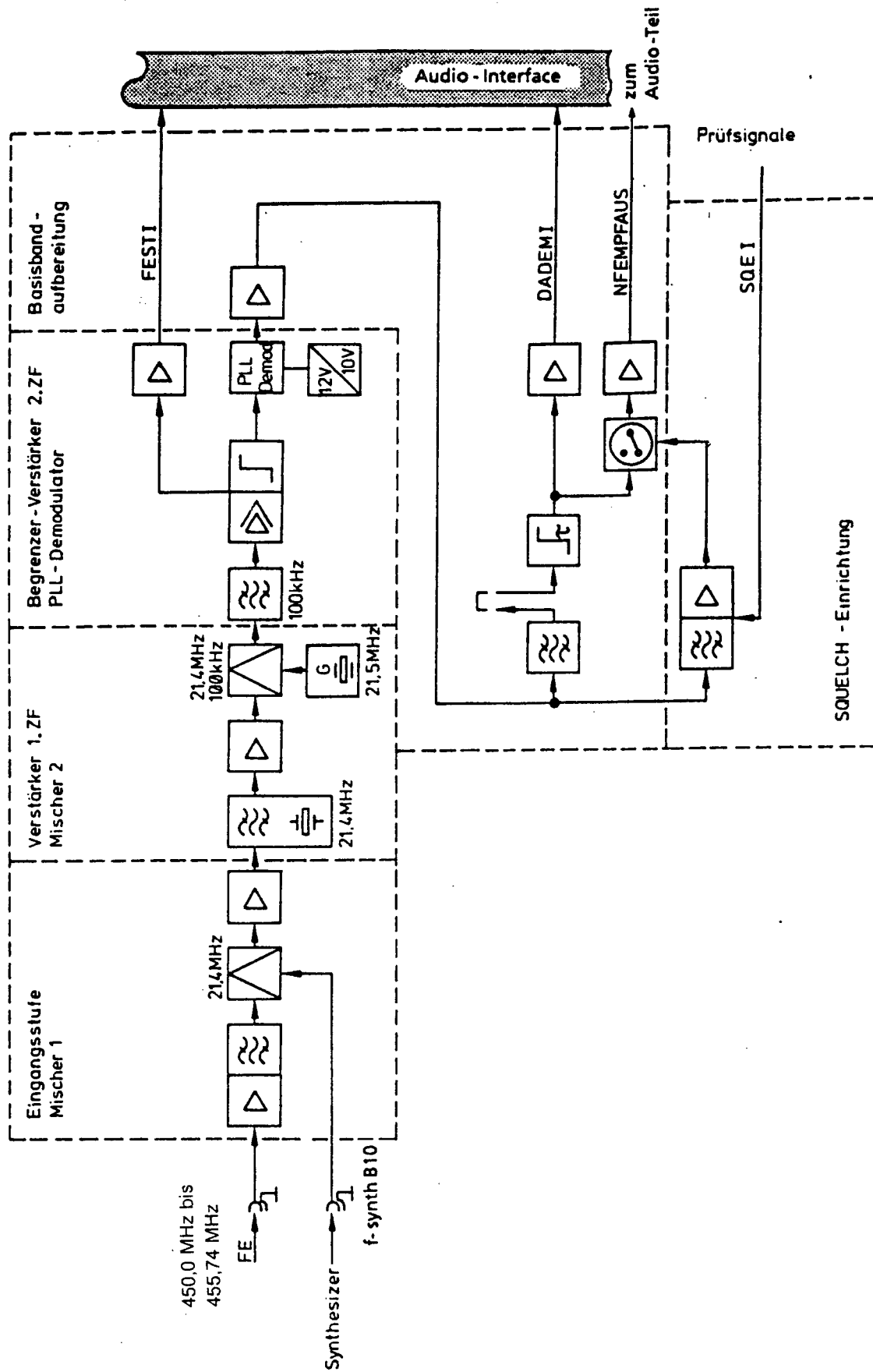


Bild 4 Übersichtsschaltplan Empfänger

3.1.3 Verstärker für 1. Zwischenfrequenz und Mischer 2

Der Transistor 272 verstärkt die vom Ringmischer 320 gelieferte 1. ZF und leitet sie über eine Anpaßschaltung (Kondensator 139 und Spule 225) zum 8poligen Quarzfilter 300, in dem die Hauptselektion des Empfängers vorgenommen wird.

Der nach der Anpaßschaltung (Kondensator 142 und Spule 226) folgende Schaltungsteil mit dem Transistor 273 verstärkt das vom Quarzfilter 300 kommende 21,4-MHz-Signal und führt es zum Mischer 2 (301).

Das IC 301 wird als selbstschwingender Mischer betrieben; dabei bestimmt der angeschlossene 21,5-MHz-Quarz die Umschaltfrequenz und damit die Umsetzung auf die 2. Zwischenfrequenz von 100 kHz.

3.1.4 Begrenzer-Verstärker für 2. Zwischenfrequenz, PLL-Demodulator und Feldstärkesignalgewinnung

Das am Ausgang von Mischer 2 austretende 100-kHz-Signal (2. Zwischenfrequenz) gelangt über ein 100-kHz-Zweikreis-Bandfilter (Kondensatoren 155, 156, 157 sowie Spulen 229 und 230) zum Begrenzer-Verstärker 302. Dieser leitet es an den Demodulator (IC 304) weiter. Das 100-kHz-Zweikreis-Bandfilter dient sowohl zum Unterdrücken der durch den Mischer 2 erzeugten Umschaltfrequenz als auch zur weiteren Selektion des Empfangssignals.

Das Begrenzer-IC302 erfüllt zwei Aufgaben; es verstärkt und begrenzt das ZF-Signal, sodaß unabhängig vom Eingangspegel des Empfängers ein konstanter Pegel am Pin 11 für den nachfolgenden PLL-Demodulator zur Verfügung steht. Außerdem erzeugt es eine dem Empfangspegel proportionale Spannung (PIN 15), die im Operationsverstärker 303 auf einen Ausgangspegel zwischen 0 V und 2,5 V gebracht wird. Diese Spannung dient zum Messen des HF-Eingangspegels des Empfängers im Bereich von etwa -120 dBm bis etwa -60 dBm.

Das IC304 enthält einen spannungsgesteuerten 100-kHz-Oszillator (VCO), einen Phasenkomparator und ein Loop-Filter, die zusammen als PLL-Demodulator geschaltet sind. Die beim Übertragen von NRZ-Daten (Modulationssignal) notwendige Gleichspannungskopplung bei der Demodulation erfordert eine hohe Konstanz des Oszillators, die durch den Präzisions-IC304 bei der 2. ZF von 100 kHz gewährleistet ist. Am Ausgang des PLL-Demodulators 304 (Pin 10) steht das demodulierte Basisbandsignal zur Verfügung.

3.1.5 Basisbandaufbereitung

Das demodulierte Basisbandsignal wird vom nachfolgenden Operationsverstärker 306 verstärkt. Im Operationsverstärker 306 wird auch die gemeinsame PegelEinstellung für den Daten- und NF-Ausgang vorgenommen. In einem Besselfilter 3. Ordnung wird das Basisfrequenzband anschließend auf etwa 4 kHz begrenzt und dem Allpaß 308 zugeführt. Dieser Allpaß ermöglicht die Einstellung der erforderlichen Soll-Laufzeit im Empfänger.

Nach dem Allpaß 308 wird eine Verzweigung in Daten- und NF-Weg vorgenommen. Der Operationsverstärker 303 verstärkt das Datensignal (DADEMI) auf eine Pegel von 2 V (Spitze-Spitze) und übergibt es an die Baugruppe Audio-Interface. Das NF-Signal (NFEMPFAUS) gelangt bei durchgeschaltetem Transistor 276 zum Operationsverstärker 307, der es auf 860 mV (Spitze-Spitze) verstärkt. Der Transistor 276 wirkt dabei als Schalter, der mit Hilfe der Steuerschaltung ermöglicht, kurzzeitige Störgeräusche zu unterdrücken (Squelch-Einrichtung).

3.1.6 Squelch-Einrichtung

Die Squelch-Einrichtung (Rauschunterdrückung) besteht aus dem Feldeffekttransistor 276 und einer zugehörigen Steuerschaltung. Die Steuerschaltung besteht aus dem Bandpaß 307 und der nachfolgenden Gleichrichtung (Transistor 282). Damit wird der Rauschanteil oberhalb des Basisbandes bei etwa 12 kHz zum Steuersignal ausgewertet.

Der parallele Widerstand 75 verhindert, daß bei gesperrtem Transistor 276 der NF-Weg völlig abgeschaltet wird.

Durch die Squelch-Einrichtung wird eine Verbesserung der Sprachverständlichkeit erreicht. Kurzzeitige Störgeräusche, verursacht durch Feldstärkeeinbrüche oder Zündfunkenstörungen, werden "gedämpft", wobei die Verbindung noch als bestehend erkennbar bleibt.

Über den Eingang SQEI läßt sich die Squelch-Einrichtung ein- oder ausschalten.

3.2 Synthesizer S42024-H168-....

Der Synthesizer (siehe Bild 5) erzeugt im Sprechkanal die Umsetzfrequenz für Modulator und Empfänger.

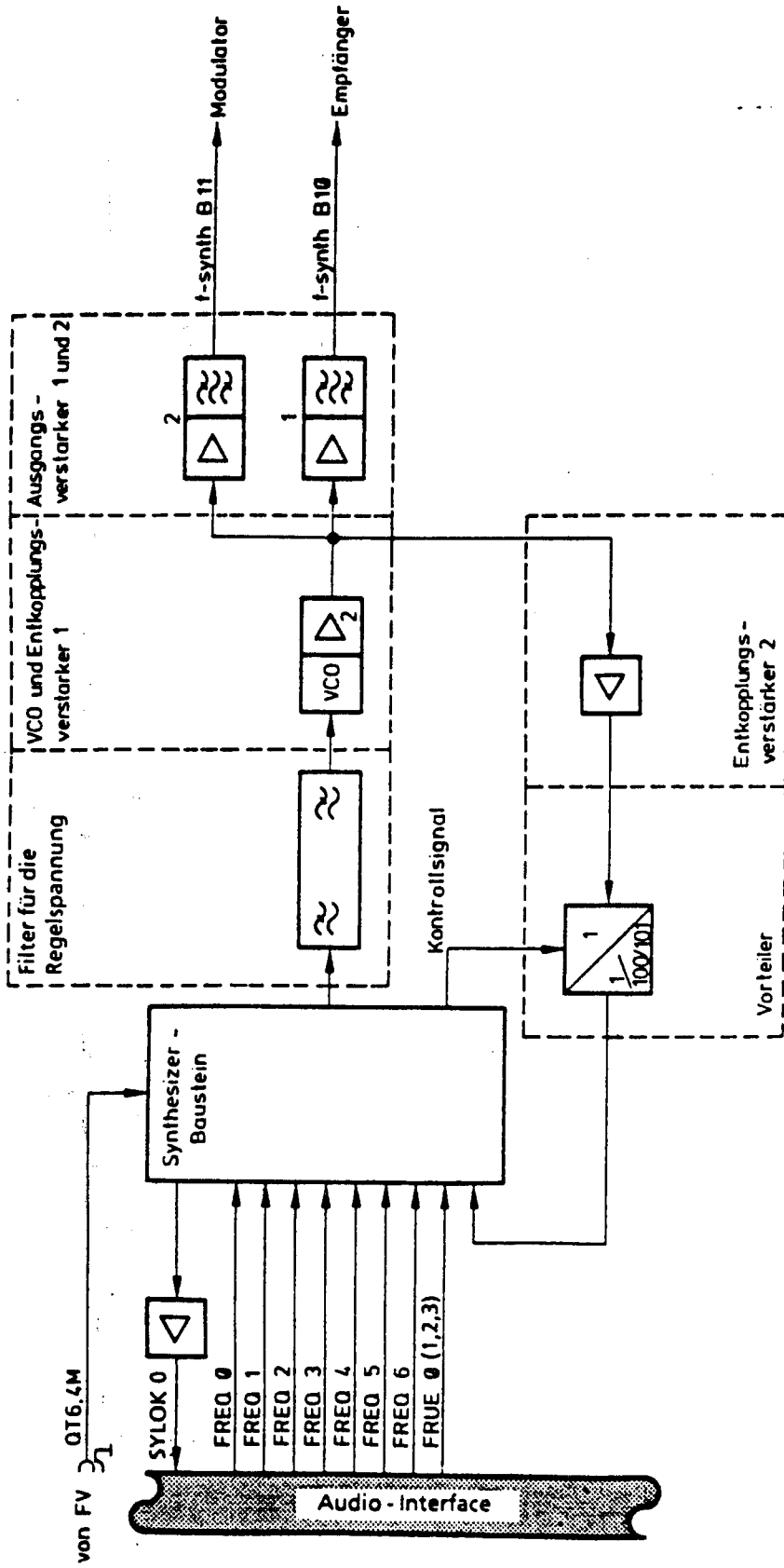


Bild 5 Übersichtsschaltplan Synthesizer

Die Frequenz des Synthesizers ist durch ein 8-bit-Wort in Schritten von 10 kHz oder 12,5 kHz im Frequenzbereich von 428,60 MHz bis 434,34 MHz einstellbar. Der Signalpegel für das 8-bit-Wort beträgt +5 V. Nach Einstellung der gewünschten Frequenz geht das Signal - SYLOK0 auf "1".

Der Synthesizer benötigt die externe Zuführung der Referenzfrequenz von 6,4 MHz.

3.2.1 Prinzip Synthesizer

Bild 6 zeigt in vereinfachter Darstellung die indirekte Frequenzsynthese, wie sie im Synthesizer verwendet wird.

Der Frequenzteiler T2 dient zum Einstellen des Kanalrasters (10/12,5 kHz).

Die Ausgangsfrequenz F_k stellt die Referenz für die Phasenbrücke (Φ) dar.

Der VCO ist ein spannungsgesteuerter Oszillator, der die Frequenzen von 428,60 MHz bis 434,34 MHz erzeugt. Der programmierbare Teiler T1 muß so eingestellt werden, daß $n \times F_k$ die gewünschte Frequenz F_{syn} ergibt. Am Ausgang der Phasenbrücke entsteht die Gleichspannung X , die proportional der Phase von $F_k / (F_{syn}/n)$ ist. Die Oberwellen der Frequenz F_k werden mit dem Filter Φ unterdrückt.

Die Gleichspannung X dient als Steuersignal für den Oszillator und steuert diesen solange nach, bis F_k und (F_{syn}/n) gleich sind.

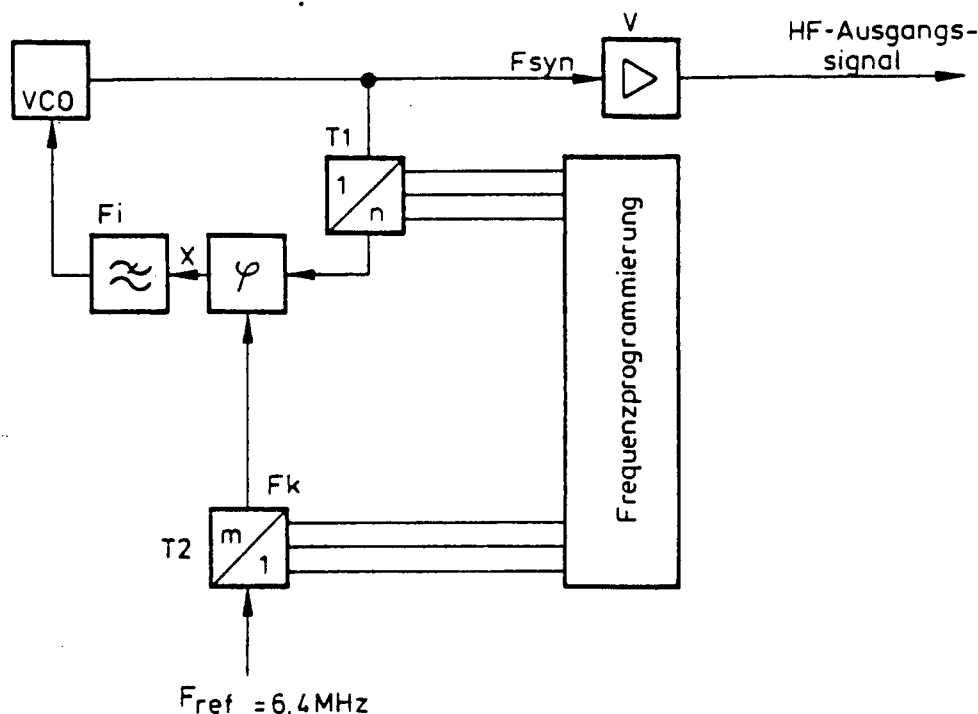


Bild 6 Prinzip Synthesizer

3.2.2 Synthesizer-Baustein und Vorteiler

In den Synthesizer-Baustein (Bild 7) integriert sind die Frequenzteiler für die Referenz (12-bit-R-Teiler) und ein Teil der Frequenzteiler, die die Ausgangsfrequenz auf die benötigte Rasterfrequenz von 10 kHz oder 12,5 kHz teilen. Außerdem sind zwei Phasendetektoren, ein Lockdetektor, eine Kontrolllogik zur Steuerung eines externen Vorteilers und eine Programmierlogik enthalten.

Der 7-bit-A-Teiler, der 10-bit-N-Teiler, die beiden externen Bausteine 552, 553 sowie die Kontrolllogik bilden den vollständigen Frequenzteiler für das HF-Ausgangssignal (f-synth B10). Die Bausteine 552, 533 bilden einen 100/101-Vorteiler, der mit dem Kontrollsignal definiert umgeschaltet wird.

Die Frequenzprogrammierung (Signale **FREQ0** bis 6 von der Baugruppe Audio-Interface) geschieht an den Eingängen **D0** bis **D3**, **A0** bis **A2** und **St** (Signal **FRUE0**).

Die Adresseneingänge **A0** bis **A2** wählen die Speicher (**S0** bis **S7**) aus, die die Daten von **D0** bis **D3** empfangen sollen. Mit dem Signal **FRUEI0** wird am Eingang **St** der Übernahmezeitpunkt bestimmt.

Zur Gewinnung der Steuerspannung für den Oszillator stehen zwei Phasendetektoren (**A**, **B**) zur Verfügung, von denen der Phasendetektor **A** verwendet wird. Die Ausgangsspannung des Phasendetektors dient zum Ansteuern des Oszillators.

Die Widerstände 22, 28, 29, 30 und die Kondensatoren 203, 208, 229 und 230 bilden vier in Serie geschaltete Tiefpässe. Die Widerstände 24, 26 und der Kondensator 205 dienen zur Stabilisierung des Regelkreises (Lag-Glieder). Die Tiefpässe unterdrücken die Referenzfrequenz und deren Oberwellen.

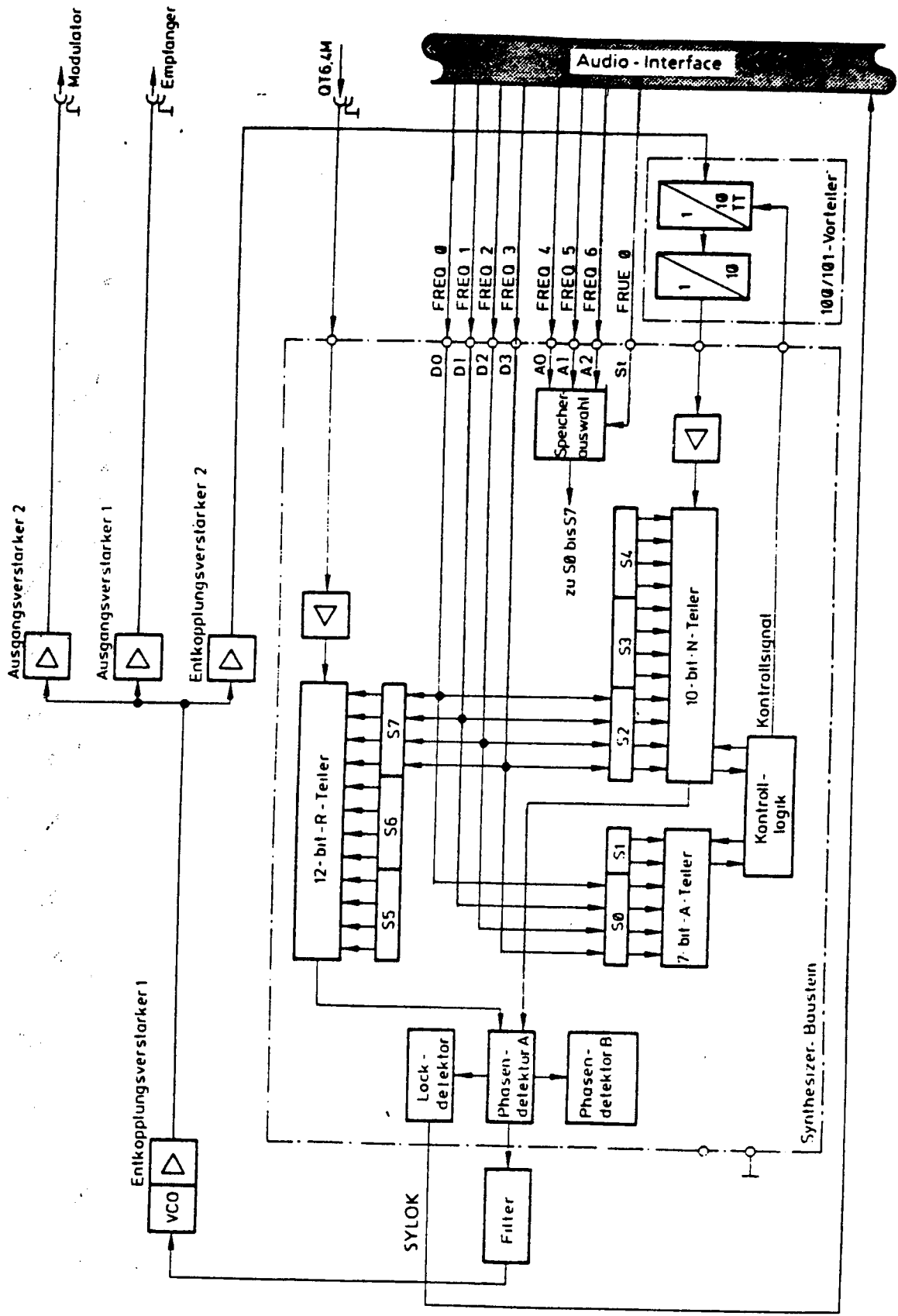


Bild 7 Übersichtsschaltplan Synthesizer-Baustein

3.2.3 Oszillator (VCO) und Entkopplungsverstärker 1

Der spannungsgesteuerte Oszillator (VCO) besteht im wesentlichen aus dem Feldeffekttransistor 507 sowie dem Rückkoppelnetzwerk 235, 236. Die Schwingkreispule besteht aus einem 20 mm langen Kupferdraht auf den Stützpunkten A, B, C.

Mit den beiden Kapazitätsdioden 472 und 473, die über die Kondensatoren 231, 232, an den Schwingkreis angekoppelt sind, läßt sich der Oszillator in seiner Frequenz verändern. Um Rückwirkungen vom Ausgang und von den Frequenzteilern möglichst gering zu halten, ist ein zweistufiger Entkopplungsverstärker (Transistoren 508, 509) erforderlich.

Das Dämpfungsglied (Widerständen 63, 64 und 65) dient zum Erhöhen der Entkopplung und zum Anpassen der Ausgangsleistung. Um die Störmodulation, bedingt z.B. durch mechanische Erschütterung, klein zu halten, befinden sich der VCO und beide Stufen in einem fest umschlossenen Gehäuse.

3.2.4 Entkopplungsverstärker 2

Der hochfrequente Teiler 553 wird vom Verstärker mit dem Transistor 505 angesteuert. Der Verstärker ist beidseitig mit einem Dämpfungsglied abgeschlossen, um den Pegel am Teiler 553 anzupassen. Der Entkopplungsverstärker 2 hält Nebenwellen, die im Frequenzteiler entstehen, vom Oszillator fern.

3.2.5 Ausgangsverstärker 1 und 2

Der Ausgangsverstärker 1 besteht aus den Transistoren 513 und 517.

Die Verstärkung beträgt etwa 14 dB, die Ausgangsleistung liegt zwischen 50 mW und 100 mW. Die Transistoren 511 und 515 dienen zur Arbeitspunktregelung der beiden Verstärkerstufen. Um eine Amplitudenmodulation der Endstufe (517) durch überlagerte Störspannungen auf der +10-V-Versorgungsspannung zu verhindern, ist eine einfache Spannungsregelung mit dem Transistor 519 und der Zenerdiode 483 erforderlich. Das Helical-Filter 375 mit Bandfiltercharakteristik unterdrückt Nebenwellen, die in den Frequenzteilern entstehen.

Der Ausgangsverstärker 2 besteht aus dem Transistor 523. Die Ausgangsleistung des Verstärkers liegt zwischen 15 mW und 40 mW. Der Transistor 521 dient zur Arbeitspunktregelung der Verstärkerstufe. Die Zenerdiode 485 unterdrückt Störspannungen, die der +10-V-Versorgungsspannung überlagert sind. Das Helical-Filter 381 erfüllt die gleiche Funktion, wie für Ausgangsverstärker 1 beschrieben.

3.2.6 Spannungsregelung +10 V/+8 V

Für besonders empfindliche Schaltungen und Bauelemente des Synthesizers sind die von der Gestell-Stromversorgung gelieferten Spannungen zusätzlich stabilisiert. Zu den empfindlichen Schaltungen gehören der Oszillator und die Entkopplungsverstärker mit den Transistoren 505, 508 und 509. Die Stabilisierungsschaltung ist mit dem IC554 und dem Transistor 530 aufgebaut.

Der Transistor ist notwendig, um einen möglichst geringen Spannungsabfall an der Stabilisierungsschaltung zu erhalten.

3.3 Modulator S42024-H167-....

Der Modulator (siehe Bild 8) im Funkmodem erzeugt ein frequenzmoduliertes HF-Signal zum Ansteuern der Sendeendstufe.

Das zugeführte Modulationssignal ist ein Sprach- bzw. Wechselstromtelegraphiesignal und ein Datensignal (Signalisierungsdaten).

Das Sprach- bzw. Wechselstrom-Telegraphiesignal wird auf der Baugruppe Audio-Teil zeitkomprimiert. In die hierdurch entstehenden Zeitschlitze werden auf der Modulatorbaugruppe die Signalisierungsdaten (NRZ-Daten) eingefügt, die zur Verbindungsüberwachung zwischen Basisstation und Teilnehmer benötigt werden.

Der Modulator ist im wesentlichen ein phasengeregelter, modulierbarer Quarzoszillator (VCO), dessen Mittenfrequenz 31,4 MHz beträgt. Um eine Frequenzdrift des Oszillators zu vermeiden, wird er mittels einer Phasenregelschleife an die systemeigene Referenzfrequenz von 6,4 MHz angebunden.

Die Phasenregelschleife besteht aus Phasenvergleichern, steuerbaren Vorteilern, Frequenzverdopplerschaltung, Vorteiler für Referenzfrequenz, aktivem Tiefpaßfilter zur Umwandlung des digitalen Regelsignales in analoge Regelspannung und Überwachungssignalerzeugung bei gerasteter Phasenregelschleife (Signal MODLOK). Für die Modulationssignale ist eine Betriebsartenumschaltung notwendig. Hierzu dienen die Signale SIDATI, SITMOI und DATSE von der Funkkanalsteuerung. Diese Ansteuersignale werden auf der Modulatorbaugruppe decodiert. Die Umschaltung der Modulationssignale wird von integrierten Analogschaltern vorgenommen.

Bei Datenbetrieb steuert das Modulationssignal einen Vorteiler der Phasenregelschleife. Durch diese Maßnahme wird vermieden, daß modulationsbedingte Frequenzänderungen des Oszillators durch die Phasenregelschleife ausgeregelt werden.

Die 31,4-MHz-Zwischenfrequenz wird im Mischer 1 auf die Sendefrequenz (460,0 MHz bis 465,74 MHz) umgesetzt. Die Baugruppe Synthesizer liefert die Umsetzfrequenz für den Mischer. Ein zweistufiger Verstärker erzeugt den erforderlichen HF-Ausgangspegel.

Betriebsartenumschaltung

Am Eingang NFSPTRDA des Modulators können folgende Nutzschnale anstehen:

- Komprimierte Sprache
- Komprimierte Wechselstromtelegraphie.

Am Eingang DAS des Modulators können folgende Nutzschnale anstehen:

- Signalisierungsdaten (NRZ), 4-bit-Datenblock alle 12,5 ms bei verteilter Signalisierung.
- Signalisierungsdaten (NRZ), konzentriertes Datensignal 5,28 kBaud.

Bei Betrieb im Sprechkanal wird der Datenblock dem auf der Baugruppe Audio-Teil komprimierten Modulationssignal zum Zeitpunkt des Komprimierungsschlitzes zugeschaltet (Bild 9).

Aus der nachfolgenden Tabelle sind Betriebsarten, Zustand der Steuereingänge und der Signalweg des Modulationssignals zu ersehen.

Tabelle Steuerung des Modulationssignals

Betriebsart	Zustand der Steuereingänge			Signalweg (siehe Bild 8)
	SIDATI	SITMOI	DATSE	
komprimierte Sprache bzw. WT	-	0	0	Vom Eingang NFSPTRDA über Schalter S3 und S4.
Signalisierungsdaten	0	1	0	Vom Eingang DAS über Schalter S1, Inverter, Schalter S2, Schalter S4. Über Schalter S5 wird der Vorteiler gesteuert.
Modulation AUS	-	-	1	Schalter S4 trennt alle Signalwege auf. Modulator schaltet auf Mittenfrequenz.

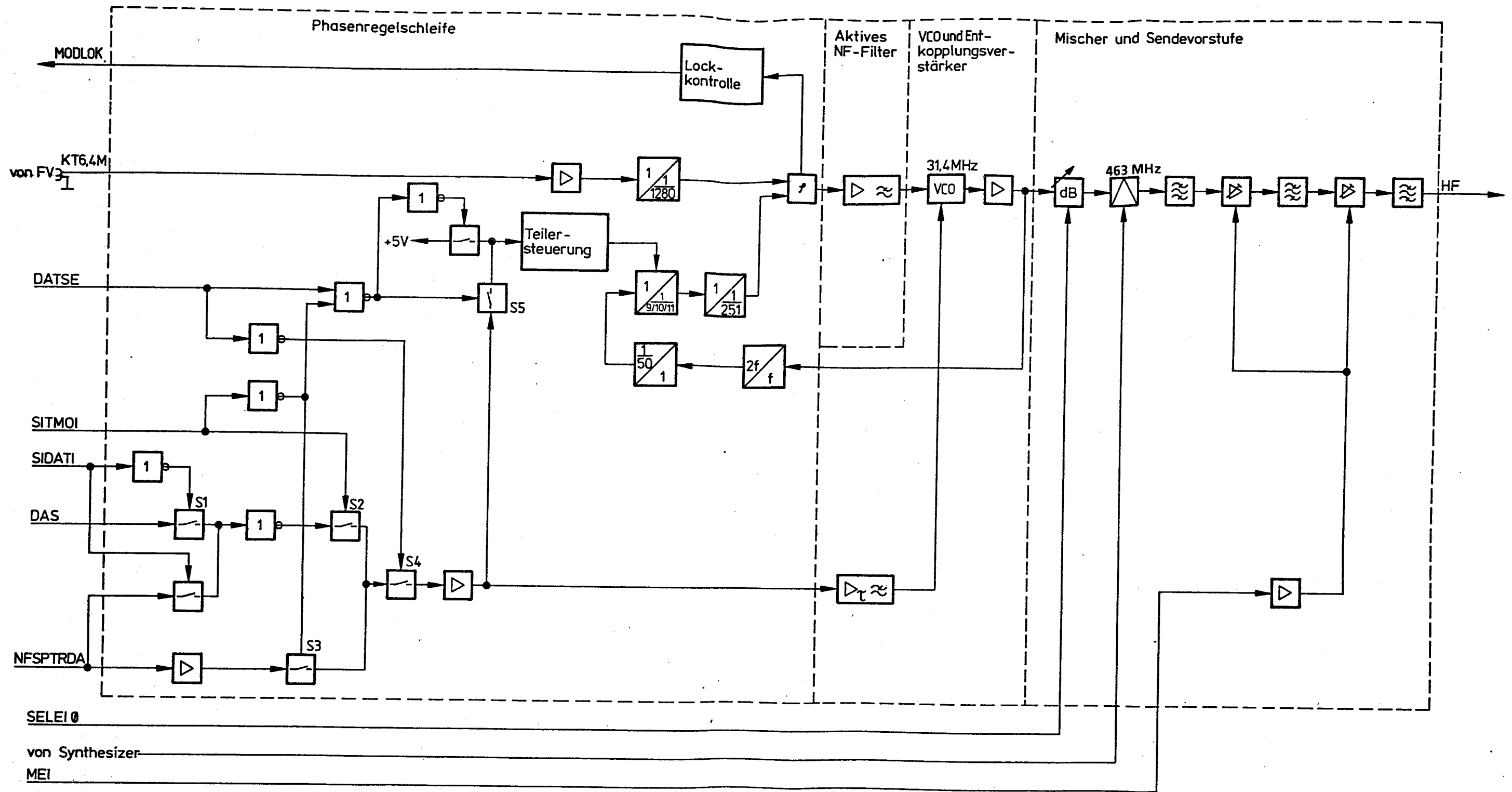
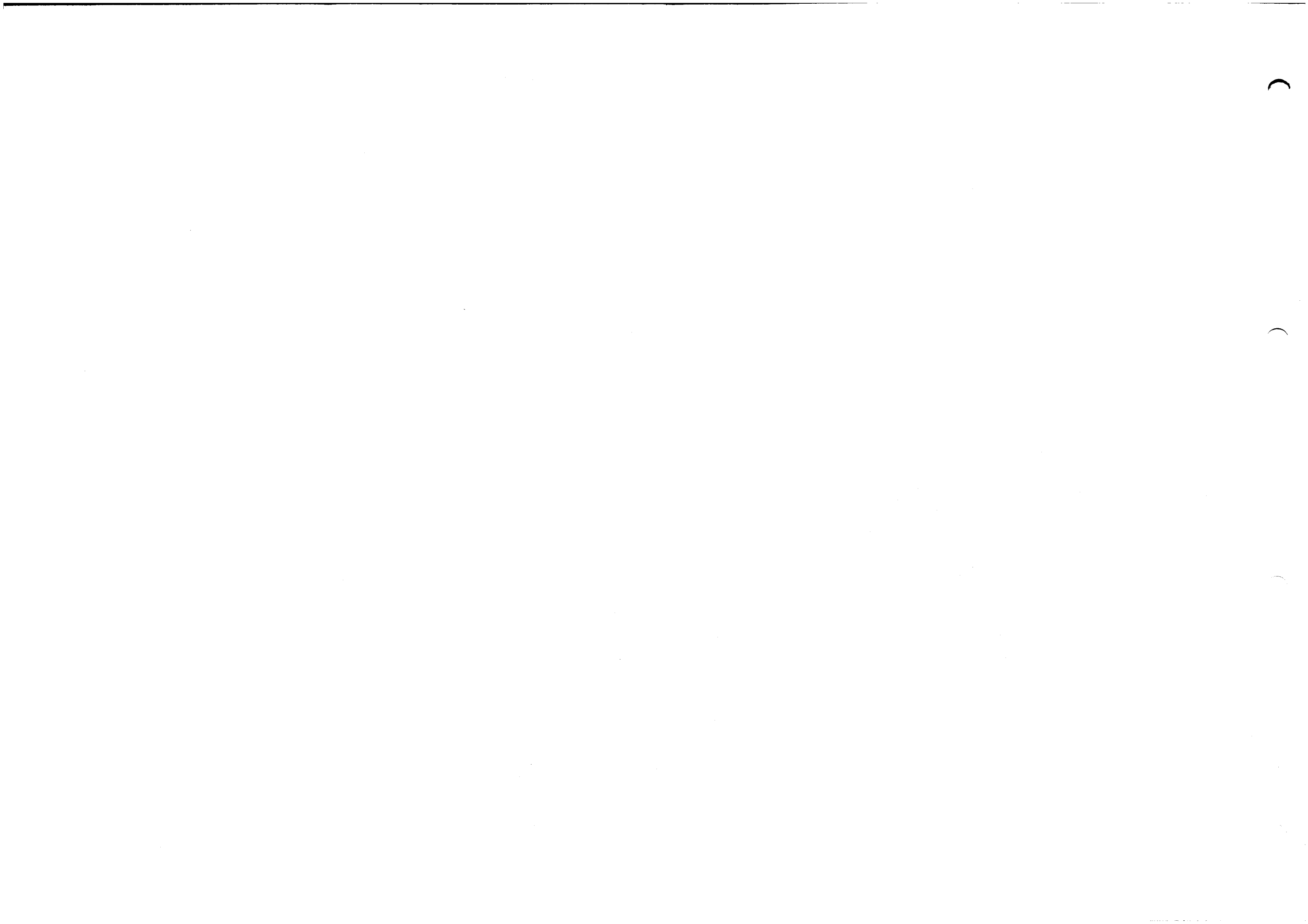


Bild 8 Übersichtsschaltplan Modulator



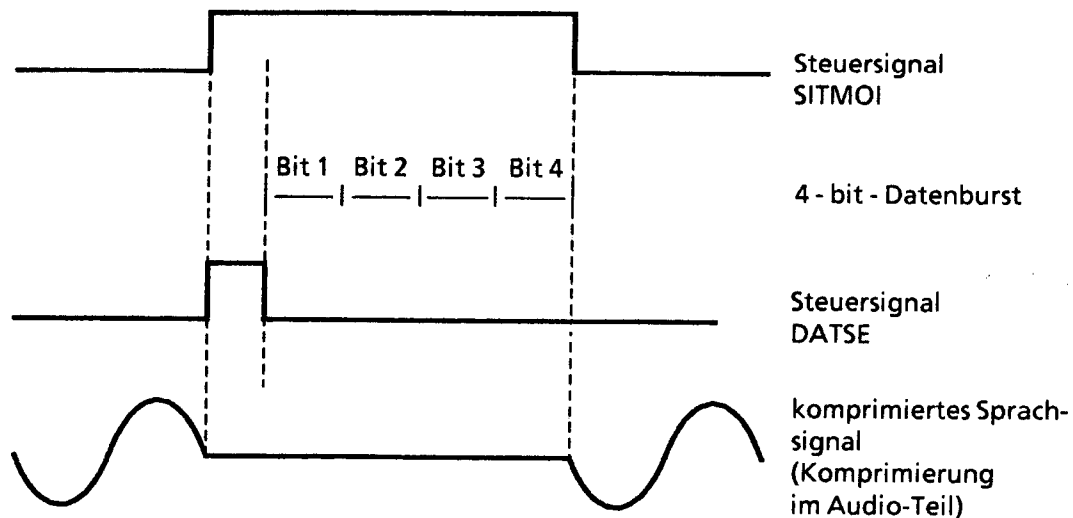


Bild 9 Zuschalten des Datenblocks

3.3.1 Aktives NF-Filter

Das aktive NF-Filter besteht aus den Bausteinen 231, 232, den Widerständen 25 bis 33 und den Kondensatoren 111 bis 121. Das Filter ist laufzeitgebnet (Besselcharakteristik), es hat die Aufgabe die Frequenz der ankommenden Modulationssignale zu begrenzen. Das Datensignal und das im Audio-Teil amplitudenbegrenzte Sprachsignal würden ohne Frequenzbegrenzung eine unzulässig große Störung im Nachbarkanal hervorrufen.

Die Gruppenlaufzeit des Filters läßt sich mit Widerstand 26 abgleichen. Für die Entfernungsmessung zwischen Mobil- und Teststation ist es wichtig, daß die Gruppenlaufzeit des Filters und damit die des Modulators konstant bleibt.

3.3.2 Oszillator (VCO) und Entkopplungsverstärker

Der spannungsgesteuerte Oszillator (VCO) besteht aus dem Feldeffekttransistor 212, dem Quarz 252 und den Rückkopplungskondensatoren 128, 129. Über die Spulen 181, 182 und den Koppelkondensator 122 ist die Kapazitätsdiode 202 angekoppelt.

Am Ausgang des aktiven NF-Filters (IC 232, Pin 7) steht das Modulationssignal (Sprache/WT oder Daten) für die Frequenzmodulation des Oszillators zur Verfügung.

Die am Ausgang der Phasenregelschleife (IC 240, Pin 6) anliegende Regelspannung gelangt über die Kapazitätsdiode 203 und den Koppelkondensator 123 zum Oszillator. Die Spannung regelt die Phase des 31,4-MHz-ZF-Signals.

Um Rückwirkungen vom Ausgang des Modulators auf den Oszillator möglichst gering zu halten, ist der Entkopplungsverstärker (Transistor 213) nötig. Der Ausgangspegel des Oszillators mit Entkopplungsverstärker ist mit Widerstand 94 einstellbar.

Temperaturbedingte Änderungen des Pegels werden mit dem Heißeleiter 311 ausgeglichen.

3.3.3 Modulationsgesteuerte Phasenregelschleife

Der Oszillator (VCO) wird mittels einer Phasenregelschleife, die ihre Referenzfrequenz (6,4 MHz) vom Frequenzverteiler erhält, geregelt.

Die Phasenregelschleife besteht aus einem einstellbaren Vorteiler (IC 239), einem digitalen Frequenzauflösungsbaustein (IC 238) und einem aktiven Tiefpaß (IC 240) zum Erzeugen der analogen Regelspannung für den VCO.

Die Phasenregelschleife regelt langsame Frequenzänderungen aus, die durch Temperaturschwankungen und Alterung des VCO auftreten.

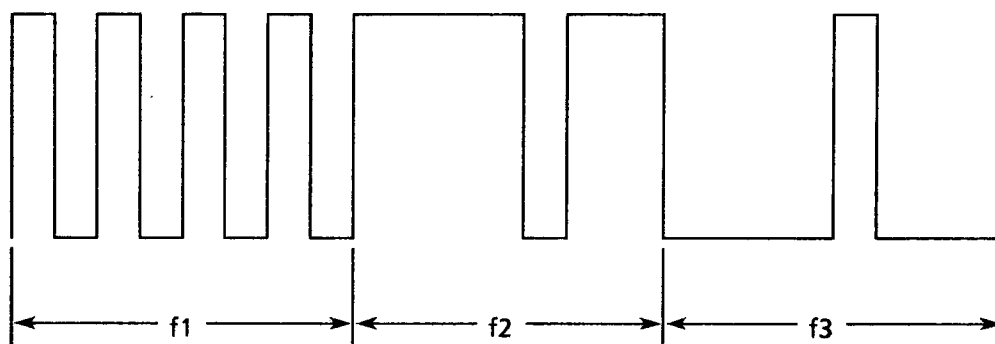


Bild 10 Modulation des 31,4-MHz-Oszillators (Beispiel)

Wird das dargestellte Signal (Bild 10) auf die Modulationsdiode gegeben, ergibt sich während

- t1: Symmetrischer Wechsel der Oszillatorfrequenz um die Mittenfrequenz von 31,4 MHz ($31,4 \text{ MHz} \pm 2,5 \text{ kHz}$).
- t2: Die Oszillatorfrequenz nimmt häufiger den Wert $31,4 \text{ MHz} + 2,5 \text{ kHz}$ an.
- t3: Die Oszillatorfrequenz nimmt häufiger den Wert $31,4 \text{ MHz} - 2,5 \text{ kHz}$ an.

Unter der Voraussetzung, daß t_2 und t_3 größer sind als die Einschwingzeit der Phasenregelschleife, wird die Nutzmodulation durch die Phasenregelschleife ausgeregelt. Dies wird durch eine Steuerlogik (Bausteine 227, 230 und 234 bis 236) vermieden, die in Abhängigkeit vom Modulationssignal die programmierbaren Teiler der Phasenregelschleife so umschaltet, daß das Modulationssignal nicht mehr beeinflußt wird.

Die steuerbaren Vorteiler IC239 und Hauptteiler IC237 der Phasenregelschleife arbeiten nach dem Swallow-Teiler Prinzip. Für das störungsfreie Arbeiten der modulationsgesteuerten Umschaltung der Zähler ergibt sich die Forderung, daß die Vergleichsfrequenz am Phasenvergleich (in IC 238) höher ist als die höchste Bitfrequenz des Datensignals. Im Modulator beträgt die Vergleichsfrequenz 5 kHz (höchste Bitfrequenz = 2,64 kHz). Da die Vergleichsfrequenz den Frequenzhub bei Datenmodulation bestimmt und dieser $\pm 2,5$ kHz betragen soll, ist zwischen dem Ausgang der Oszillatorstufe und dem Eingang des Vorteilers (IC 239) eine Frequenzverdopplerstufe geschaltet und damit die o.g. Bedingung erfüllt.

Der Frequenzverdoppler arbeitet nach dem Prinzip der Doppelweggleichrichtung. Wesentliche Bauteile sind der Balun-Trafo 198 zum Erzeugen eines symmetrischen 31,4-MHz-Signals und die Dioden 206, 207 zur Gleichrichtung. Am Summationspunkt der Dioden entsteht das 62,8-MHz-Signal.

3.3.4 Mischer und Sendevorstufe

Das frequenzmodulierte 31,4-MHz-Signal wird im Hochleistungs-Ringmischer 233 auf die Sendefrequenz umgesetzt. Die Baugruppe Synthesizer liefert die Umsetzfrequenz mit einem Pegel von etwa 17 dBm. Der Mischer 233 wird mit hohem Eingangspegel betrieben (+ 8 dBm); dies wirkt sich günstig auf das Weitabrauschen (5-MHz-Trägerabstand) aus. Darauf folgt die Sendevorstufe mit den Transistoren 215, 218; die Ausgangsleistung beträgt + 13 dBm. Die Transistoren 214, 217 dienen zur Arbeitspunktregelung der beiden Verstärkerstufen. Die Helical-Filter 246, 247 und 248 unterdrücken unerwünschte Nebenwellen.

Der Ausgangspegel läßt sich mit einem Steuersignal (MEI) aus der Funkkanalsteuerung um etwa 65 dB absenken. Die Pegelabsenkung wird mit zwei Schaltungen bewirkt. Mit dem Schalttransistor 216 wird der Arbeitspunkt der zwei Verstärkerstufen so verschoben, daß die Transistoren gesperrt sind. Zusätzlich bilden die Transistoren 222, 223 und die Dioden 208, 209 ein schaltbares Dämpfungsglied.

3.4 Audio-Teil S42024-H381-...

Das Audio-Teil (Bild 11) hat in den Sprechkanälen der Basisstation folgende Aufgaben :

- Die von der Drahtseite kommenden Nutzsingnale (Sprache, Wechselstromtelegraphie) für den Sendezweig der Basisstation aufzubereiten.
- Die vom Empfänger kommenden Nutzsingnale (Sprache, Wechselstromtelegraphie) für die Drahtseite aufzubereiten.
- Die von der Steuerung bestimmten Betriebsarten durch Umschalten auf unterschiedliche Signalwege zu realisieren.

Die Signalaufbereitung besteht im wesentlichen aus folgenden Teilen:

Sprache und Wechselstromtelegraphie

Amplituden-Frequenzgangkorrektur durch Pre- und Deemphasis bei "Sprache klar".

Dynamik-Komprimierung und -Expandierung: dabei handelt es sich um eine Dynamikkompression des Sendesignals von 2 zu 1 (z.B. von 60 dB auf 30 dB) und eine Dynamikexpansion des Empfangssignals von 1 zu 2 (z.B. von 30 dB auf 60 dB); für Meßzwecke über DYNKOMP (siehe Diagnosestecker der CPU) abschaltbar.

Sendeseitige Signalamplitudenbegrenzung, um den Modulationsspitzenhub von ± 4 kHz nicht zu überschreiten.

Verschleierter oder klarer Sprachbetrieb, durch Zu- bzw. Abschalten einer Invertierungs- bzw. einer Reinvertierungsschaltung. Dabei handelt es sich um die Spiegelung des Sprachbandes von 300 Hz bis 3 kHz an einem Hilfsträger von 3,3 kHz (Signal S1S bzw. S2S und S1E bzw. S2E in folgender Tabelle).

Zeitkomprimierung auf der Sendeseite, um einen Zeitschlitz zu erzeugen, in den im Modulator Signalisierungsdaten eingefügt werden. Zeitexpandierung auf der Empfangsseite zum Beseitigen des vorher beschriebenen Zeitschlitzes. Durch diese Maßnahme ist es möglich, Signalisierungsdaten (NRZ), die zur Verbindungsüberwachung notwendig sind, ohne zusätzlichen Schaltungsaufwand (Umformer, Hilfsträger) zu übertragen.

Spezielle Betriebsarten

Continuity Check

Zum Überprüfen der Verbindung MSC-Sprechkanal.

NF-Schleifentest (NF-Schleife) zu Testzwecken, in Verbindung mit dem Prüffunkgerät.

Sprach- bzw. WT-Test

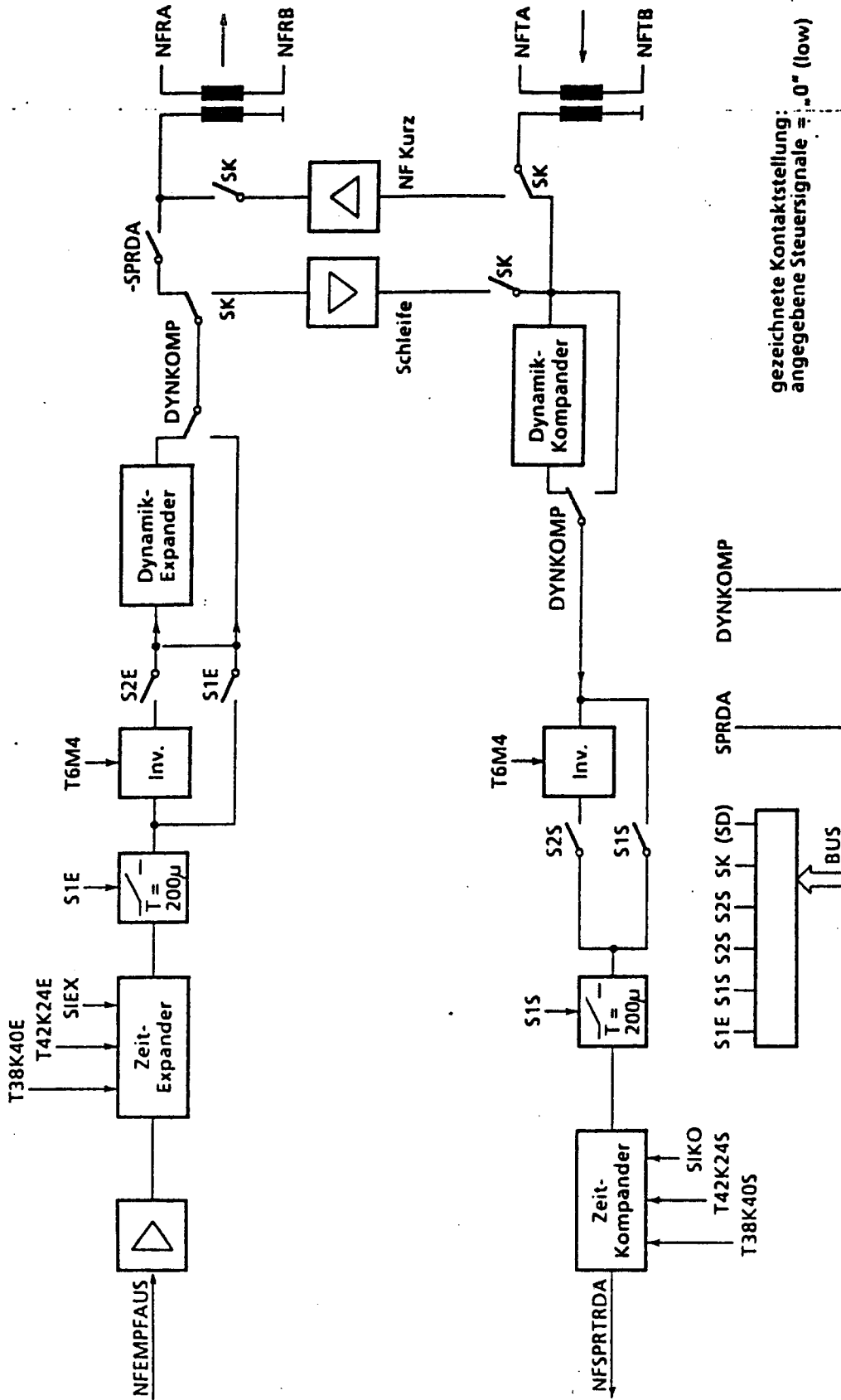


Bild 11 Übersichtsschaltplan Audio-Teil

Beide Betriebsarten werden mit dem Signal SK (siehe folgende Tabelle) gleichzeitig realisiert.

Referenzfrequenz 6,4 MHz (Koaxialeingang)

Die Referenzfrequenz wird auf der Baugruppe Audio-Teil verstärkt und dem integrierten Filter- und Invertierungsbausteinen als Taktfrequenz zugeführt. Außerdem wird die Referenzfrequenz über ein Anpaßglied den Steuerungsbaugruppen zugeführt.

Betriebsarten (BART 0-5)

Die Betriebsarten werden mittels Schreibbefehl -WRX0 per Programm (Adresse FFX0) in ein Latch geschrieben: Belegung der Bits: BART 0-5 auf Bit 0-5, Bit 6 und 7 unbenutzt. Über Pegelumsetzer gelangen die Signale, sowohl normal als auch invertiert, zu den einzelnen Schaltern, siehe folgende Tabelle.

Bezeichnung der Steuereingänge	Befehle aus der Steuerung				
	BART0 (S1S)	BART2 (S2S)	BART3 (SK)	BART4 (S1E)	BART5 (S2E)
Sprache klar					
Senden	H	L	L	L	L
Empfangen	L	L	L	H	L
Sprache invertiert					
Senden	L	H	L	L	L
Empfangen	L	L	L	L	H
Continuity Check	L	L	H	L	L
NF-Schleifentest					
Continuity Check und Sprache klar	H	L	H	H	H
Continuity check und Sprache invertiert	L	H	H	L	H

Signal BART 1 = L

3.5 HF-Endstufe S42024-H405-...

Die HF-Endstufe (s. Bild 12) verstärkt das vom Modulator erzeugte HF-Signal in Abhängigkeit von Steuersignalen auf die gewünschte Sendeleistung und hält sie konstant. Es sind acht Leistungsstufen in 5-dB-Schritten wählbar. Außerdem werden die Funktionen der HF-Endstufe, deren Temperatur und die von der Antenne rücklaufende Leistung überwacht und entsprechende Fehlermeldungen abgegeben.

Die HF-Endstufe besteht aus den Funktionseinheiten Verstärker, Überwachung und Regelung.

3.5.1 Verstärker

Die HF-Endstufe und die Leistungsregelung bilden einen Regelkreis. Das Stellglied des Regelkreises ist ein steuerbarer PIN-Dioden-Regler, dessen Dämpfung durch die Regelspannung U_{REG} eingestellt wird.

Nach dem steuerbaren Dämpfungsglied folgt der HF-Leistungsverstärker.

Dieser besteht aus vier Transistorstufen, die über Anpaßnetzwerke verbunden sind. Die Leistungstransistoren arbeiten im B-Betrieb, um einerseits einen möglichst hohen Wirkungsgrad zu erhalten, andererseits jedoch auch noch sehr kleine Ausgangsleistungen abgeben zu können.

Die Arbeitspunkteinstellung sorgt für einen stabilen B-Betrieb; sie hält die Basis-Emitter-Spannung der HF-Leistungstransistoren konstant.

Die Basisspannung der drei letzten HF-Verstärkerstufen wird vom Signal VEI ein- bzw. ausgeschaltet. Am Eingang des Dämpfungsgliedes wird ein Teil des Eingangssignales ausgekoppelt und gleichgerichtet. Die gleichgerichtete Spannung wird in einem Operationsverstärker verstärkt. Die Höhe der erzeugten Gleichspannung hängt von der Größe der Eingangsspannung ab. Ein zweiter Operationsverstärker erzeugt eine Referenzspannung. Beide Spannungen werden einem dritten Operationsverstärker zugeführt, subtrahiert, verstärkt und als U_{HF} der Regelplatine zur Fehlermeldung übergeben.

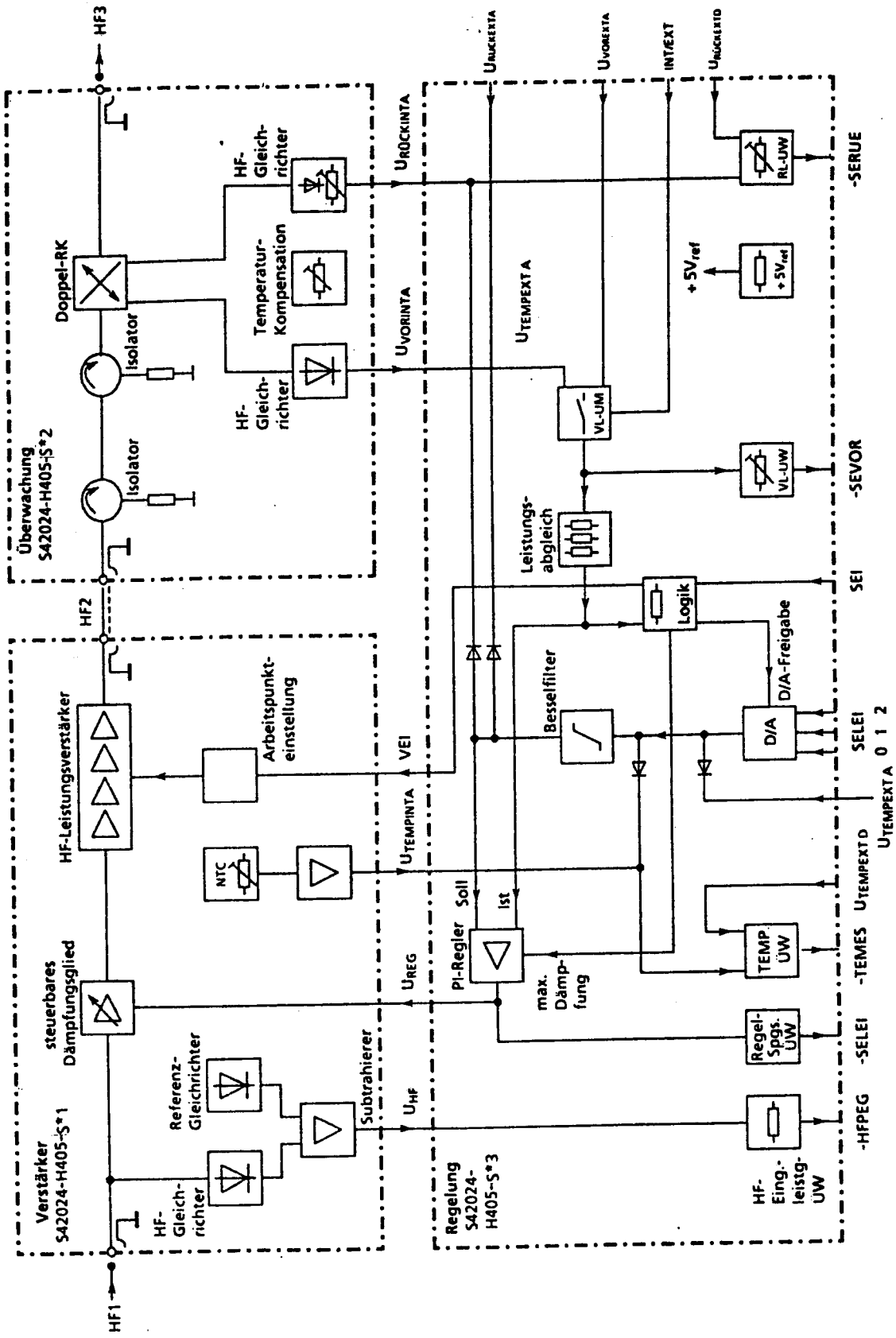


Bild 12 Übersichtsschaltplan HF-Endstufe

Zur Temperaturüberwachung der HF-Endstufe wird ein Heißleiter in einer Brückenschaltung verwendet. Ein Operationsverstärker verstärkt die Brückenspannung und gibt sie als $U_{TEMPINTA}$ auf die Regelplatine zur Leistungsregelung und Fehlermeldung.

3.5.2 Überwachung

In den HF-Weg sind zwei Einwegleitungen mit der notwendigen Beschaltung und je ein Richtkoppler für vorlaufende und rücklaufende HF-Leistung geschaltet.

Die Einwegleitung (Isolator) stellt einen nichtreziproken Vierpol dar, der die HF-Leistung nur in einer Richtung vom Eingang zum Ausgang mit relativ geringer Durchgangsdämpfung (etwa 0,6 dB) überträgt. Wird HF-Leistung entgegen der Durchlaßrichtung durch den Isolator geschickt, so erfährt sie eine hohe Dämpfung (etwa 20 dB), wobei die Leistung am Isolator-Abschlußwiderstand verbraucht wird.

Die notwendige Isolation von ≥ 40 dB (460,0 MHz bis 465,74 MHz) wird durch zwei in Serie geschaltete Isolatoren erreicht, wobei sich etwa der doppelte Wert für die Durchgangsdämpfung ergibt.

Die Richtkoppler am Ausgang der Überwachung bestehen im Durchgang aus einer 50- Ω -Leitung und im Auskoppelweg aus einer 100- Ω -Leitung. Durch diese Maßnahme wird an die Betriebsimpedanz des Gleichrichters angeglichen und zugleich eine um $\sqrt{2}$ -fache höhere Spannung zur Gleichrichtung erhalten.

Die Auskoppeldämpfung der Richtkoppler beträgt etwa 16 dB.

Die vorlaufende HF-Leistung gelangt an den Gleichrichter, der mit einer zweiten Diode und einem Operationsverstärker temperaturkompensiert wird. Die gleichgerichtete HF-Spannung, die ein Maß für die vorlaufende HF-Leistung ist, gelangt über einen Spannungsfolger zur Leistungsregelung.

Die rücklaufende Leistung wird durch eine einfache Gleichrichterschaltung gleichgerichtet und verstärkt, die Rücklaufspannung $U_{RÜCKINTA}$ am Ausgang des Verstärkers wird ebenfalls zur Leistungsregelung verwendet.

3.5.3 Regelung

Mit Hilfe der Regelung wird die HF-Leistung der HF-Endstufe eingestellt, die Einschalt- und Ausschaltflanken geformt, sämtliche Überwachungsfunktionen und die dazugehörigen Fehlermeldungen vollzogen.

3.5.3.1 D/A-Wandler

Der D/A-Wandler besteht aus einem Demultiplexer, einem Widerstandsnetzwerk und einem Strom-/Spannungswandler.

Der Demultiplexer decodiert die drei Datenbits SELEI0, SELEI1 und SELEI2 und selektiert aus dem Widerstandsnetzwerk einen bestehenden Teiler. Ein UI-Wandler liefert eine dem Teilungsverhältnis des Netzwerkes entsprechende Ausgangsleistung. Die drei Datenbits werden durch die Gatter gesperrt und gelangen erst auf den D/A-Wandler, wenn die Freigabe durch die Regelbereichserkennung durchgeführt wurde.

3.5.3.2 Besselfilter

Auf den D/A-Wandler folgt ein Besselfilter 5. Ordnung, das aus den rechteckförmigen Umschaltflanken des D/A-Wandlers einen \cos^{-2} -förmigen Verlauf bildet.

3.5.3.3 Regelverstärker, Sollwertumschalter

Der Sollwert und die Ausgangsspannung des Leistungsabgleiches werden in einem Regelverstärker verglichen und verstärkt. Durch einen Kondensator bildet der Regelverstärker einen Integrator. Um die Ladezeit des Kondensators beim Einschalten zu verkürzen wird die Spannung am Kondensator durch eine Zenerdiode begrenzt.

Der EIN/AUS-Befehl für den Regelverstärker geschieht über einen Sollwertumschalter, einen Widerstand und einen Kondensator.

Diese Umschaltung wird durch die Regelbereichserkennung vorgenommen. Der Ausgang des Regelverstärkers liefert die Regelspannung U_{REG} .

3.5.3.4 Leistungsabgleich, Leistungseinstellung

Um Bauteile- und Fertigungstoleranzen auszugleichen, ist ein Abgleich der Ausgangsleistung erforderlich.

Dieser Abgleich wird mit einem Operationsverstärker vorgenommen. Dabei durchläuft die Vorlaufspannung U_{VOR} einen abgleichbaren und einstellbaren Verstärker, und bildet so den Istwert für den Regelverstärker.

Bei einer Änderung des Istwertes (durch Verstärkung oder Offsetschlag der Vorlaufspannung) ändert sich somit auch die Ausgangsleistung.

Der Leistungsabgleich wird mit zwei Widerständen vorgenommen, wobei mit einem Widerstand maximale und mit einem Widerstand die minimale Ausgangsleistung festgelegt wird.

Mit einem Potentiometer läßt sich die Ausgangsleistung stetig um 5 dB verringern (bezogen auf die maximale Ausgangsleistung).

3.5.3.5 Regelbereichserkennung

Ein Fensterdiskriminator prüft mit Hilfe des Istwertes, ob der Regelbereich erreicht ist.

Die Entscheidung des Fensterdiskriminators wird über Gatter mit dem Befehl SEI verknüpft und steuert die Freigabe des D/A-Wandlers, den EIN/AUS-Befehl für den Regelverstärker sowie die Arbeitspunkteinstellung der Endstufentransistoren.

3.5.3.6 Vorlaufspannung, Umschaltung

Beim Anschluß eines (externen) Boosters dient dessen Vorlaufspannung als Istwert. Bei Anschluß des Boosters wird selbständig umgeschaltet.

3.5.3.7 Referenzspannungsquelle + 5 V_{ref}

Die Referenzspannung + 5 V wird aus den geregelten + 10 V gewonnen. Um Bauteiltoleranzen ausgleichen zu können, ist die Referenzspannung abgleichbar. Der Abgleich ist mit einem Abgleichwiderstand möglich. Zum Erzeugen der Referenzspannung dient ein Präzisionsspannungsregler.

3.5.3.8 Fehlermeldungen

Fehlermeldung, Schutzschaltung - Übertemperatur

Die Temperaturspannung $U_{TEMPINTA}$ greift bei Übertemperatur über eine Diode auf den Sollwert (Eingang Besselfilter) des Regelkreises ein. Gleichzeitig wird mit einem Komparator die Fehlermeldung -TEMES gebildet.

Ebenso greift über eine Diode die Temperaturspannung eines eventuell vorhandenen Boosters ein. Dadurch wird die Temperatur der Endstufe auf etwa 70°C begrenzt.

-TEMES = "L".....Temperatur zu hoch

-TEMES = "H".....Temperatur $< 70^{\circ}\text{C}$

Sinkt $U_{TEMPINTA}$ unter einen bestimmten Wert, so liefert ein Operationsverstärker ein Ausgangssignal. Dieses Signal bildet, verknüpft mit der äquivalenten Fehlermeldung eines eventuell vorhandenen Boosters, die Fehlermeldung -TEMES.

Die beiden Signale werden über ein HC-MOS NOR-Gate miteinander verknüpft.

Fehlermeldung, Rückregelung - Rücklauf

Wird die rücklaufende Leistung zu groß, greift die Rücklaufspannung $U_{RÜCKINTA}$ über eine Diode auf den Sollwert (Ausgang Besselfilter) des Regelkreises ein. Ebenso greift über eine Diode die Rücklaufspannung eines eventuell vorhandenen Boosters ein.

Die maximal mögliche Rücklaufleistung wird so auf etwa 37 dBm begrenzt. Außerdem gelangt die Rücklaufspannung $U_{RÜCKINTA}$ auf einen einstellbaren Komparator. Mit einem Potentiometer ist die Ansprechschwelle der Fehlermeldung zwischen 36 dBm und 27 dBm Rücklaufleistung einstellbar. Der Komparator verknüpft sein Ausgangssignal mit dem äquivalenten Signal eines eventuell vorhandenen Boosters und bildet die Fehlermeldung -SERUE.

-SERUE = "H".....Rücklauf in Ordnung

-SERUE = "L".....Rücklauf zu groß

Fehlermeldung, Eingangsleistung

Wird die vom Modulator gelieferte Eingangsleistung zu klein (≤ 7 dBm), wird die Fehlermeldung -HFPEG abgegeben. Um eventuelle Bauteiletoleranzen des Gleichrichters auszugleichen, ist der für die Fehlermeldung zuständige Komparator mit einem Widerstand abgleichbar. Um ein sicheres Umschalten der Fehlermeldung zu gewährleisten, wurde der Umschaltpunkt mit Hysterese ausgelegt (+ 3 dB --> Umschaltchwelle 7/10 dBm).

Der Ausgang des Komparators liefert die Fehlermeldung -HFPEG.

-HFPEG = "H".....Eingangsleistung ≥ 10 dBm

-HFPEG = "L".....Eingangsleistung ≤ 7 dBm

Fehlermeldung, Regelspannungsüberwachung

Die Regelspannung U_{REG} wird mit einem Fensterkomparator überwacht. Die Grenzwerte wurden dabei, unter Berücksichtigung von Betriebsspannungsschwankungen und Operationsverstärkertoleranzen, (Aussteuerbereich) auf ± 7 V gelegt.

Ist die Regelspannung außerhalb des Regelbereiches, liefert die Regelspannungsüberwachung die Fehlermeldung -SELEI.

-SELEI = "H".....Regelspannung innerhalb des Regelbereiches

-SELEI = "L".....Regelspannung außerhalb des Regelbereiches.

Fehlermeldung, Vorlauf

Wird die vorlaufende Leistung zu klein, wird die Fehlermeldung -SEVOR abgegeben. Die Ansprechschwelle der Fehlermeldung -SEVOR ist mit einem Potentiometer um etwa 6 dB veränderbar. Um ein sicheres Umschalten der Fehlermeldung zu gewährleisten, ist der Umschaltpunkt mit Hysterese ausgelegt.

Der Ausgang des Komparators liefert die Fehlermeldung -SEVOR.

-SEVOR = "H".....Vorlauf in Ordnung

-SEVOR = "L".....Vorlauf zu klein

4 Funkkanalsteuerung

4.1 CPU S42025-H418-*1 + Software S42025-H432-A150

Die CPU-Baugruppe (Bild 13) wird in allen Einsätzen der Funkperipherie in der Basisstation verwendet. Der Rechner übernimmt Aufgaben der Betriebs-, Vermittlungs-, Funk- und Sicherheitstechnik, die innerhalb des jeweiligen Systems über die Schnittstellen zur Funkdatensteuerung und der Funkebene abgewickelt werden.

Dazu gehören folgende Aufgaben:

- Steuerung des Datendialoges über serielle Schnittstelle zur FDS und die Funk-schnittstelle (Datensicherungsverfahren).
- Verarbeitung der Empfangskriterien aus der Rechnerperipherie (Feldstärke, Jitter, Offset, Phasenlage, Entfernungsbewertung).
- Steueranweisungen und Einstellungen für das Funkgerät (Synthesizer, Sendeleistung, Offsetkorrektur).
- Auswerten und Umsetzen der internen Störungssignalisierungen.

Die Baugruppe enthält folgende Funktionseinheiten, die in den einzelnen Unterabschnitten näher erläutert sind:

- 80C85 Prozessor
- Speicherbereich
EPROM: Grundbereich 16k, zwei Bänke à 32k
RAM: 8k
- USART für serielle Schnittstelle
- TIMER für Interrupterzeugung
- zwei VLSI-Bausteine mit den Funktionen:
Erzeugen aller Takte für Funkkanalsteuerung und Funkgerät.
Erkennen des Zeitbezugs aus den empfangenen Signalisierungsdaten (Korrelationsempfänger).
Aufbereiten der Signalisierungsdaten (Codieren) zum gesicherten Aussenden.
Empfangen der Signalisierungsdaten mit Fehlerkorrektur (Decodieren).

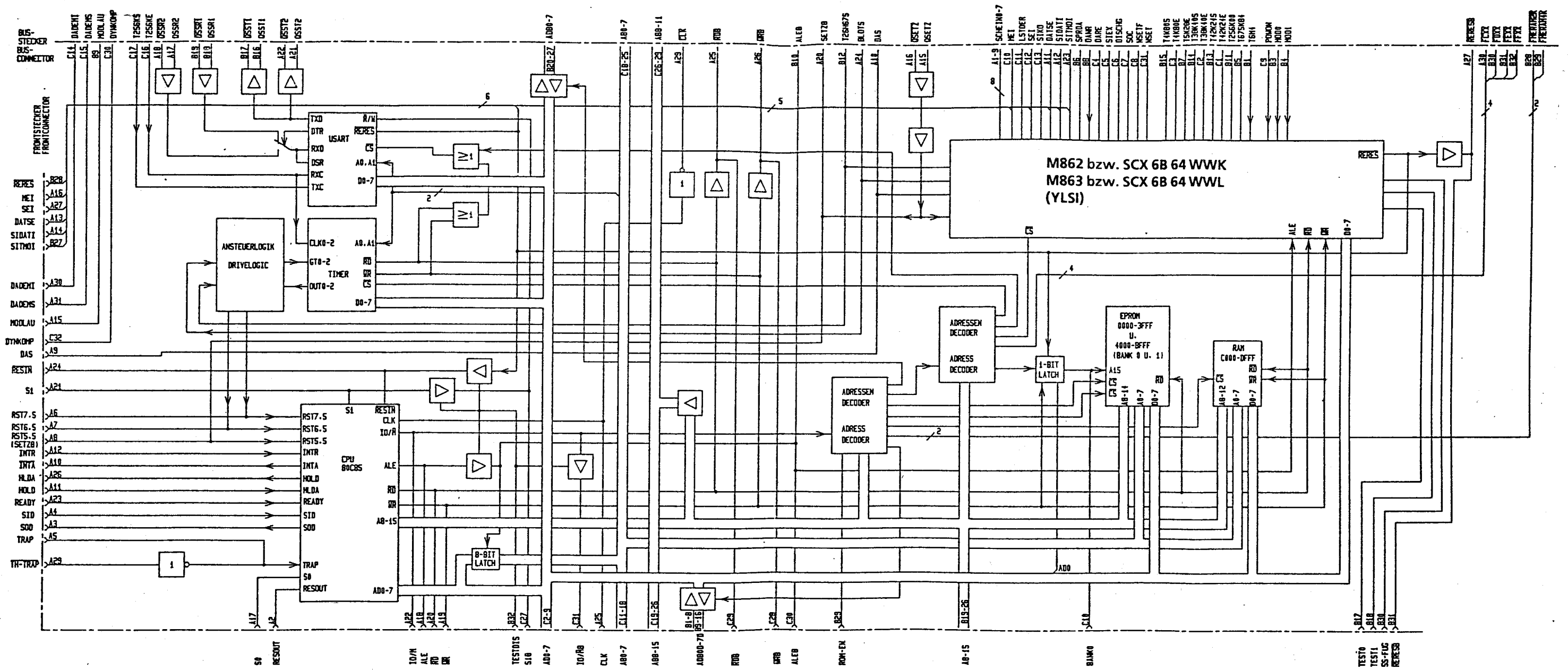


Bild 13 Übersichtsschaltplan CPU

S42023-H149-E1-1-18



Ermitteln der Signalgüte der empfangenen Signalisierungsdaten.

Messen des Geräuschabstandes (Jittermesser).

Messen der Gleichspannungsablage des Analogsignals und Ausgabe des Offsetkorrekturwertes.

Entfernungsmessung

Fehlerüberwachung

fehlendes Setzsignal

Fehler Sendeteilerkette

Synchronlauf Sende- und Empfangsbaustein

Watchdog.

Die CPU-Baugruppe hat einen Diagnosestecker, dessen Belegung für alle in der Basisstation verwendeten Rechnersysteme gleich ist. Der Diagnosestecker enthält den gepufferten Adressen-, Daten- und Steuerbus für den Betrieb des Prozeßverfolgers sowie auch die ungepufferten Anschlüsse des CPU-Bausteines (für externen Betrieb mit dem ICE).

4.1.1 CPU-Baustein 80C85, Adressen-, Daten- und Steuerbus

Bild 14 zeigt die einzelnen Steuersignale der CPU, die vom 80C85-Baustein zu den Steckern sowie zu den Funktionseinheiten geführt werden.

Wie Bild 14 zeigt, sind alle CPU-Signale grundsätzlich direkt zum Diagnosestecker geführt, da ja über diesen der Betrieb eines ICE (z.B. mit Hilfe des ICE-B-Adapters) möglich sein muß. Eingangsleitungen (also Leitungen mit Signalen, die zur 80C85 gehen) sind je nach Erfordernis mit einem Pull-up- oder einem Pull-down-Widerstand versehen, um definierte Pegel zu erreichen, wenn der Diagnosestecker nicht benützt ist (SID = "1", INTR = "0", HOLD = "0", READY = "1", -TH-TRAP = "1"). Um einen TRAP auszulösen, muß der Eingang -TH-TRAP benutzt werden.

Ein Teil der Signale wird gepuffert (über HCT244) weitergeführt, sowohl auf den Diagnosestecker (zusätzlich zu den ungepufferten), als auch auf den Busstecker (Buchstabe B nach dem Signalnamen bedeutet "gepuffert": ALEB, -WRB, -RDB, RERESB).

Das Signal RERESB (identisch mit dem RESET IN des 80C85) wird vom VLSI-Sendebaustein erzeugt (als RERES, geführt über einen Treiber HCT244). Außerdem wird noch das CLK-Signal der CPU zum Busstecker geführt, allerdings über einen Inverter HCT04 und ein RC-Glied (Verringern der Flankensteilheit um Störeinflüsse zu vermindern). Auf der Baugruppe selbst werden benötigt: ALEB, -RD, -WR, S1B, IO/-M für Speicher und Peripherie.

So wie für die Steuerleitungen, gilt auch hier, daß die Adressen- und Datenleitungen AD0-7 und A8-A15 des 80C85 direkt auf den Diagnosestecker geführt sind.

Bild 15 zeigt, in welcher Weise die gepufferten Busleitungen weitergeführt sind. Die Datenleitungen (ADB0-7) zum Busstecker sind über einen bidirektionalen Treiber HCT245 geführt, dessen Richtung durch das RD-Signal gesteuert wird. Der Treiber wird mittels Adressbereichs-Auswahl-Signal aus einem PAL-Baustein aktiviert.

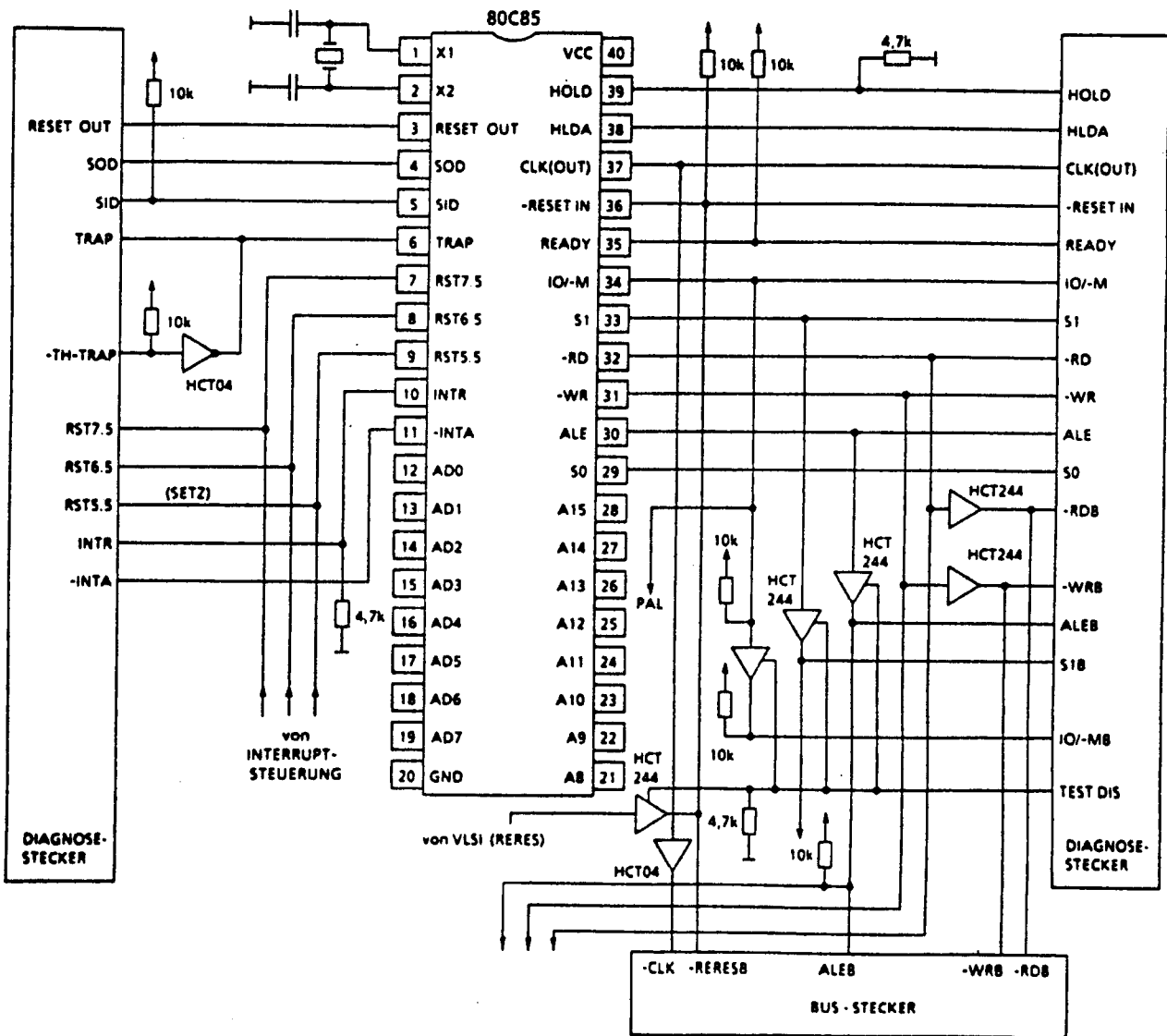
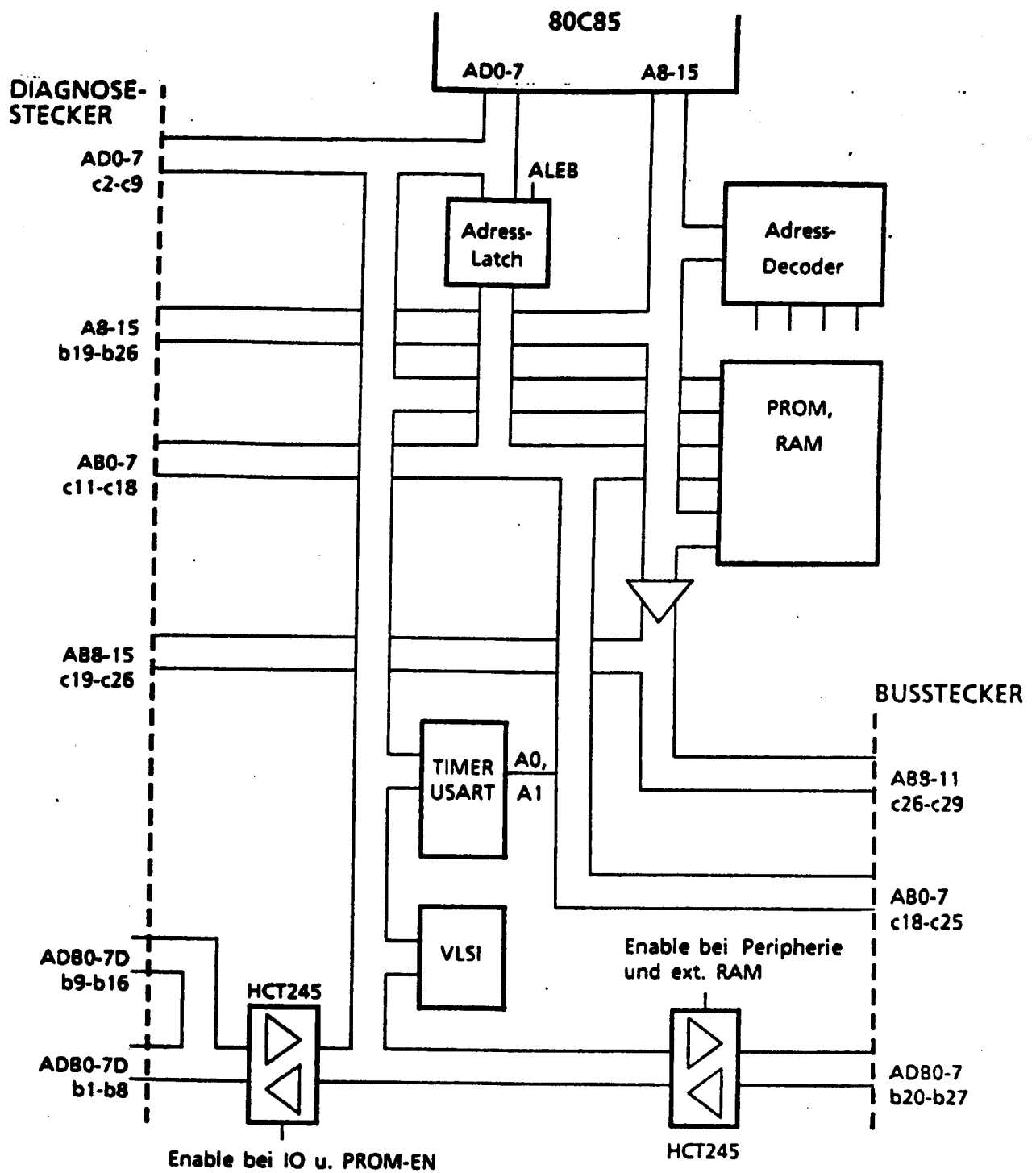


Bild 14 "80C85"- Steuersignale



A.....Adr. Bus
 AD...Adr. - Datenbus
 AB....Adr. Bus, gepuffert
 ADB.Adr. - Datenbus, gepuffert

Bild 15 Schema der Adressen- und Datenleitungen

Die Datenleitungen für den Diagnosestecker sind ebenfalls über einen HCT245 (IC 39) geführt. Die Richtungssteuerung wird wieder mit dem RD-Signal vorgenommen. Ein Signal vom PAL (IC 32/19) sorgt wieder für die Aktivierung (Bereich 0-FF, IO adressiert und bei PROM-EN von 0-BFFF, Memory adressiert).

Eine grobe Adressendecodierung für die einzelnen Komplexe wird zunächst mit dem PAL (IC 32) vorgenommen, das die Signale IO/-M, ROM-EN und die Adressenleitungen A10-A15 entsprechend decodiert. ROM-EN ist ein Signal, das vom Diagnosestecker kommt und von außen – z.B. auf dem CPU-Adapter – auf "0" gelegt werden muß, wenn anstelle des Speichers auf der CPU-Baugruppe ein externer Speicher (z.B. auf dem CPU-Adapter) benutzt werden soll. Die IO/-M-Leitung sorgt dafür, daß mit IO-Befehlen nur Peripherie, die am Diagnosestecker angeschlossen ist, angesprochen werden kann.

4.1.2 Speicher

Der PROM-Bereich ist unterteilt in einen Grundbereich von 0000 bis 3FFF (auf IC-Platz 36 ist dafür ein 16k-EPROM eingesetzt; es kann auch ein 32k-EPROM gesteckt werden, allerdings muß das Programm auf der oberen EPROM-Hälfte stehen) und in den Bankbereich.

Der Bankbereich 4000-BFFF wird mittels Bankumschaltung doppelt verwendet. Als Speicherbaustein dient ein 64k-EPROM (IC 35). Die Bankumschaltung wird durch Schreiben einer "0" (für Bank 0) oder einer "1" (für Bank 1) auf Adresse FB00, Bit 0 durchgeführt. Wird die Bankumschaltung nicht benützt, so ist auch ein 32k-EPROM verwendbar. Es muß jedoch auf Bank 1 geschaltet werden, damit $V_{pp} = \text{high}$ ist (siehe Baustein-Spezifikationen).

Um ein gegebenenfalls extern auf dem CPU-Adapter gelegenes EPROM (oder RAM) ebenfalls bankmäßig ansteuern zu können, wird das Bankumschaltesignal ("Bank 0") auch auf den Diagnosestecker geführt, und zwar invers.

Der RAM-Bereich liegt von C000 bis DFFF.

4.1.3 Interruptsteuerung

Standardmäßig werden die Interrupts RST5,5, RST6,5 und RST7,5 verwendet. Der TRAP kann über den Diagnosestecker für Testzwecke benützt werden.

Der RST5,5 wird durch das Setzsignal ausgelöst, das über den Empfangsbaustein SN75173 aus der Gestellverdrahtung (vom Frequenzverteiler) kommt.

Der RST6,5 tritt im Blockrastrer auf: mit steigender Flanke des Signals BLOTS ("Blocktor senden" aus VLSI, zu Beginn Bit 191 Sendeteilerkette) wird der Interrupt gesetzt, mit steigender Flanke des Taktes T26H67S (aus dem VLSI) – das ist zu Blockwechsel – wird er wieder zurückgenommen (siehe Bild 16).

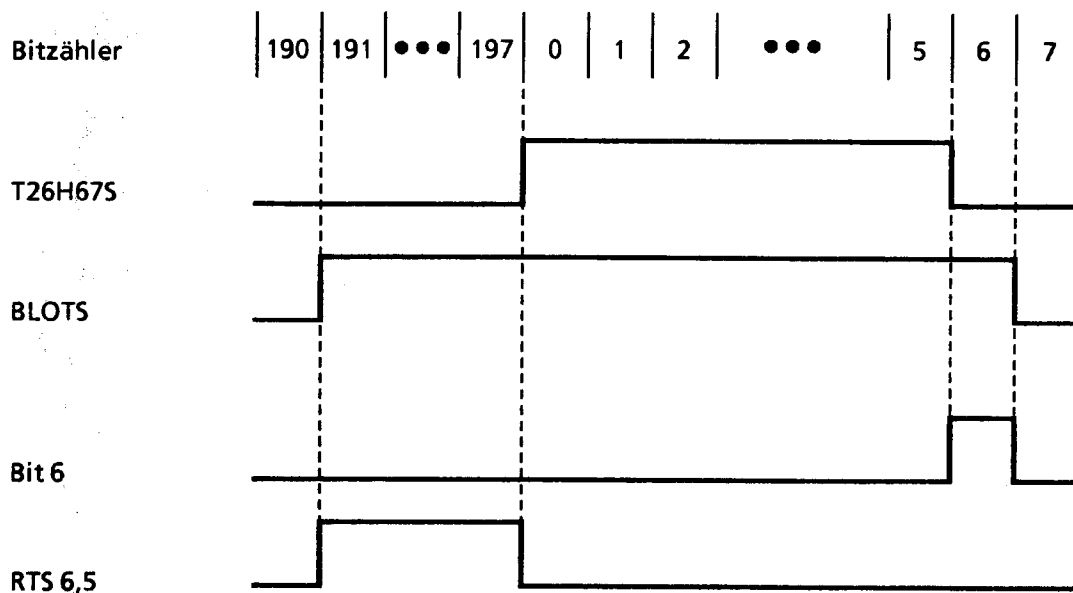


Bild 16 Interrupterzeugung

Der RST7,5 wird mit Hilfe des Timerbausteins 82C54 erzeugt. Durch entsprechende Programmierung des Bausteins werden bis zu drei verschiedene Interrupts RST7,5 während eines Blockes generiert.

Der Timer wird mit den Adressen FA00 bis FA03 adressiert.

4.1.4 Serielle Schnittstelle

Der Datenaustausch über die serielle Schnittstelle zur Funkdatensteuerung geschieht innerhalb eines Funkblocks (37,5 ms) in jeweils zeitprogrammierten Sende- und Empfangsschlitzten. Die Datengeschwindigkeit innerhalb dieser Signalisierungsbursts beträgt 256 kBd. Für den Datenaustausch auf dieser Schnittstelle wird der USART Baustein 2661, für die Festlegung des Zeitpunktes dieses Dialogs der Baustein 82C54 eingesetzt, der am Rechner einen Interrupt (RST7,5) erzeugt (siehe Abschnitt 4.1.3).

Der Baustein 2661 wird mit einer Bitrate von 256 kBd synchron mit dem Empfangstakt T256KE und dem Sendetakt T256KS aus der Interfacekarte betrieben. Der Sendetakt T256KS hat einen Vorlauf, der ungefähr die doppelte Laufzeit der Verbindungskabellänge ausmacht (fest eingestellt), so daß in der Funkdatensteuerung für Sende- und Empfangseinrichtung derselbe 256-kHz-Takt verwendet werden kann. Als Adressenbereich für den USART wird F900-F903 verwendet.

Die beiden Treiberbausteine (im 74ALS1631N) werden parallel vom USART angesteuert; für die Empfangseinrichtung sind es ebenfalls zwei Bausteine (im SN75173). Je nachdem, welche der beiden FDS in Betrieb ist, wird über die DTR-Leitung der eine oder der andere Baustein zum USART durchgeschaltet.

4.1.5 VLSI-Bausteine

Die beiden 48poligen C-MOS-Bausteine M862 bzw. SCX 6B 64 WWK und M863 bzw. SCX 6B 48 WWL (mit VLSI-Baustein bezeichnet) enthalten wesentliche Funktionen der Funkkanalsteuerung. Sie haben eine 8085-kompatible Busschnittstelle, die die Signale AD0-7 (8-bit-Adressen-Daten-Bus), ALE (Adress Latch Enable), -RD (Read), -WR (Write) umfaßt. Mit Hilfe des Decoderbausteins (HCT138) auf der CPU wird das Chip-Select-Signal (-CS) erzeugt, das den Ansprechbereich der VLSI-Bausteine auf F800 bis F8FF festlegt. Die niederen acht Adressenbits werden mit Hilfe des ALE-Signals über AD0-7 in die VLSI-Bausteine gespeichert.

Die Pins MOD0, MOD1 sowie TEST0 und TEST1 legen die Betriebsarten der Bausteine fest. Für den OSK oder SPK liegen MOD0 und MOD1 auf "0". TEST0 und TEST1 sind "0" bei Normalbetrieb. Für Testzwecke kann mit TEST0 = 0 und TEST1 = 1 die verteilte Signalisierung abgeschaltet werden (geschieht über den Diagnosestecker mit Hilfe des CPU-Adapters).

Das Bild 17 zeigt die wesentlichsten Funktionsblöcke der VLSI-Bausteine. Alle Funktionsblöcke werden über die Busschnittstelle bedient (im folgenden werden die beiden Bausteine als Einheit betrachtet, so daß auch nur von einer Busschnittstelle gesprochen wird, obwohl natürlich jeder Baustein eine eigene Schnittstelle hat).

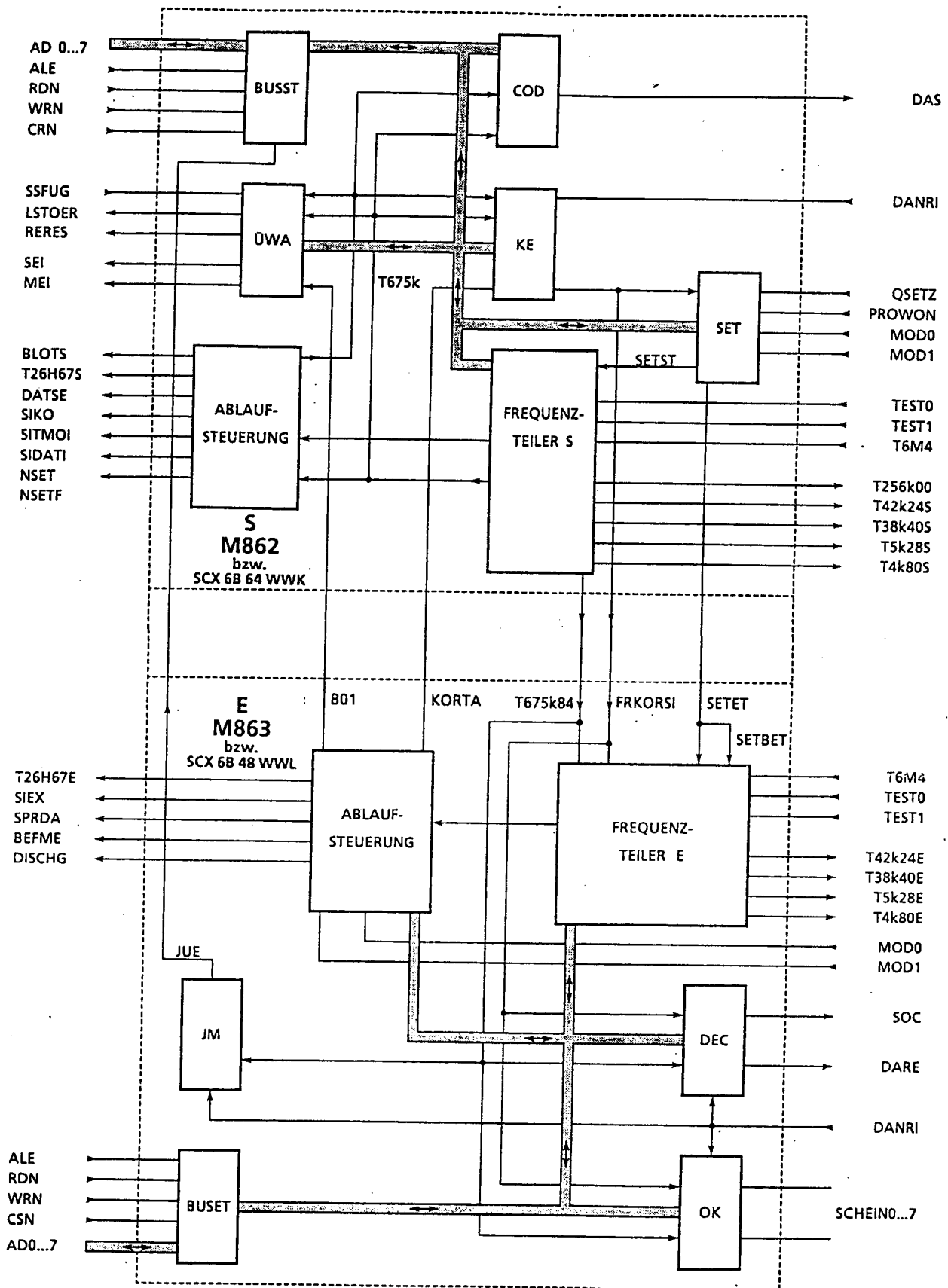


Bild 17 Übersichtsschaltplan der Bausteine M862 bzw. SCX 6B 64 WWK und M863 bzw. SCX 6B 48 WWL

Das Bild 18 zeigt die über die Pins geführten Signale und ihre Einbettung innerhalb der CPU-Baugruppe.

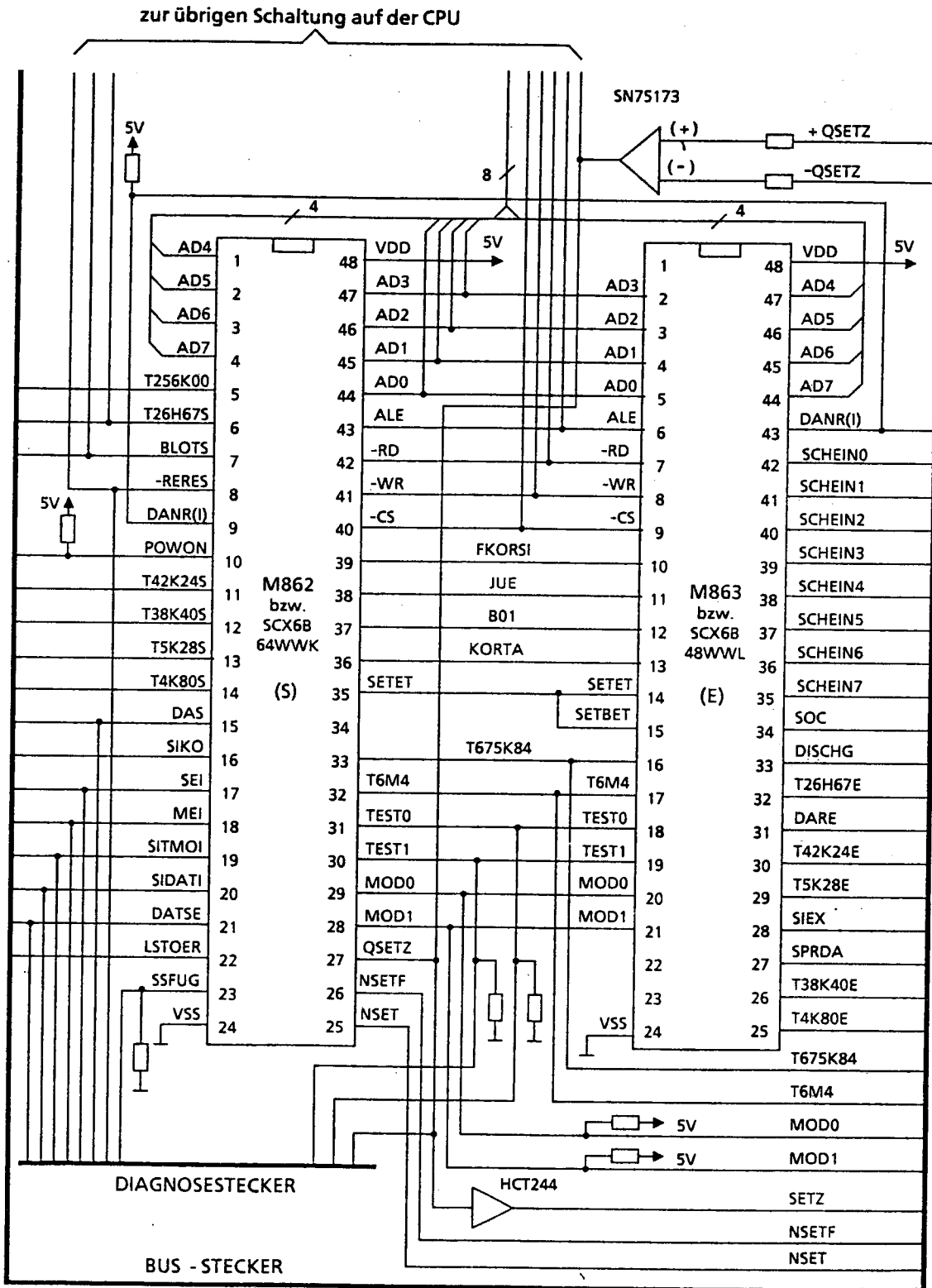


Bild 18 Anschlußschema der VLSI-Bausteine

4.1.5.1 Takterzeugung

Grundlage aller erzeugten Takte ist der Eingangstakt 6,4MHz. Von diesem werden die einzelnen Takte abgeleitet. Die Signalnamen der Takte setzen sich aus den Buchstaben T und der Frequenzangabe zusammen, wie aus folgendem Schema ersichtlich ist (Bild 19).

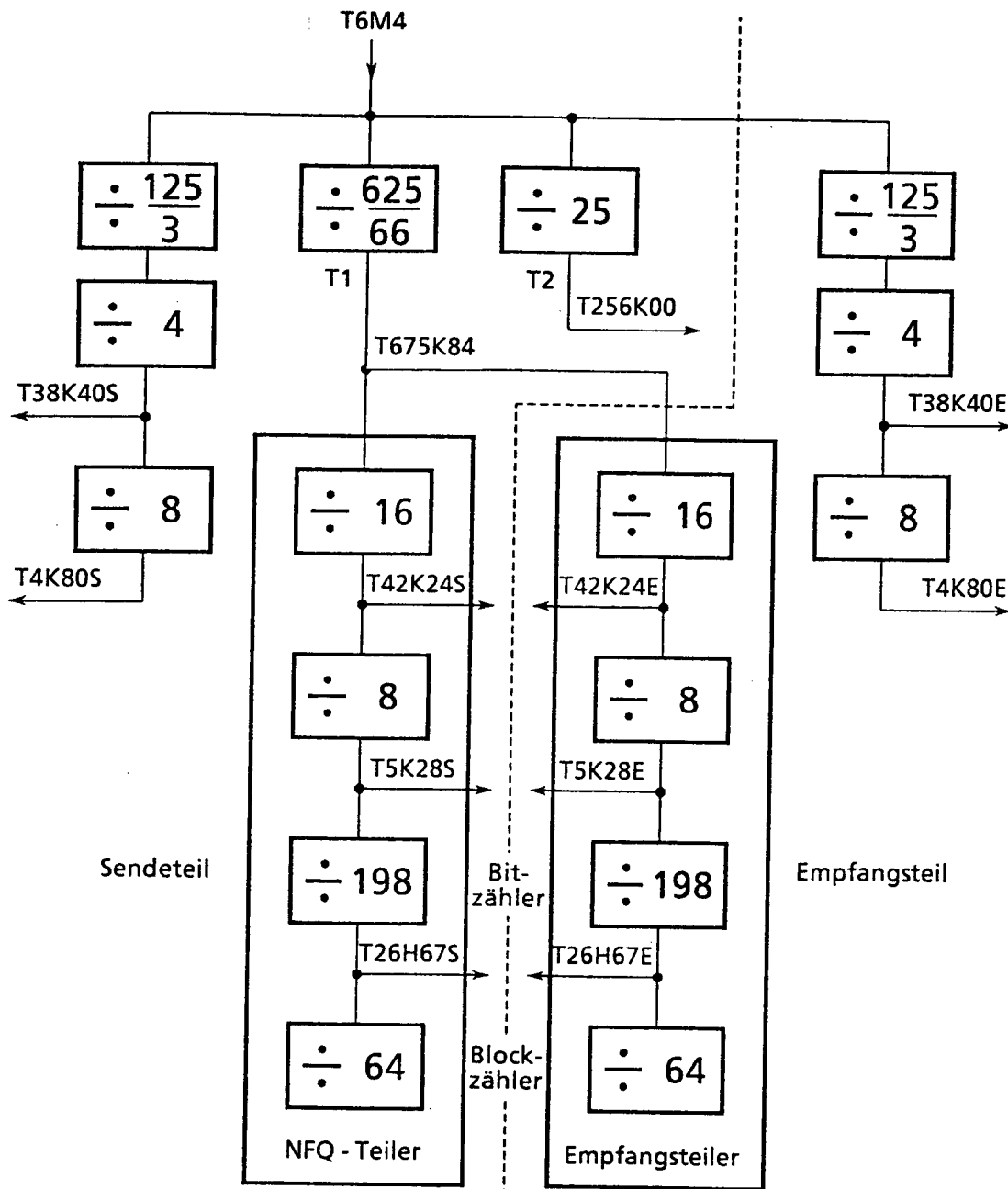


Bild 19 Übersichtsschaltplan der Frequenzteiler für Sende- und Empfangsteil

Da Sende- und Empfangsrahmen zueinander zeitversetzt sein können, ist ein Großteil der Takte zweimal vorhanden: S für Sendeseite, E für Empfangsseite. Ein Teil der Takte läßt sich nicht durch rationale Teilerhältnisse erzeugen und weist daher einen Jitter auf (siehe folgende Tabelle).

Taktname	erzeugt aus	Teilungsfaktor	Phasenjitter
T675K84	T6M4	625/66	- 78,15 – 146,78 ns
T256K00	T6M4	25	0
T42K24S,E	T675K	16	- 4,7 – 146,78 ns
T5K28S,E	T42K24S,E	8	- 4,7 – 146,78 ns
T26H67S,E	T5K28S,E	198	0
T38K40S,E	T6M4	500/3	104,17 ns

Außerhalb der VLSI-Bausteine werden folgende Takte verwendet:

T675K84: Taktung für A/D-Wandler für Feldstärke

T256K00: Takt für serielle Schnittstellen

T26H67S: Einlatchen von Port-Signalen

T38K40S,E

und T42K24S,E: Takte für Komprimierung und Expandierung der Sprache.

4.1.5.2 Teilerketten

Mit T675K84 werden die beiden Teilerketten (Sendeteiler und Empfangsteiler) getaktet. Mittels Teilung durch 128 entsteht der Bittakt von T5K28S bzw. E (siehe auch obige Tabelle), eine weitere Teilung durch 198 ergibt den Blocktakt T26H67S bzw. E, mit dem schließlich der Blockzähler gezählt wird. 64 Blöcke zu je 37,5 ms bilden einen Rahmen, der demnach 2,4 s lang ist.

Der Bitzählerstand der Sendeteilerkette kann über die Busschnittstelle gelesen werden (Adresse F815), ebenso der Stand des Sendeblockzählers (Adresse F81C).

Beide Teilerketten können über verschiedene externe und interne Signale auf bestimmte Werte gesetzt werden.

Externe Signale

POWON entsteht bei Einschalten der Spannung oder bei RESET
erzeugt internes POP-Signal (power-on-puls).

QSETZ Rahmensetzsignal
erzeugt mit Rückflanke internes Setzsignal QSET.

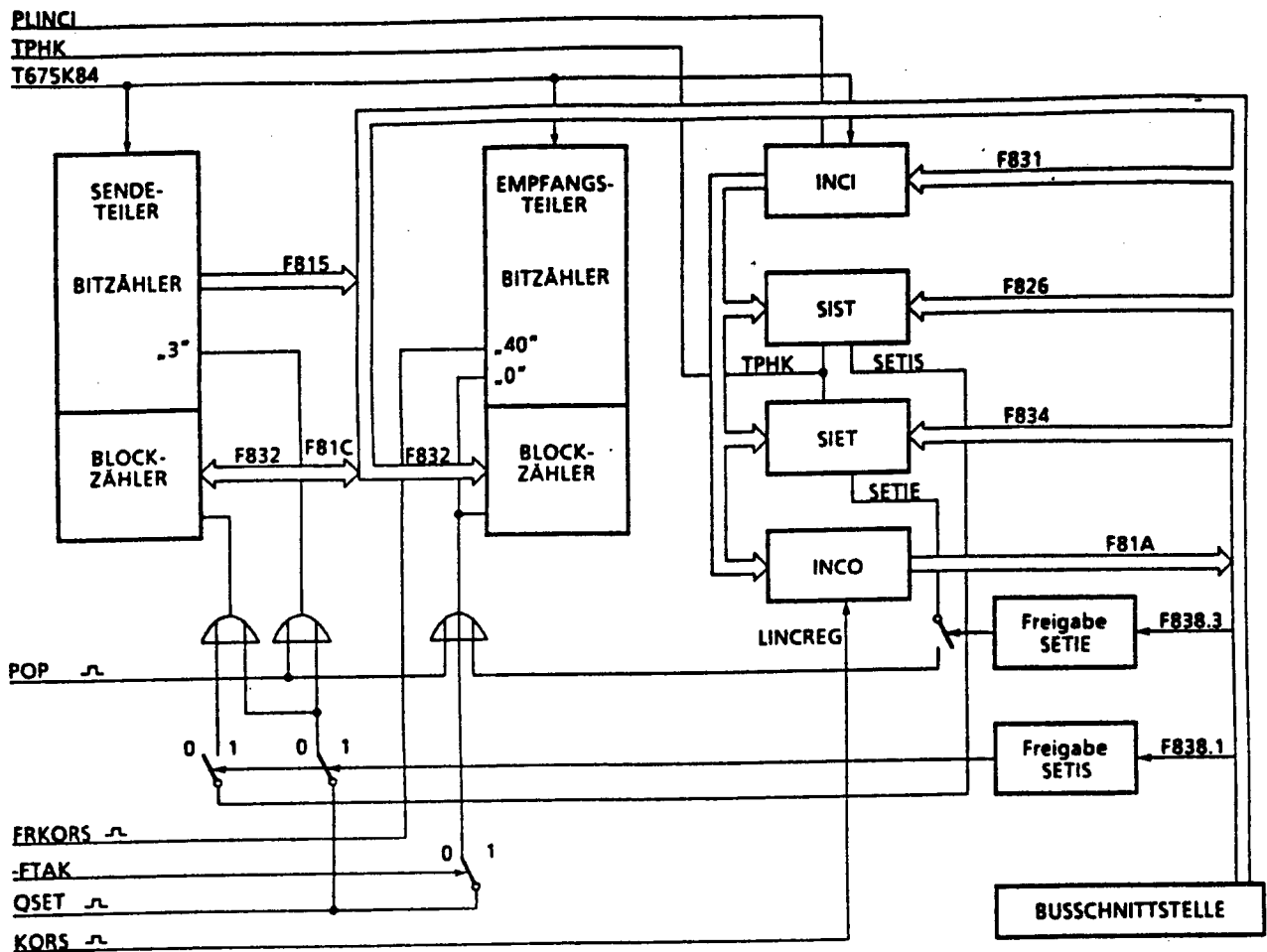
Beide Signale setzen alle Teiler einschließlich Teilerkette.

Interne Signale

FRKORS ("freigegebenes Korrelationssignal") und die Setzsignale **SETIS**, **SETIE** (indirektes Setzen) aus dem Inkrementierungszähler setzen die beiden Teilerketten (ab T675k84).

Mit **FRKORS** wird der Bitzählerstand der Empfangsteilerkette auf 40, mit den anderen Setzsignalen auf 0 gesetzt. Die Sendeteilerkette wird auf Bit 3 gesetzt.

Einzelheiten dazu zeigt Bild 20.



- LINCREG Laden Incrementierungsregister (INCO)
- SIST, SETIS Setzen indirekt, Sendeteiler
- SIET, SETIE Setzen indirekt, Empfangsteiler
 SIET und SIST sind die Vergleichswerte für die Phase, die auf den Adressen F826 und F834 eingespeichert werden. Bei Gleichheit mit dem Stand des Incrementierungszählers werden die Impulse SETIS bzw. SETIE erzeugt, die die Teilerketten setzen, falls die Impulse über F838.1 und F838.3 freigegeben sind
- TPHK Tor Phasenkorrektur (2 bit lang)
- PLINCI Laden Incrementierungszähler

Bild 20 Teilerketten setzen

4.1.5.3 Ablaufsteuerung

Die Ablaufsteuerung erzeugt Signaltore für die einzelnen Funktionsblöcke und für externe Anschlüsse. Die zeitliche Lage der Signaltore ist zum Teil von der Betriebsart abhängig, und zwar im wesentlichen vom Zustand konzentrierte/verteilte Signalisierung.

Konzentrierte Signalisierung: Organisationskanal (Datentrieb), Aussenden der Signalisierungsinformation innerhalb eines Blocks.

Verteilte Signalisierung: Sprachbetrieb, Aussenden der Signalisierungsinformation in Zeitschlitzten während eines Unterrahmens = 16 Blöcke.

Das Steuerbit F838.2 (SDOT) (F832.2 bedeutet Adresse F832, Bit 7) bestimmt den Zustand konzentrierte / verteilte Signalisierung. SDOT wird blockweise getaktet, beim Sendebaustein mit T26H67S, beim Empfangsbaustein mit T26H67E. Das getaktete Signal heißt SPRDA (SPRDA = "0": verteilte Signalisierung).

Alle Signaltore sind beim Sendebaustein synchron zum Takt T5K28S und beim Empfangsbaustein synchron zum Takt T5K28E.

Folgende Signale werden aus den VLSI-Bausteinen nach außen geführt und im OSK verwendet:

T26H67S Takt 26,67Hz, von Beginn Bit 0 bis Ende Bit 5 jedes Blocks auf "1", sonst "0".

BLOTS "Blocktor senden", von Beginn Bit 191 jeden Blocks bis Ende Bit 6 des folgenden Blocks auf "1", sonst "0".

SOC "Start of Conversion" wird aus dem internen Signal STD gewonnen, das im Decoder am Beginn jedes Decodiervorganges erzeugt wird. Es startet die Verschlüsselung im A/D-Wandler für die Umsetzung der Feldstärke.

DISCHG "Discharge": Entladeimpuls für Ladekondensator (Feldstärkemessung), zu Beginn jedes Blocks bei konzentrierter Signalisierung, zu Beginn jedes Unterrahmens bei verteilter Signalisierung.

Weitere in der Ablaufsteuerung erzeugte Signale werden VLSI-intern verwendet und z.T. in den weiteren Kapiteln erwähnt (z.B. LOFF, SINTO, SDEC usw.).

4.1.5.4 Überwachung und Rechnerreset

Zur Programmlaufkontrolle gibt es einen Watchdog, der mindestens einmal je Block retriggert werden muß. Das geschieht durch Schreiben einer "1" auf F82A.2. Ist das nicht der Fall, wird die Störungsmeldung WADOG erzeugt. Außerdem erscheint am Ausgang RERES-(Rechner-Reset) ein "0"-Impuls, der den 80C85-Baustein sowie einige Peripheriebausteine zurücksetzt. Der Watchdog wird ferner in einen passiven Zustand versetzt; er wird erst wieder durch die nächste Retriggerung aktiviert.

Bei Störung oder Ausfall der Versorgungsspannung oder bei Betätigen der Reset-Taste, was bei POWON = "0" signalisiert wird, wird ebenfalls ein Reset-Signal (Ausgang RERES = "0") erzeugt.

Zum Überwachen der Teilerketten gibt es weitere Fehlermeldungen ("0" bei Fehler):

FTAK Fehler Teilerkette außer Kontrolle

FQSET fehlendes QSET

FSTK Fehler Sendeteilerkette.

FTAK tritt auf, wenn Sendeteilerkette und Empfangsteilerkette um mehr als ± 1 bit auseinanderliegen (Überwachung nur im Block 0, es müssen daher auch beide Blockzähler synchron laufen).

FQSET tritt auf, wenn während eines Rahmens kein QSETZ festgestellt wird.

FSTK tritt auf, wenn die negative Flanke von QSETZ nicht mehr in den Bereich Bit 2,5 bis Bit 3,5 der Sendeteilerkette fällt.

Bei Einschalten der Versorgungsspannung (PPOWON = "0") werden FTAK und FQSET in den Zustand "0" (d.h. Fehler) gebracht, WADOG auf "1" (kein Fehler). Der Zustand der Fehlermeldungen kann in ein Störungsregister übernommen werden, das über die Busschnittstelle mit Adresse F816 auslesbar ist:

Bit 0: FTAK

Bit 1: WADOG

Bit 2: FQSET

Bit 7: FSTK.

Die Übernahme in das Störungsregister geschieht entweder beim Auftreten einer Störungsmeldung – wenn noch keine andere Störungsmeldung vorliegt – oder durch kurzes Einschreiben einer "1" auf Adresse F82A ("Laden Störungsregister").

In beiden Fällen erscheint am externen Anschluß LSTOER ein kurzer "1"-Impuls, mit dem die außerhalb der VLSI-Bausteine liegenden Störungsregister am Audio-Interface geladen werden.

4.1.5.5 Korrelationsempfänger

Der Korrelationsempfänger empfängt die nicht regenerierten (Signalisierungs-) Daten DANR (I). Am Anfang jedes Signalisierungsblocks befindet sich der Barkercode, der sich dreimal wiederholt. Aus dem empfangenen Barkercode ermittelt der Korrelationsempfänger den Zeitbezug für die Empfangsteilerkette und erzeugt das Zeitzeichen KORS (Korrelationssignal).

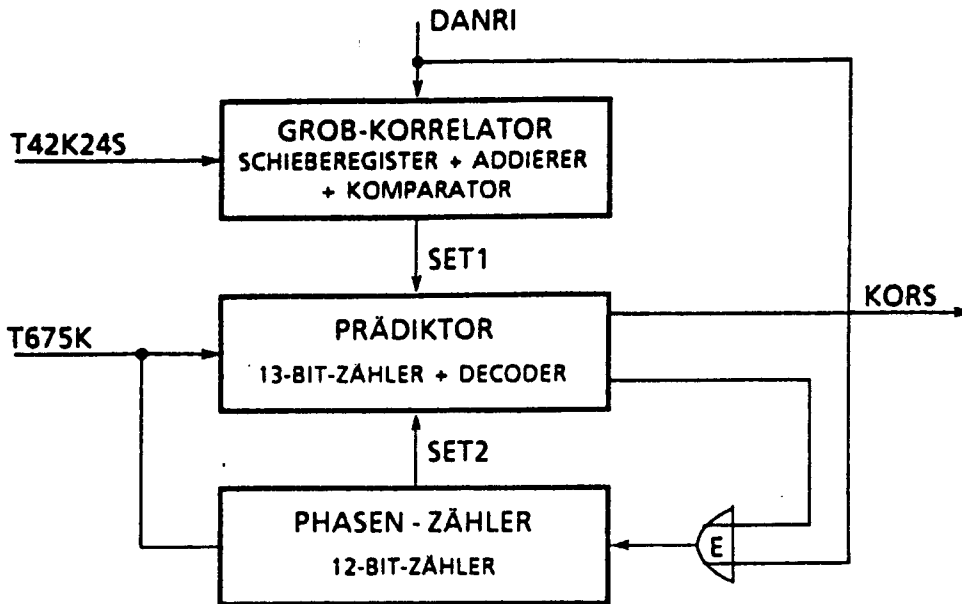


Bild 21 Übersichtsschaltplan des Korrelationsempfängers

Der Grobkorrelator taktet die einlaufenden Signalisierungsdaten mit 42,24kHz ab (acht Proben je Signalisierungsbit). Der Grobkorrelator erkennt den Barkercode, wenn

- im zeitlichen Abstand von $t = 1/T5K28$ jedes Signalisierungsbit mindestens die Pulsbreite $t = 1/T42K24$ hat

und

- der Barkercode höchstens einen Bitfehler enthält (siehe Bild 22).

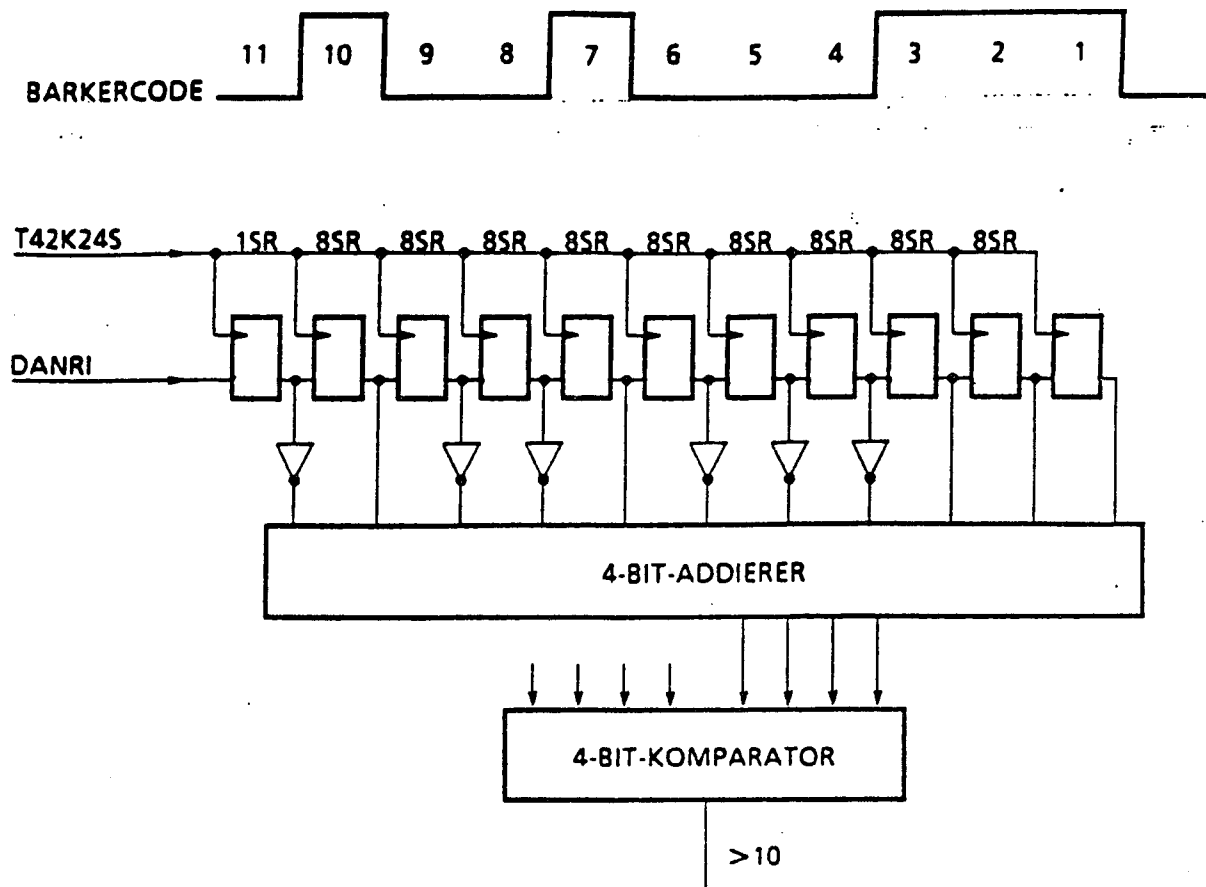


Bild 22 Grobkorrelator mit 81-bit-Schieberegister, 4-bit-Addierer und 4-bit-Komparator

Hat der Grobkorrelator den ersten Barkercode erkannt, dann setzt er einen Prädiktor, der ebenfalls den Barkercode erzeugt. Der Prädiktor vergleicht den eigenen mit dem empfangenen Barkercode und ermittelt dessen Phasenabweichungen.

Der zweite und dritte Barkercode enthalten insgesamt 12 Flankenwechsel. Nach vier Flankenwechseln und dann nach weiteren acht Flankenwechseln paßt sich der Prädiktor zeitlich dem empfangenen Barkercode an (schrittweise Annäherung). Der Korrelationsempfänger erzeugt ein Korrelationssignal KORS, wenn

- der Grobkorrelator drei aufeinanderfolgende Barkercodes erkannt hat und
- der zweite und dritte Barkercode im zeitlich richtigen Abstand zum ersten Barkercode stehen.

Der Zeitpunkt des Korrelationssignales ist:

$0,5 \cdot t_{675K}$ nach Bitmitte des dem Barkercode folgenden "Leerbits".

Die Betriebsarten des Korrelationsempfängers sind:

- Suchlauf (im OSK nicht verwendet)
- Normalbetrieb konzentrierte Signalisierung.

Die Betriebsarten werden über die Busschnittstelle eingestellt, und zwar auf Adresse F82C (beide Signale sind aktiv "1"):

F82C.7 Suchlauf Korrelationsempfänger

F82C.6 Freigabe Korrelationsempfänger.

Die Ausgangssignale des Korrelationsempfängers sind:

KORS (siehe oben)

FRKORS Freigabe Korrelationssignal
(UND-Verknüpfung von KORS und F82C.6)

KORSER (F819.7) Korrelationssignal erkannt

KORSZE (F819.6) Korrelationssignal im Erwartungszeitraum.

Einen Takt T5K28 vor dem Aussenden des Barkercodes wird der Registerinhalt F82C.7 (Suchlauf) in ein internes Register SU des Korrelationsempfängers übernommen, und es werden die Signale KORSER und KORSZE zurückgesetzt.

Die Ablaufsteuerung erzeugt Zeittore für das Erkennen der Korrelation:

SYNT Synchronisations-Erwartungstor.
Zeittor für das Erkennen des ersten Barkercodes durch den Grobkorrelator.
Dieses Zeittor ist 3 bit breit (2 bit: Bereich der Funklaufzeit,
1 bit: maximale Breite der Grobkorrelation).

SYKON Synchronisationskontrolle.
Zeittor für das Korrelationssignal KORS. Dieses Zeittor ist 2 bit breit.

In der Betriebsart Normalbetrieb muß der erste erkannte Barkercode innerhalb des Zeittores SYNT liegen, damit der Prädiktor gesetzt und freigegeben wird.

Es gilt für die Ausgangssignale:

Tor SYNT	dritter Barker-code erkannt	Tor SYKON	F82C.6 Freigabe Korrelations-empfänger	KORS	FRKORS	F819.7 KORSER	F819.6 KORSZE
ja	ja	ja	L	H	L	H	H
ja	ja	ja	H	H	H	H	H
ja	ja	nein	X	L	L	H	L
ja	nein	-	X	L	L	L	L
nein	-	-	X	L	L	L	L

Im Normalbetrieb gibt das Zeittor KORTA der Empfangsfrequenzteilerkette den Korrelationsempfänger frei.

4.1.5.6 Jittermesser

Mit Hilfe des Jittermessers wird über die Auswertung der Zeichenwechsel-Veränderungen der Geräuschabstand im Basisfrequenzband ermittelt. Die Jittermessung bewertet die Veränderung aller gleichpolarer Zeichenwechseländerungen (negative Flanken) im vorgegebenen Bewertungsintervall. Das Bewertungsintervall erstreckt sich bei konzentrierter Signalisierung über eine Blocklänge, bei verteilter Signalisierung über einen Unterrahmen (0,6 sec.). Der Jittermesser besteht im wesentlichen aus einem Auf-/Abwärtszähler (UD-Zähler), der als Modulo-Bit-Zähler arbeitet und mit dem Systemtakt (128fachen Bittakt) betrieben wird (siehe Bild 23).

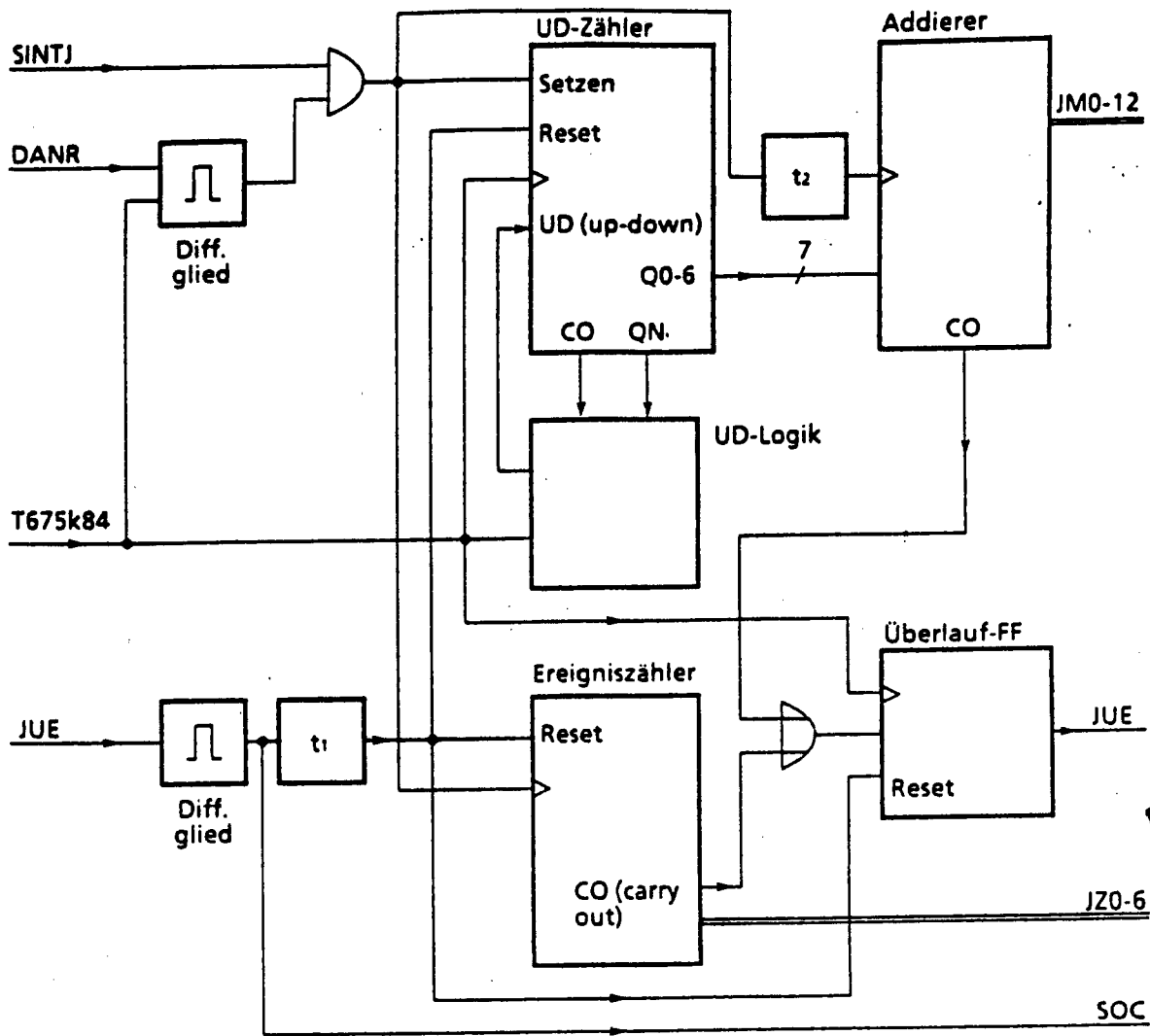


Bild 23 Übersichtsschaltplan Jittermesser

Seine Zählrichtung wird jeweils beim Zählerstand 0 und 63 umgekehrt. Mit dem ersten negativen Flankenwechsel des innerhalb des Bewertungszeitraums (SINTJ) einlaufenden Dateneingangssignals (DANR) wird der Zähler auf den Wert 1 geladen und der Bewertungsvorgang gestartet. Mit jedem negativen Flankenwechsel werden die jeweiligen Zählerstände des Auf-/Abwärtszählers in einen Addierer übernommen und aufaddiert. Gleichzeitig wird der Zähler auf den Wert 1 geladen und der Bewertungsvorgang neu gestartet. Nur bei störungsfreier Datenübertragung erreicht der Zähler am Ende jedes Bewertungsvorgangs zwischen zwei negativen Flankenwechseln den Wert 0 (siehe Bild 24). Ist der Abstand zweier aufeinanderfolgender negativer Flanken größer oder kleiner als die n -fache Bitbreite ($n > 1$), so ergibt sich aus dem Zählerstand des Modulo-Bit-Zählers der Absolutwert der zeitlichen Abweichung vom Sollwert als Jitterwert (siehe Bild 24), der in den Addierer addiert wird.

Ein Ereigniszähler registriert die Anzahl aller negativen Flanken innerhalb des Bewertungszeitraums (7 bit). Nach Ablauf des Bewertungszeitraums werden mit dem Signal STD (Stop Decoder) der im Addierer aufaddierte Jitterwert (JM) und der Zählerstand des Ereigniszählers (JZ) abgespeichert, und sie stehen zum Auslesen über die Busschnittstelle zur Verfügung. Unter der Adresse F849 läßt sich die Anzahl der negativen Flankenwechsel auslesen. Über die Adressen F84A und F84C kann auf den Jitterwert zugegriffen werden, wobei unter Adresse F84A das MSB (5 bit) und unter Adresse F84C das LSB (8 bit) abgespeichert sind.

Ebenfalls vom Signal STD abgeleitet wird ein Rücksetzsignal, mit dem UD-Zähler, Akkumulator und Ereigniszähler zurückgesetzt werden; diese sind somit für einen neuen Bewertungsvorgang vorbereitet.

Übersteigt der akkumulierte Jitterwert innerhalb eines Bewertungszeitraums den Wert $2^{13} = 8192$ oder ist die Anzahl der Zeichenwechsel größer als $2^7 = 128$, so steht am Ausgang Jittermesser-Überlauf (JUE) ein H-Pegel an. Das Signal JUE wird im Sendebaustein weiter verarbeitet und kann über die Busschnittstelle (Adresse F819.2) ausgelesen werden.

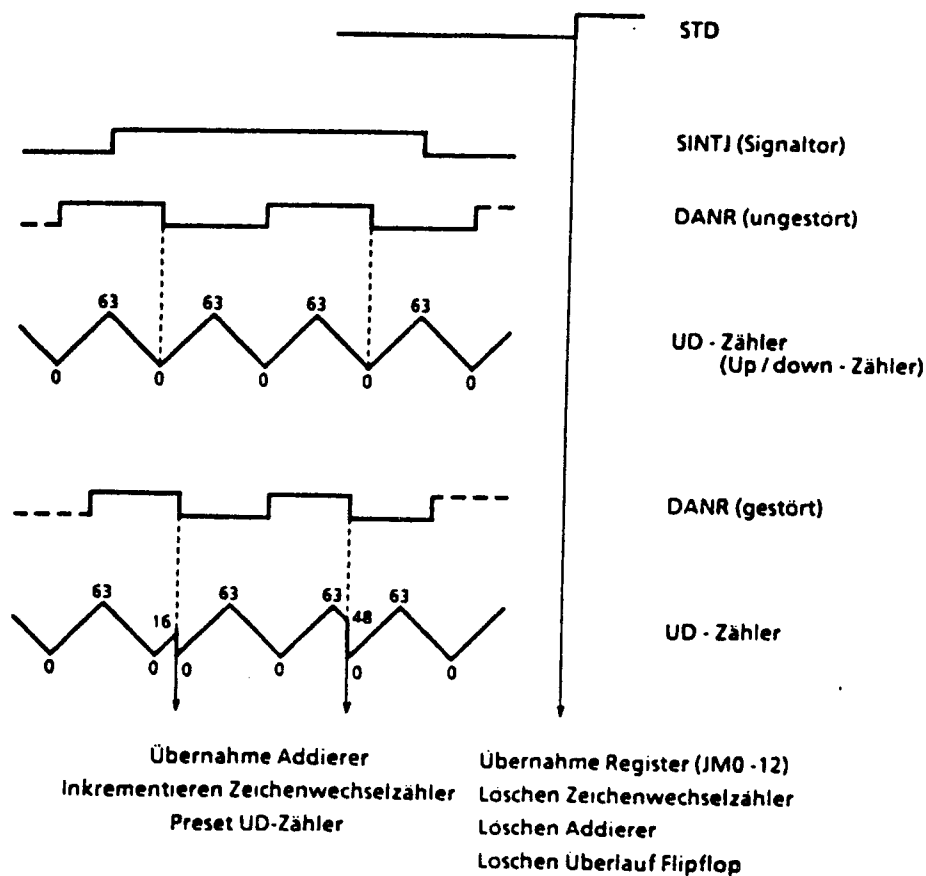


Bild 24 Funktion des Jittermessers

4.1.5.7 Offsetkorrektur

Die Offsetkorrektur wird mit Hilfe der im Bild 25 dargestellten Schaltung durchgeführt; sie besteht aus dem Offsetmesser im VLSI und der Schwellen-Vergleichsschaltung am AU-IF (siehe auch Kapitel 4.2). Weist das vom Empfänger kommende Signal DADEMI eine vom Mittelwert abweichende Gleichspannungsablage auf, so sind die "0"- und "1"-Bits des DANR-Signales nicht mehr gleich lang.

Funktionsweise des Offsetmessers

Der 128fache Bittakt (T675K84) zählt während des Bewertungszeitraums $SINTO = 1$ (das ist während des Barkercodes, Bit 11 bis einschließlich Bit 32) in einen 12-bit-UD-Zähler (Up/down-Zähler) ein.

Das Signal DANR (Daten nicht regeneriert) bestimmt die Zählrichtung: Signallage "0" entspricht der Zählrichtung abwärts, "1" aufwärts.

Außerdem ist zu beachten, daß am Beginn der Offsetmessung der D/A-Wandler mit dem Initialwert 80H (OFFE0-7 = SCHEIN0-7 auf Mittenwert) versorgt sein muß, so daß die Gleichspannungsablage des DADEMI-Signals den Flankenverschiebungen des DANR-Signals entspricht. Am Beginn des Bewertungszeitraums wird der Zähler auf 2304 eingestellt, d.i. um 2×128 über dem Mittenwert des Zählers $4096/2 = 2048$. Damit ist die Tatsache berücksichtigt, daß der Barkercode zwei "0"-Bit mehr als "1"-Bit enthält.

Durch den auf 2304 voreingestellten Zähler ist erreicht, daß im Idealfall (keine Gleichspannungsablage) der Zähler am Ende des Bewertungsintervalls auf 2048, also in Zählermitte steht. Mit dem Signal LOFF (Laden Offsetkorrektur) aus der Ablaufsteuerung wird der Zähler auf den Voreinstellwert gesetzt. SINTO gibt den Zähler frei. Der Zähler zählt nun entsprechend der Zeichendauer und des Zeichenzustandes aufwärts oder abwärts. Am Ende der Messung werden die acht höchsten Bits des Zählers abgespeichert und können über Adresse F846 vom Rechner gelesen werden (OFFA).

Die gelesenen Meßwerte der Offsetkorrektur werden im Rechner verarbeitet und daraus ein Wert für die Schwellwerteinstellung gewonnen. Dieser Wert kann über die Busschnittstelle (Adresse F864) eingeschrieben werden (OFFE) und erscheint als binäres Signal an den Ausgängen SCHEIN0-7.

Mit dem Signal FRKORS (aus M862 bzw. SCX 6B 64 WWK) wird das Ergebnis der Offsetmessung als Korrekturwert auf die Ausgänge SCHEIN0 - SCHEIN7 gelegt. Mit dem nächsten Signal LOFF wird der betreffende Multiplexer jedoch umgesteuert und der Rechner übernimmt die Schwellwerteinstellung.

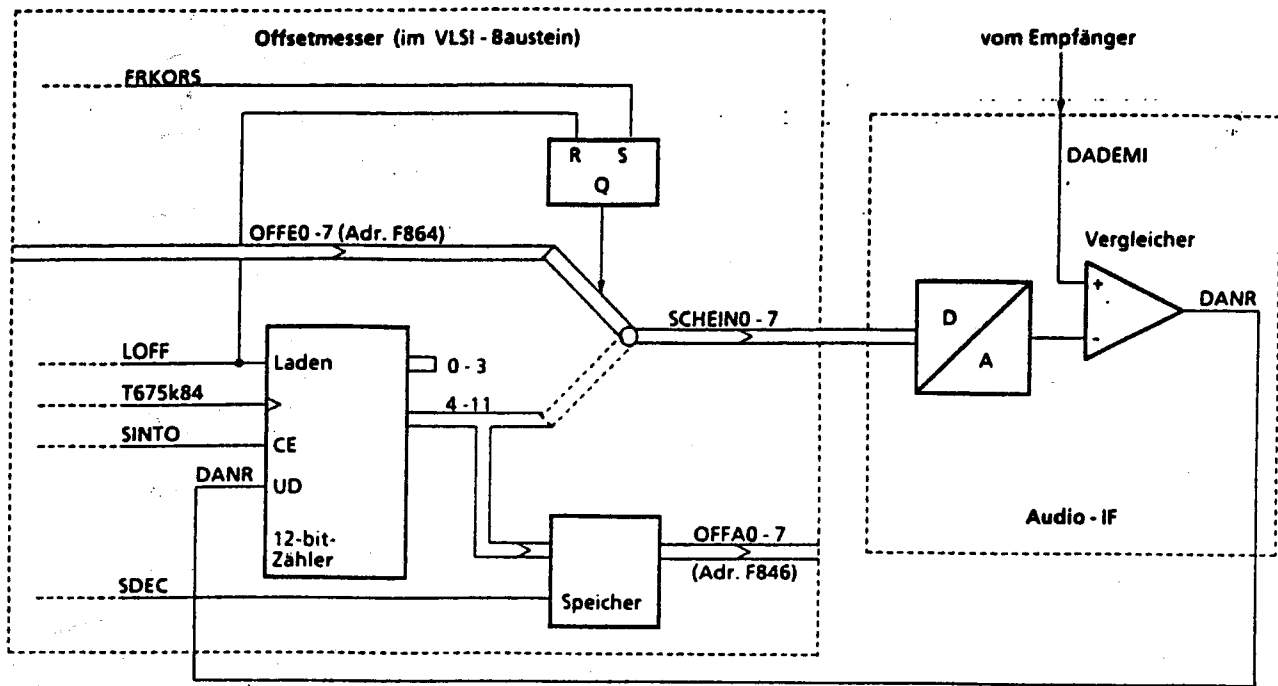


Bild 25 Offsetkorrektur

Anstelle des Initialwertes 80H (entspricht Zählerstand 2048) gelangt der Schwellwert SCHEIN0-7 an den Eingang des D/A-Wandlers an AU-IF (nur bei Ablage Null würde SCHEIN0-7 mit dem Initialwert identisch sein).

Damit ist der Vergleichswert am Vergleicher so eingestellt, daß die Gleichspannungsablage vom DADEMI-Signal kompensiert wird und das DANR-Signal genaue Bit-Längen aufweist (siehe Bild 26).

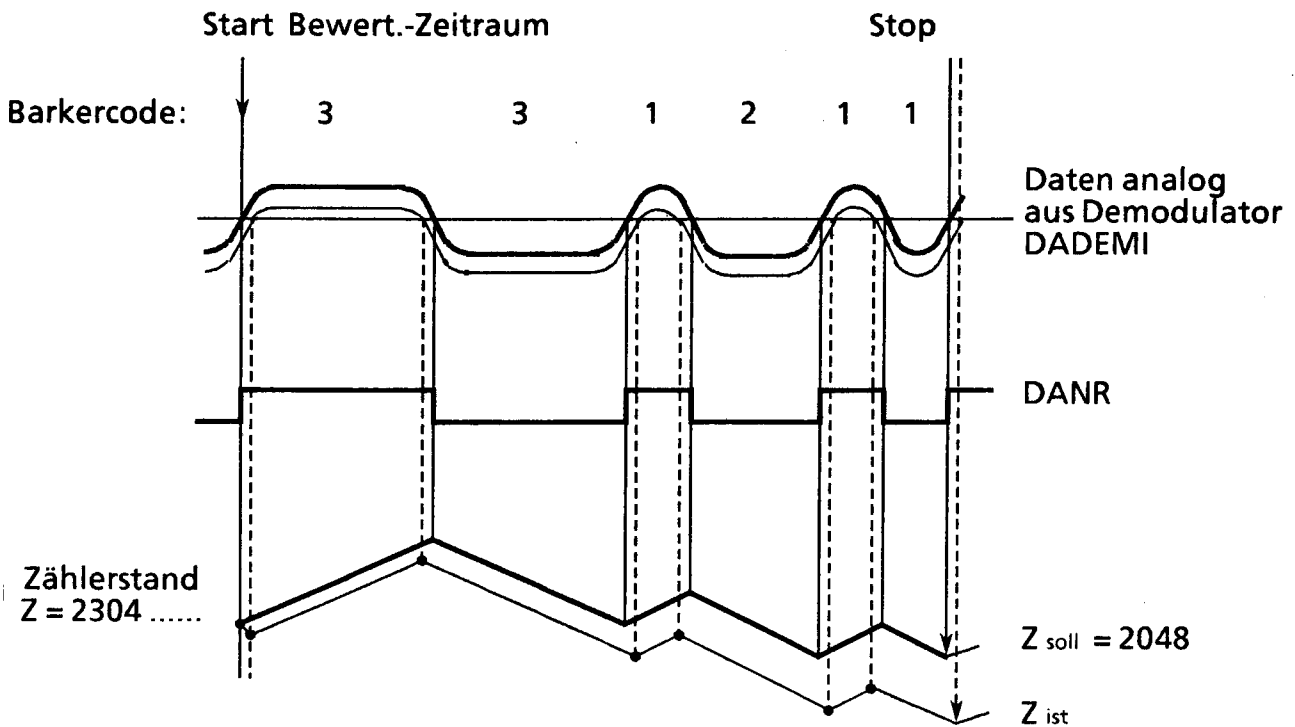


Bild 26 Offsetkorrektur Barkercode

4.1.5.8 Decoder

Der Decoder stellt die Signalisierungs-Schnittstelle zwischen dem Empfänger und dem Rechner dar, seine Aufgaben sind:

- Zwischenspeichern der vom Funkteil gelieferten Daten
- Decodieren der empfangenen Nachricht
- Durchführen von Fehlererkennung und Fehlerkorrektur.

Der Decoder empfängt über den Eingang DANR(I) die nicht regenerierten Signalisierungsdaten. Sie werden mit dem Bit-Takt (T5K28E) abgetaktet und erscheinen am Ausgang DARE (Daten regeneriert). Mit Hilfe der Impulse DECB (Bittakt vom Bit 41, d.i. nach dem Barkercode, bis einschließlich Bit 190) werden die Nutzdaten von den Synchronisierungsdaten (Barkercode) getrennt und entsprechend der zeitlichen Verschachtelung in 15 Worten à 10 bit spaltenweise in ein RAM eingelesen.

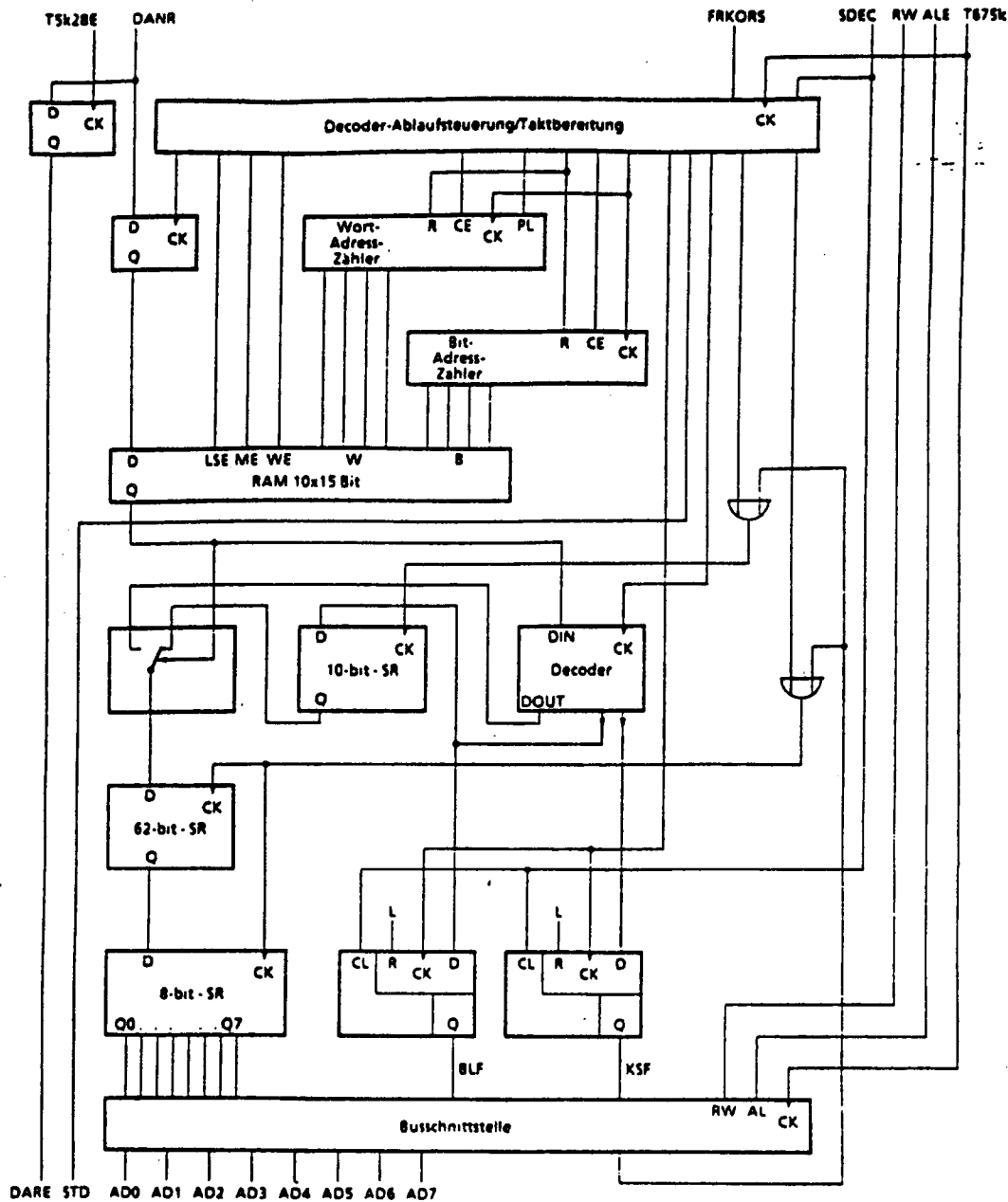


Bild 27 Übersichtsschaltplan Decoder

Zuvor wird die Schaltung mit dem Signal SDEC (Start Decoder, siehe auch Abschnitt 4.1.5.6) aus der Ablaufsteuerung zurückgesetzt und auf den Vorgang Daten einlesen/decodieren vorbereitet. Ebenso kann die Schaltung durch das Signal FRKORS aus dem Korrelationsempfänger während des Einlesevorgangs zurückgesetzt werden. Der Einlesevorgang wird dann mit DECB neu gestartet. Nach Beenden des Einlesevorgangs mit der fallenden Flanke des letzten Taktes DECB (Bit 190.5) wird

der Decodiervorgang gestartet. Gleichzeitig wird über den Ausgang STD ein Signal geliefert, das zur weiteren Verarbeitung im Schaltungsteil Jittermesser zur Verfügung steht (siehe Abschnitt 4.1.5.6).

Der Decodierer läuft mit dem halben Systemtakt (T_{675K}). Die im RAM gespeicherten Daten werden zeilenweise (10 Worte à 15 bit) ausgelesen, decodiert und anschließend seriell in einem 70-bit-Schieberegister abgespeichert. Wird bei einem Wort eine Fehlerkorrektur durchgeführt, so wird dies durch Eintragen einer "1" in einem 10-bit-Schieberegister an der entsprechenden Stelle vermerkt. Gleichzeitig wird das Statusbit BLF (Blockfehler, Adresse F843.3) gesetzt. Wird die Korrekturschwelle überschritten, bei drei und mehr Fehlern, wird zusätzlich das Statusbit KSF (Adresse F843.2) gesetzt. Der Decodiervorgang ist nach 600 Takten T_{675K} ($t_{DEC} = 600 \times t_{675K} = 888 \mu s$) beendet. Nach Abschluß des Decodiervorgangs, etwa fünf Bit-Takte nach Einlesen des letzten Signalisierungsbits stehen die decodierten Daten zum Auslesen an der Busschnittstelle (Adresse F845) bereit. Die Daten werden in 10 Worten à 8 bit ausgelesen. Nach jedem READ-Zugriff wird die Busschnittstelle durch Nachschieben der nächsten acht Bits für einen weiteren READ-Zugriff vorbereitet. Daraus ergibt sich als Zeitbedingung für zwei aufeinanderfolgende READ-Zugriffe

$$t_{READ} \geq 10 \times t_{T675K} = 14,8 \mu s.$$

Der Datenblock enthält in den READ-Zugriffen 1 bis 8 und im 9. READ-Zugriff (Bit 0 bis 5) die Signalisierungsdaten und im 9. READ-Zugriff (Bit 6 und 7) sowie im 10. READ-Zugriff das Fehlerkorrekturwort. Die Statusbits "Fehler erkannt" (BLF) und "Korrekturschwelle überschritten" (KSF) lassen sich ebenfalls über die Rechnerschnittstelle (Adresse F843) abfragen (siehe oben).

4.1.5.9 Coder

Der Coder bildet die Schnittstelle zwischen dem Rechner, der die zu sendenden Daten ermittelt und dem Modulator, der die codierten Daten dem Träger aufmoduliert.

Die Aufgaben des Coders sind:

- Zwischenspeicherung
- und
- Codieren der zu sendenden Nachricht durch Hinzufügen der Barkercodebits (3x11 Bit) sowie der Redundanzbits.

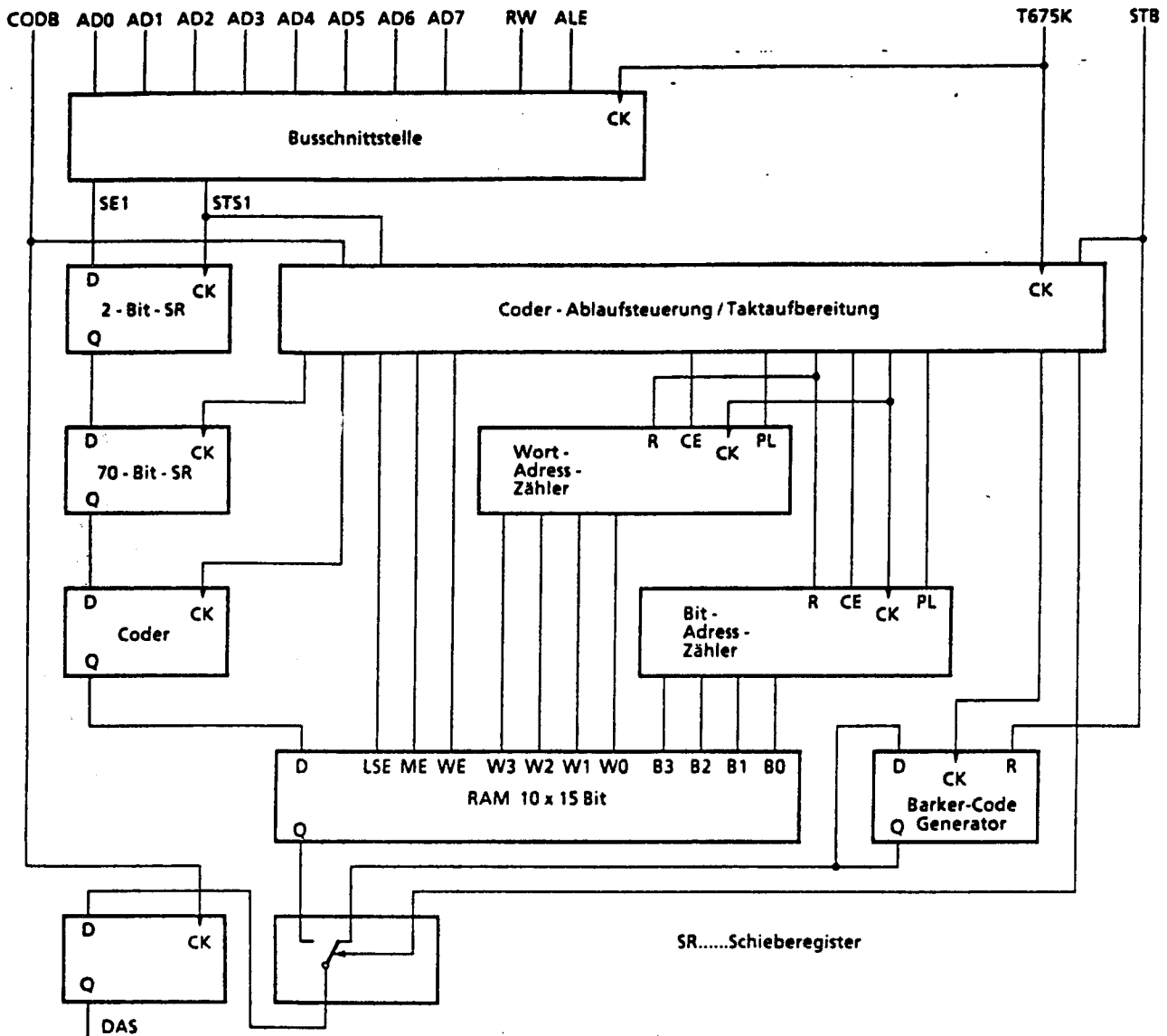


Bild 28 Übersichtsschaltplan Codier

Der im Rechner generierte Datenblock besteht aus 70 Nutz-Bits. Diese Daten werden über die Busschnittstelle (Adresse F829) in den Sendebaustein in neun aufeinanderfolgenden Write-Zugriffen eingeschrieben. Nach jedem Write-Zugriff wird die parallele Busschnittstelle, beginnend mit dem LSB, seriell ausgelesen und die Information in einem 70-bit-Schieberegister zwischengespeichert. Das Abräumen der Busschnittstelle geschieht mit dem Systemtakt (T675K) und wird mit der steigenden Flanke von WRN gestartet. Daraus ergibt sich als Zeitbedingung für zwei aufeinanderfolgende Write-Zugriffe: $t_{WRITE} \geq 10 \times t_{T675K} = 14,8 \mu s$.

Mit dem Signal STC (Start Coder) aus der Ablaufsteuerung wird der Codiervorgang gestartet. Die zwischengespeicherten Daten werden in zehn Blöcken zu 7 bit aus dem 70-bit-Schieberegister ausgelesen und nach dem sogenannten BCH-Code codiert, wobei jedes 7-bit-Wort mit einem Syndrom von 8 bit Länge versehen wird. Die so entstehenden Worte von 15 bit Länge werden zeilenweise in ein 10x15 bit großes RAM eingelesen und zwischengespeichert. Der Codiervorgang läuft mit dem halben Systemtakt (T_{675K}) ab und ist nach 300 Takten ($t_{COD} = 300 \times t_{675K} = 444 \mu s$) abgeschlossen. Das angewandte Codiervorgehen erlaubt bei der Decodierung sowohl eine Fehlererkennung als auch eine Korrektur von maximal zwei Fehlern je Wort.

Mit dem Signal STB (Start Barker) aus der Ablaufsteuerung wird der Vorgang "Daten senden" gestartet.

Mit dem gefensterten Bittakt T_{5K28} ($CO_{DB} = 184$ Takte T_{5K28}) liegen die Sendedaten am Datenausgang (DAS) an. Zunächst startet der Barkercodegenerator und erzeugt eine Bitfolge von 3 mal 11 bit (11100010010) und ein Leerbit (1). Danach werden die zeilenweise gespeicherten und codierten Daten spaltenweise (15 Worte à 10 bit) aus dem RAM ausgelesen.

In der konzentrierten Signalisierung entsteht so ein Signalisierungsblock von $33 + 1 + 150 = 184$ bit; in der verteilten Signalisierung werden die Daten verteilt über einen Unterrahmen in 46 Schlitzen zu je 4 bit gesendet (ein Unterrahmen besteht aus 16 Blöcken zu je drei Schlitzen; die beiden ersten Schlitze enthalten keine Information).

4.2 Audio-Interface S42024-H382-...

Die Baugruppe Audio-Interface (Bild 30) bildet zusammen mit der CPU-Baugruppe die Funkkanalsteuerung im OSK, SPK und PFG.

Sie enthält folgende Funktionen:

- Erzeugen von Sende- und Empfangstakt für die serielle Schnittstelle (Laufzeitkorrektur)
- Adressendecodierung für Ein- und Ausgabeports
- Abfrage der Gestelladresse
- Ausgabeports für Ansteuerung der Umschalter und Synthesizer, Steuerung der Sendeleistung; ferner Ausgabe der Signale für die Betriebsarten und Ansteuerung der Verfügbar-LED (Signal OKVR)
- Erfassen (Umsetzen) der Feldstärke
- Offsetkorrektur durch Vergleich des empfangenen Signals mit eingestellter Schwelle
- Erzeugen des Power-on-Resets; Reset-Taste
- Erfassen von Störungsmeldungen bzw. Statusmeldungen
- Pegelanpassung für 6,4MHz
- Erzeugen der -2,5-V-Versorgung für den Audio-Teil.

4.2.1 Laufzeitkorrektur

Aus dem 256-kHz-Takt (Signal T256k00 aus dem VLSI) werden die beiden Signale T256kS und T256kE mit Hilfe von zwei Schieberegistern erzeugt, die Signale sind gegenüber dem T256k00 phasenverschoben. Als Schiebetakt wird T6,4M verwendet. T256kS ist um 12 Takte, T256kE um 16 Takte gegenüber T256k00 verschoben. Der Vorhalt des Sendetaktes von vier Takten (etwa 0,7 μ s) dient zum Ausgleich von Kabellauflzeiten zwischen Funkmodem und Funkdatensteuerung (Bild 29).

Die Verschiebung des Taktes T256kE gegenüber T256k00 dient zur Korrektur der Phasenlage gegenüber QSETZ.

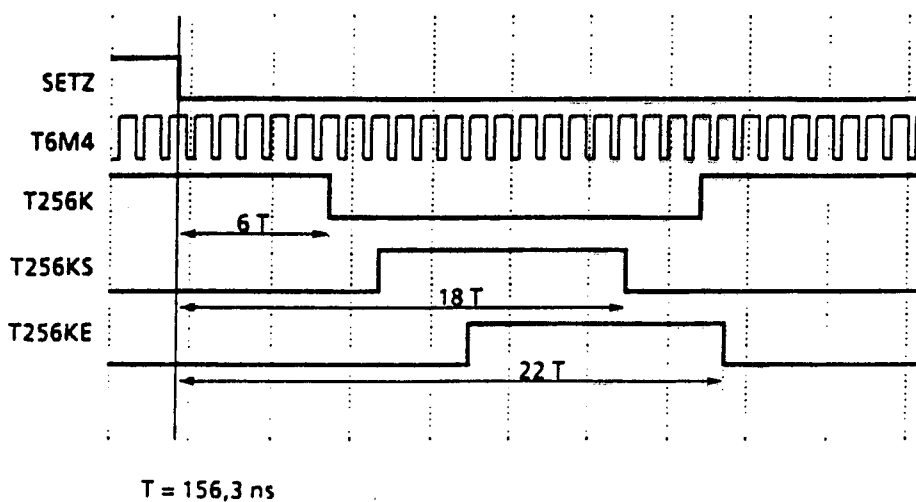


Bild 29 Laufzeitkorrektur

4.2.2 Adressendecodierung

Die von der CPU kommenden Adressenleitungen AB0 bis AB3 werden mit Hilfe der Decoder HCT138 decodiert. Durch Verknüpfen mit dem Bereichssignal -FFXX (dieses ist für Speicherbereich FF00 bis FFFF aktiv) sowie dem Schreibsignal -WRB bzw. dem Lesesignal -RDB werden die Signale -WRX0, -WRX2 bis -WRX4 sowie -RDX0, -RDX1, -RDX6 und -RDX7 erzeugt; das X bedeutet, daß die Adress-Bits 4 bis 7 bei der Decodierung nicht berücksichtigt werden. Ein Schreibbefehl auf Adresse FF02 hat beispielsweise die gleiche Wirkung wie auf FF12, FF22 usw., es wird WRX2 aktiviert).

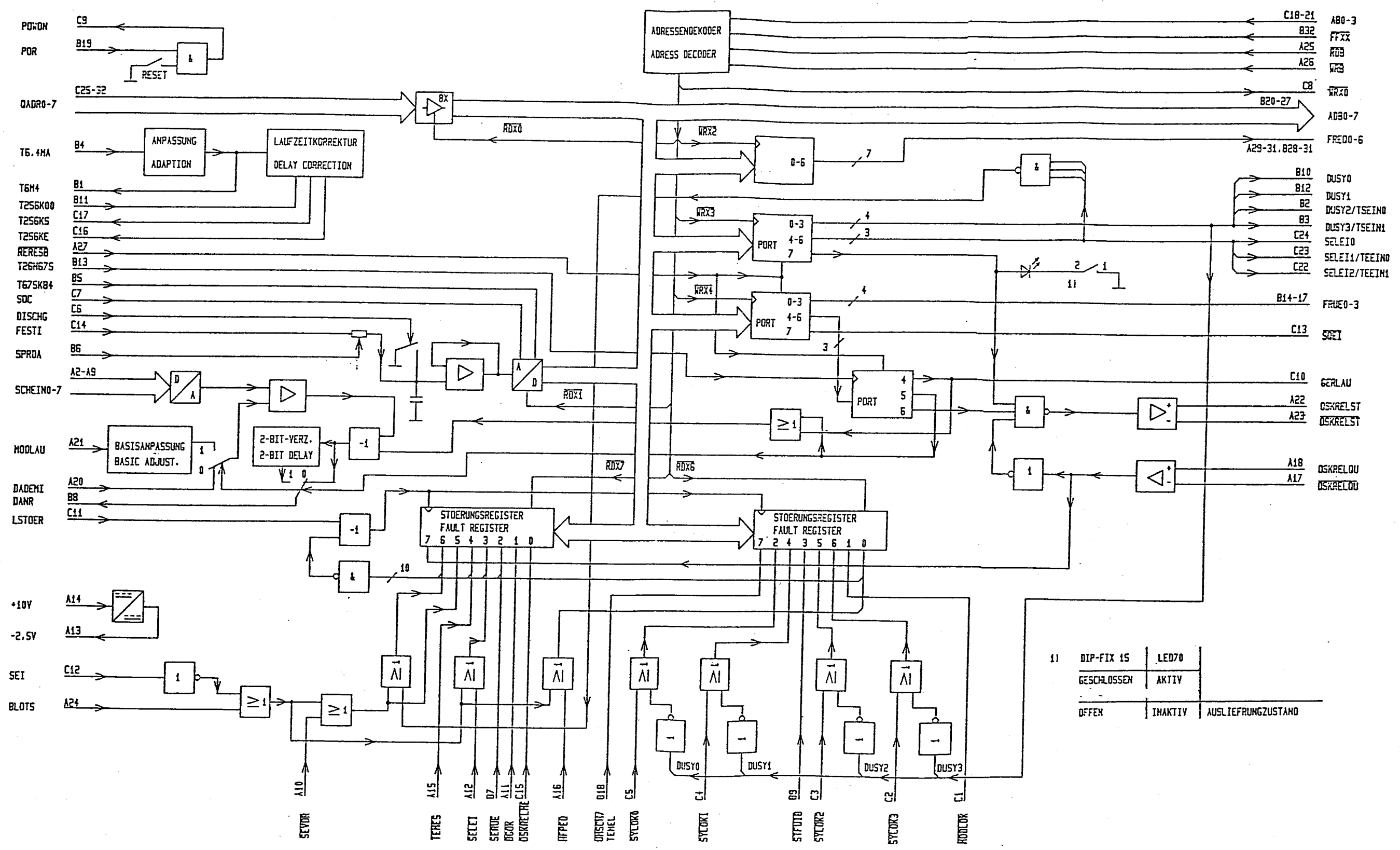


Bild 30 Übersichtsschaltplan Audio-Interface

S42023-H149-E1-1-18



4.2.3 Abfrage der Gestelladresse

Der Zustand der acht Leitungen QADR0-7, der durch Verdrahtung im Gestell festgelegt ist, wird über Software abgefragt. Die Abfrage geschieht mit einem Lesebefehl auf Adresse FFX0 (kombiniertes Lese- Adressen-Signal RDX0 vom Adressendecoder).

4.2.4 Ausgabeports

Vier Latch-Bausteine dienen zur byteweisen Ausgabe einiger Signale durch die Software nach folgender Tabelle:

Adresse	D7	D6	D5	D4	D3	D2	D1	D0	
FFX2	-	FREQ0-6							
FFX3	OVKR	SELEI2	SELEI1	SELEI0	-	-	-	DUSY0	
FFX4	-	-	-	-	-	-	-	FRUE0	

Erläuterungen:

- FREQ0-6 Informationen für Frequenzeinstellung der Synthesizer
- OKVR Verfügbarmeldung vom Rechner (SW)
- SELEI0-2 Sendeleistung: mit diesen Signalen wird die Endstufe angesteuert
- DUSY0 Maskierung der Synthesizer-Fehlermeldung
- FRUE0 Übernahmesignal für Frequenzeinstellung des Synthesizers
- SQEI Steuerung Squelch ein/aus.

4.2.5 Umsetzung der Feldstärke

Das vom Empfänger kommende Feldstärkesignal FESTI (0-2,5 V) wird mittels RC-Kombination integriert: bei Sprachbetrieb (SPRDA = 0) über eine Unterrahmenlänge, das sind 0,6 s; bei Datenbetrieb (SPRDA = 1) über eine Blocklänge, das sind 37,5 ms.

Das integrierte Signal gelangt über einen Op. Amp. LM258 an den AD-Umsetzer. Dieser wird mit T675k84 betrieben und erhält das Startsignal für die Verschlüsselung aus dem VLSI (Signal SOC, Start of Conversion). Wenn die Verschlüsselung beendet ist, wird mit dem Signal EOC (End of Conversion) das Ergebnis in ein Latch eingespeichert. Anschließend wird der Kondensator mit dem ebenfalls aus dem VLSI kommenden Signal DISCHG entladen.

4.2.6 Offsetkorrektur

Der vom VLSI-Baustein M863 bzw. SCX 6B 48 WWL gelieferte, digitale Schwellwert (SCHEIN0-7) wird mit Hilfe des D/A-Wandlers in einen Analogwert umgewandelt und über die Op.Amps LM258 dem Vergleichler LM311 zugeführt.

Am anderen Eingang des Vergleichlers liegt das Signal DADEMI.

Am Ausgang des Vergleichlers erscheint das Signal DANR (Daten nicht regeneriert), das zu den VLSI-Bausteinen M862 bzw. SCX 6B64 WWK und M863 bzw. SCX 6B 48 WWL zur weiteren Verarbeitung geführt wird.

4.2.7 Power-on-Reset, Resettaste

Die betriebsspannungsabhängige Rücksetzschaltung im Stromversorgungsteil liefert das Signal POR, das bei langsam ansteigender Versorgungsspannung sowie bei Spannungseinbrüchen ein Rücksetzen der Hardware bewirkt. Das Signal POR wird über Gatter in das Signal POWON umgesetzt, das bei Wechsel von LOW nach HIGH im VLSI ein Reset-Signal generiert.

Das gleiche geschieht bei Drücken der Resettaste, wobei eine Schaltung zur Entprellung vorgesehen ist.

4.2.8 Störungsregister

Der Inhalt der beiden Störungsregister, die als Speicher für einige Störungsmeldungen dienen, kann mit Hilfe von Lesebefehlen auf die Adresse FF6 bzw. FF7 gelesen werden.

Die an den D-Eingängen anliegenden Signale werden mit Hilfe des Signals LSTOER (aus dem VLSI auf der CPU-Baugruppe) oder bei Auftreten einer Störungsmeldung (letzteres geschieht jedoch nur, wenn bei Auftreten der Störungsmeldung keine andere Störungsmeldung ansteht) eingespeichert. Deshalb werden die Störungsmeldungen über ein UND-Gatter verknüpft.

Einige Störungsmeldungen können unter gewissen Umständen gesperrt werden:

FFX6, Bit 0:	HFPEG	HF-Pegel
FFX7, Bit 3:	SELEI	Sendeleistung
FFX7, Bit 6:	SEVOR	Sendervorlauf

Die Meldungen können nur für SEI = "1" und BLOTS = "0" wirksam werden, für SEVOR muß zusätzlich gelten: SELEI 0,1,2 = "1".

Die Störungsmeldung des Synthesizers SYLOK0 (FFX6, Bit 2) wird nur dann wirksam, wenn das Signal DUSY0 (Durchschalten der Synthesizerfrequenz) auf "1" liegt.

Weitere Störungsmeldungen sind:

FFX6, Bit 1:	MODLOK	Modulator
FFX7, Bit 4:	TEMES	Temperatur Endstufe
FFX7, Bit 2:	SERUE	Senderrücklauf

Schließlich gibt es noch eine Meldung, die ebenfalls über die Störungsregister geführt wird. Bei ihrem Auftreten wird jedoch kein automatisches Einlatchen durchgeführt.

FFX6, Bit 1:	BGOK	Prüfschleife: Baugruppen gesteckt
--------------	------	-----------------------------------

4.2.9 Sonstiges

Pegelanpassung 6,4 MHz

Das von der Audio-Baugruppe kommende Signal T6,4MA wird mittels Transistor BCY58 und Schmitt-Trigger in ein TTL-Signal (T6M4) umgewandelt. Ein RC-Glied dient zum Verringern der Flankensteilheit (Verringern von Störeinflüssen).

-2,5-V-Versorgungsspannung für Audio-Teil

Die für die Audio-Baugruppe notwendigen -2,5V werden mittels eines Spannungskonverters (ICL7660) aus der 10-V-Spannung erzeugt.

5 Stromversorgung

Die Stromversorgungsbaugruppe S42024-H904-A1 liefert die Betriebsspannungen für den Funkmodem SPK-K. Bei einer Eingangsgleichspannung zwischen 36 V und 75 V werden die geregelten Ausgangsspannungen U_{B2} (+5 V), U_{B3} (+10 V), U_{B4} (-10 V) und U_{B1} (+13,8 V) abgegeben.

Der Eingangsspannungsbereich ist für den Anschluß des Gerätes an Akkubatterien mit der Nennspannung 48 V oder 60 V ausgelegt.

Das Gerät ist leerlauf-, überlast- und kurzschlußfest sowie gegen falsche Polung der Eingangsspannung geschützt. Ein- und Ausgänge sind voneinander galvanisch getrennt. Die Ausgangsspannungen werden intern überwacht und im Störfall entsprechende Störungssignale abgegeben.

Der Aufbau der Stromversorgungsbaugruppe entspricht der VDE-Vorschrift 0804. Die Prüfspannung Primärkreis gegen Masse und Verbraucherseite beträgt 200 V-.

Die Anschlußleiste ist eine 32polige Messerleiste. Die Steckverbinder dürfen unter Spannung weder gesteckt noch gezogen werden.

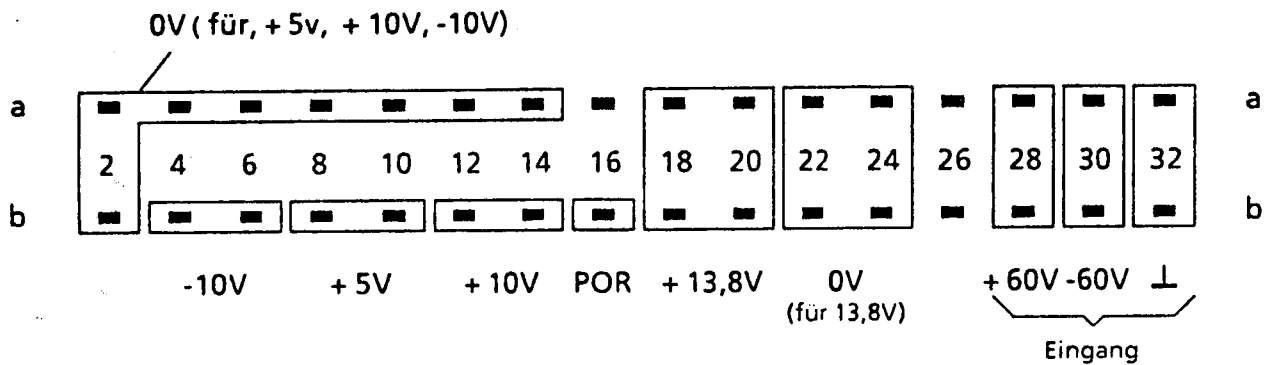


Bild 31 Leistenbelegung der Anschlußseite

6 Technische Daten

Betriebsspannung	U = 37,5 V bis 75 V
Stromaufnahme	I = 1,5 A bis 0,9 A
Leistungsaufnahme	P = 64 W bis 68 W
Referenzfrequenz	6,4 MHz > 0 dBm
Betriebsarten	1. Sprache klar/WT 2. Sprache verschleiert 3. NF-Schleifenschluß
Betriebsart	FM-Duplex
Frequenzhub mit Pre-/Deemphasis bei	
Sprache klar/WT	≤ 4 kHz
Sprache verschleiert	≤ 4 kHz
Signaldaten	2,5 kHz
Funkkanalabstand	20 kHz
einstellbare Frequenzschritte	10/12,5 kHz
Duplexabstand	10 MHz
Sendefrequenzbereich	460,0 MHz bis 465,74 MHz
Signalisierungsdaten	
Datenformat	NRZ binär
Bitrate	5,28 kbit/s
Empfangsfrequenzbereich	450,0 MHz bis 455,74 MHz

6.1 Empfänger

Betriebsspannung	U = +10 V
Stromaufnahme	I = 90 mA
Leistungsaufnahme	P = 900 mW
Störabstand, bezogen auf Prüfmodulation	
Fremdspannungsabstand	≥ 37 dB
Geräuschspannungsabstand nach CCITT	≥ 45 dB

Datenausgang	
konzentrierte Daten	NRZ
verteilte Daten im Sprechkanal, 6 bit breiter Schlitz alle 12,5 ms	NRZ

6.2 Synthesizer

Betriebsspannung 1	$U = +5 \text{ V}$
Stromaufnahme 1	$I = 150 \text{ mA}$
Leistungsaufnahme 1	$P = 750 \text{ mW}$
Betriebsspannung 2	$U = +10 \text{ V}$
Stromaufnahme 2	$I = 200 \text{ mA}$
Leistungsaufnahme 2	$P = 2 \text{ W}$

6.3 Modulator

Betriebsspannung 1	$U = +5 \text{ V}$
Stromaufnahme 1	$I = 65 \text{ mA}$
Leistungsaufnahme 1	$P = 325 \text{ mW}$
Betriebsspannung 2	$U = +10 \text{ V}$
Stromaufnahme 2	$I = 180 \text{ mA}$
Leistungsaufnahme 2	$P = 1,8 \text{ W}$

6.4 Audio-Teil

Betriebsspannung 1	$U = +5 \text{ V}$
Stromaufnahme 1	$I = 2 \text{ mA}$
Leistungsaufnahme 1	$P = 10 \text{ mW}$
Betriebsspannung 2	$U = +10 \text{ V}$
Stromaufnahme 2	$I = 100 \text{ mA}$
Leistungsaufnahme 2	$P = 1 \text{ W}$

6.5 CPU

Betriebsspannung	$U = +5 \text{ V}$
Stromaufnahme	$I = 260 \text{ mA}$
Leistungsaufnahme	$P = 1,3 \text{ W}$

6.6 Audio-Interface

Betriebsspannung	$U = +5 \text{ V}$
Stromaufnahme	$I = 150 \text{ mA}$
Leistungsaufnahme	$P = 0,75 \text{ W}$

6.7 Endstufe

Betriebsspannung 1	$U = 5 \text{ V}$
Stromaufnahme 1	$I = 150 \text{ mA}$
Leistungsaufnahme 1	$P = 0,75 \text{ W}$
Betriebsspannung 2	$U = 10 \text{ V}$
Stromaufnahme 2	$I = 65 \text{ mA}$
Leistungsaufnahme 2	$P = 0,65 \text{ W}$
Betriebsspannung 3	$U = -10 \text{ V}$
Stromaufnahme 3	$I = 50 \text{ mA}$
Leistungsaufnahme 3	$P = 0,5 \text{ W}$
Betriebsspannung 4	$U = 13,8 \text{ V}$
Stromaufnahme 4	$I = 2,7 \text{ A}$
Leistungsaufnahme 4	$P = 37,26 \text{ W}$

7 Geräteübersicht

Gegenstand	Bezeichnung	Maße in mm (BxLxH)	Gewicht in kg
Funkmodem SPK-K	S42023-H149-	110x595x230	10,6
zugehörige Baugruppen:			
Anschlußverdrahtung	S42024-H412-...		
und			
Filterbaugruppe	S42024-H413-...	100x63x12	
Endstufe	S42024-H405-...	110x208x250	
Empfänger	S42024-H169-...	100x167x24	
Modulator	S42024-H167-...	100x167x24	
Synthesizer	S42024-H168-...	100x167x21	
Audio-Teil	S42024-H381-...	100x167x21	
CPU	S42025-H418-*1	+ Software	
	S42025-H432-A150	100x167x12	
Audio-Interface	S42024-H382-...	100x167x12	
Stromversorgung	S42024-H904-...	110x230x150	

Die in der Beschreibung aufgeführten Sachnummern für Geräte oder Baugruppen sind im ausführungsspezifischen, variablen Teil des 3. Blocks der Sachnummer mit ... versehen.

Für jedes Gerät sind die genauen Sachnummern je nach Bestückung in der zugehörigen Bedienungsanleitung eingetragen. Die vorliegende Beschreibung hat für alle gelieferten Ausführungen Gültigkeit.

SIEMENS

Fu Tel C-Netz
Beschreibung

Funkmodem
OSK-K
S42023-H150-..

S42023-H150-E1-1-18

Herausgegeben vom Bereich Öffentliche Vermittlungssysteme
Hofmannstraße 51, D-8000 München 70
Verfasser: SÖ ETG 113 Wien

Weitergabe sowie Vervielfältigung dieser Unterlage, Verwertung
und Mitteilung ihres Inhalts nicht gestattet, soweit nicht aus-
drücklich zugestanden. Zuwiderhandlungen verpflichten zu Scha-
denersatz. Alle Rechte vorbehalten, insbesondere für den Fall der
Patenterteilung oder GM-Eintragung.
Technische Änderungen vorbehalten.

© Siemens AG 1990

Inhalt

	Seite	
1	Übersicht	7
1.1	Funkmodem (OSK-K) im Netz C450	7
1.1.1	Organisationskanalbetrieb	7
1.1.2	Sprechkanalbetrieb	8
1.2	Funkmodem in der Basisstation	8
1.3	Funktionseinheiten	10
1.3.1	Funkteil	10
1.3.2	Funkkanalsteuerung	10
1.3.3	HF-Endstufe	13
2	Schnittstellen	14
2.1	Externe Schnittstellen	14
2.1.1	Schnittstelle zum Sendeempfangskoppler	14
2.1.2	Schnittstelle zum Frequenzverteiler	14
2.1.3	Schnittstelle zum MSC	14
2.1.4	Serielle Schnittstelle zur Funkdatensteuerung	14
2.1.5	Schnittstelle zur Gestellverdrahtung	14
2.1.6	Schnittstelle zur Stromversorgung	14
2.2	Interne Schnittstellen	15
3	Funkteil und Endstufe	17
3.1	Empfänger S42024-H169-...	17
3.1.1	Stromversorgung für PLL-Demodulator	17
3.1.2	Eingangsstufe mit Mischer 1	17
3.1.3	Verstärker für 1. Zwischenfrequenz und Mischer 2	19
3.1.4	Begrenzer-Verstärker für 2. Zwischenfrequenz, PLL-Demodulator und Feldstärkesignalgewinnung	19
3.1.5	Basisbandaufbereitung	20
3.1.6	Snquelch-Einrichtung	20
3.2	Synthesizer S42024-H168-...	20
3.2.1	Prinzip Synthesizer	22
3.2.2	Synthesizer-Baustein und Verteiler	23
3.2.3	Oszillator (VCO) und Entkopplungsverstärker 1	25
3.2.4	Entkopplungsverstärker 2	25
3.2.5	Ausgangsverstärker 1 und 2	25
3.2.6	Spannungsregelung +10 V/+8 V	26
3.3	Modulator S42024-H167-...	26
3.3.1	Aktives NF-Filter	30
3.3.2	Oszillator (VCO) und Entkopplungsverstärker	30
3.3.3	Modulationsgesteuerte Phasenregelschleife	31
3.3.4	Mischer und Sendevorstufe	32

3.4	Umschalter UM-EM S42024-H385-...	33
3.4.1	Allgemeine Hinweise	33
3.4.2	Funktion	33
3.5	Umschalter UM-MO S42024-H398-...	35
3.6	Audio-Teil S42024-H381-...	35
3.7	HF-Endstufe S42024-H405-...	39
3.7.1	Verstärker	39
3.7.2	Überwachung	41
3.7.3	Regelung	41
3.7.3.1	D/A-Wandler	42
3.7.3.2	Besselfilter	42
3.7.3.3	Regelverstärker, Sollwertumschalter	42
3.7.3.4	Leistungsabgleich, Leistungseinstellung	42
3.7.3.5	Regelbereichserkennung	43
3.7.3.6	Vorlaufspannung, Umschaltung	43
3.7.3.7	Referenzspannungsquelle +5 V _{ref}	43
3.7.3.8	Fehlermeldungen	43
4	Funkkanalsteuerung	46
4.1	CPU S42025-H418-*1 + Software S42025-H432-A150	46
4.1.1	CPU-Baustein 80C85, Adressen-, Daten- und Steuerbus	50
4.1.2	Speicher	53
4.1.3	Interruptsteuerung	54
4.1.4	Serielle Schnittstelle	55
4.1.5	VLSI-Bausteine	55
4.1.5.1	Takterzeugung	59
4.1.5.2	Teilerketten	60
4.1.5.3	Ablaufsteuerung	63
4.1.5.4	Überwachung und Rechnerreset	64
4.1.5.5	Korrelationsempfänger	65
4.1.5.6	Jittermesser	68
4.1.5.7	Offsetkorrektur	70
4.1.5.8	Decoder	73
4.1.5.9	Coder	75
4.2	Audio-Interface S42024-H382-...	78
4.2.1	Laufzeitkorrektur	81
4.2.2	Adressendecodierung	81
4.2.3	Abfrage der Gestelladresse	82
4.2.4	Ausgabeports	82
4.2.5	Umsetzung der Feldstärke	82
4.2.6	Offsetkorrektur	83
4.2.7	Power-on-Reset, Resettaste	83
4.2.8	Störungsregister	83
4.2.9	KOAX-Relais-Steuerung, Redundanz	84
4.2.10	Sonstiges	85

5	Technische Daten	86
5.1	Empfänger	87
5.2	Umschalter UM-EM	87
5.3	Synthesizer	87
5.4	Umschalter UM-MO	88
5.5	Modulator	88
5.6	Audio-Teil	88
5.7	CPU	88
5.8	Audio-Interface	89
5.9	Endstufe	89
6	Geräteübersicht	90

Diese Seite bleibt aus redaktionellen Gründen frei.

1 Übersicht

1.1 Funkmodem (OSK-K) im Netz C450

Der Einsatz Funkmodem (FKM) arbeitet als Organisations-/Sprechkanal. Er ist für die Betriebsarten Organisationskanal- und Sprechkanal einsetzbar in Kleinzonen-Basisstationen.

1.1.1 Organisationskanalbetrieb

Über den Organisationskanal wird die Erfassung des Teilnehmers, der Austausch von Steuerinformationen und Registrierung des Teilnehmers im Dateiensystem der BS vorgenommen. Schaltet ein Teilnehmer sein Gerät ein, empfängt er im Organisationskanal die Signalisierung aller erreichbaren Basisstationen. Das Teilnehmergerät (MS) sucht nach bestimmten Kriterien (Empfangsgüte, Entfernung, Statussignalisierung) einen Funkbereich aus und meldet sich mit einer Erstmeldung bei der Basisstation an (automatische Zuordnung zum besterreichbaren Funkbereich). Mit dem Bestätigen der Erstmeldung durch die BS wird der Teilnehmer in das Dateiensystem eingetragen, d.h. er wird sowohl in der BS-internen Aktivdatei, wie auch in seiner Heimatdatei als AKTIV gemeldet. Zum ständigen Überprüfen der Erreichbarkeit ruft die Basisstation das Teilnehmergerät in turnusmäßigen Folgen auf. Das Teilnehmergerät prüft weiterhin automatisch die Erreichbarkeit seiner Bezugsbasisstation im Vergleich zu den Basisstationen in den Nachbarfunkbereichen. Bei diesem Vorgang wird der Trend der durch die Fahrzeugbewegung ständig verursachten Veränderung der Erreichbarkeit festgestellt. Sobald auf Grund dieser Fakten feststeht, daß ein anderer Funkbereich besser empfangen werden kann, meldet sich die Teilnehmerstation um. Die Ummeldung veranlaßt eine umgehende Aktualisierung des Dateiensystems.

Schaltet ein Funkteilnehmer sein Gerät ab, wird dies zuerst durch die Aktivdatei der Basisstation registriert. Die Aktivdatei aktualisiert dann das übrige Dateiensystem.

Zum Verbindungsaufbau wird dem Teilnehmer über den Organisationskanal ein Kanal vorgegeben. Im vorgegebenen Kanal werden zwischen Teilnehmer und Basisstation Daten in konzentrierter Signalisierung ausgetauscht. Bei diesem Vorgang wird der Geräuschabstand gemessen. Ist die Qualität der Verbindung unzureichend, vergibt die

FDS (Funkdatensteuerung) über den Organisationskanal einen neuen Kanal für einen weiteren Verbindungsaufbau.

Bei Warteschlangenbetrieb erfaßt die FDS (DKV) den Teilnehmer in einer Warteschlange. Ist in einem Funkbereich die Kapazität der Warteschlange voll ausgelastet, weichen Teilnehmergeräte gesprächssuchender Teilnehmer aus den Randzonen des Funkbereichs auf benachbarte Funkbereiche mit freien Kanälen aus.

1.1.2 Sprechkanalbetrieb

Die Hauptaufgabe ist die Übermittlung von Gesprächen. Zusätzlich wird im Sprechkanalbetrieb während des Bestehens einer Verbindung durch eine laufende gegenseitige Identifizierung von Basisstation und Teilnehmer die Verbindung überwacht. Die Überwachung wird in unhörbaren Telegrammeinblendungen vorgenommen, die zusätzliche Funktionen, wie z.B. die Übertragung der Gebühren zum Teilnehmer und Überwachung der Sprechqualität, ermöglichen.

Die Sprachübertragung ist in den Betriebsarten "Verschleierte Sprache" oder "Klare Sprache" möglich.

1.2 Funkmodem in der Basisstation (Bild 1)

Der Organisations-/Sprechkanal wird als Ersatzschalteinheit eingesetzt, um auch bei Ausfall des im Organisationskanalbetrieb arbeitenden Einsatzes den Organisationsbetrieb in der Basisstation aufrechtzuerhalten. Es sind daher zwei OSK-Einsätze vorhanden. Im Normalbetrieb arbeitet ein OSK als Organisationskanal (OgK), der andere als Sprechkanal (SpK). Vor dem Filterkoppler mit seinen frequenzselektiv, nach Ogk- bzw. SpK-Betrieb getrennten Filtern, ist ein Zweiwege-HF-Relais – im folgenden auch Koaxialrelais oder OSK-Relais genannt – angeordnet; es ermöglicht, entsprechend der Aufgabenzuordnung (OgK oder SpK), das Umschalten zum Filterkoppler.

Eine Kippstufe auf den Baugruppen Audio-Interface der beiden OSK steuert dieses Relais an. Die Umschaltung OgK/SpK übernehmen die Einrichtungen OSK selbst (siehe Kapitel 4.2.9).

Pull-Up-Widerstände an den gekoppelten Eingängen des Flipflops sorgen dafür, daß bei Fehler oder Tausch des Ersatz-OSK eine eindeutige Zuordnung der Einrichtung zum Umsteuerrelais besteht.

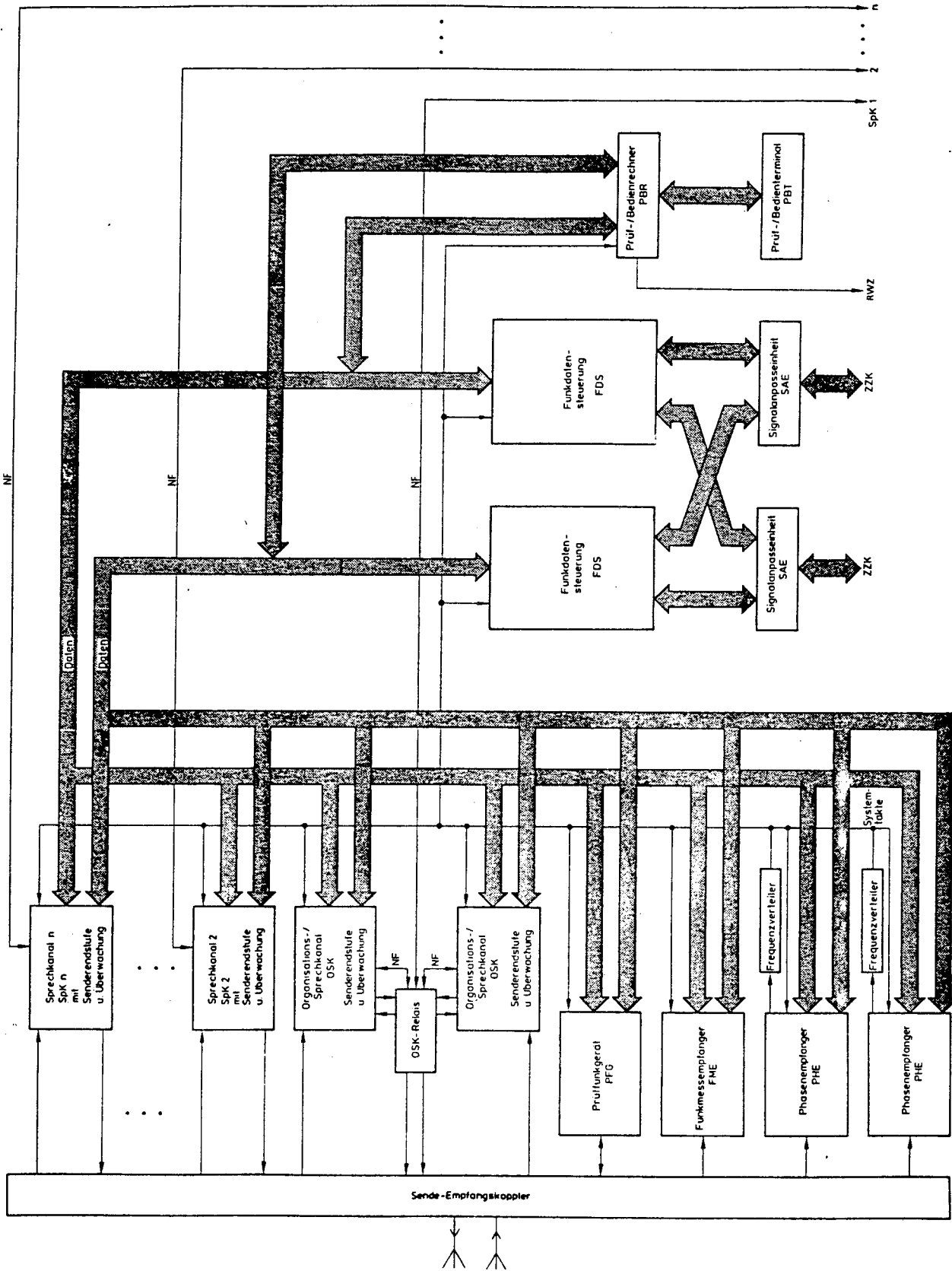


Bild 1 Übersichtsschaltplan Basisstation

1.3 Funktionseinheiten

Der OSK (Bilder 2 und 3) besteht aus dem Funkteil, der Funkkanalsteuerung (FKS) und der HF-Endstufe.

1.3.1 Funkteil

Der Funkteil besteht aus den vier Synthesizern mit den beiden Umschaltern, dem Empfänger, dem Modulator und dem Audio-Teil.

Der Empfänger ist an den Trennverstärker des Empfängerkopplers angeschlossen. Das Empfangssignal wird in eine Zwischenfrequenzlage umgesetzt und demoduliert. Das demodulierte Signal wird einerseits zum Auswerten der Signalisierungsdaten und zur Signalbewertung der Funkkanalsteuerung zugeführt, andererseits zur Verarbeitung des NF-Anteils zum Audio-Teil geführt.

Der Modulator erzeugt ein frequenzmoduliertes HF-Signal zum Ansteuern der Endstufe. Für die Modulation wird das NF-Signal aus dem Audio-Teil bzw. das Datensignal mit den Signalisierungsdaten aus der Funkkanalsteuerung herangezogen.

Die Synthesizer versorgen über die Umschalter Empfänger und Modulator mit den entsprechenden Umsetzfrequenzen. Die Einstellung der Frequenzen sowie die Ansteuerung der Umschalter wird über die Funkkanalsteuerung vorgenommen.

1.3.2 Funkkanalsteuerung

Die Funkkanalsteuerung besteht aus den beiden Baugruppen CPU und Audio-Interface.

Die CPU-Baugruppe enthält neben CPU (80C85), RAM und EPROM einen Zeitgeber und einen seriellen Ein-/Ausgabebaustein (USART) für block- und zeitplatzorientierten Datenaustausch zur Funkdatensteuerung sowie die beiden VLSI-Bausteine.

S42024-H378-B3

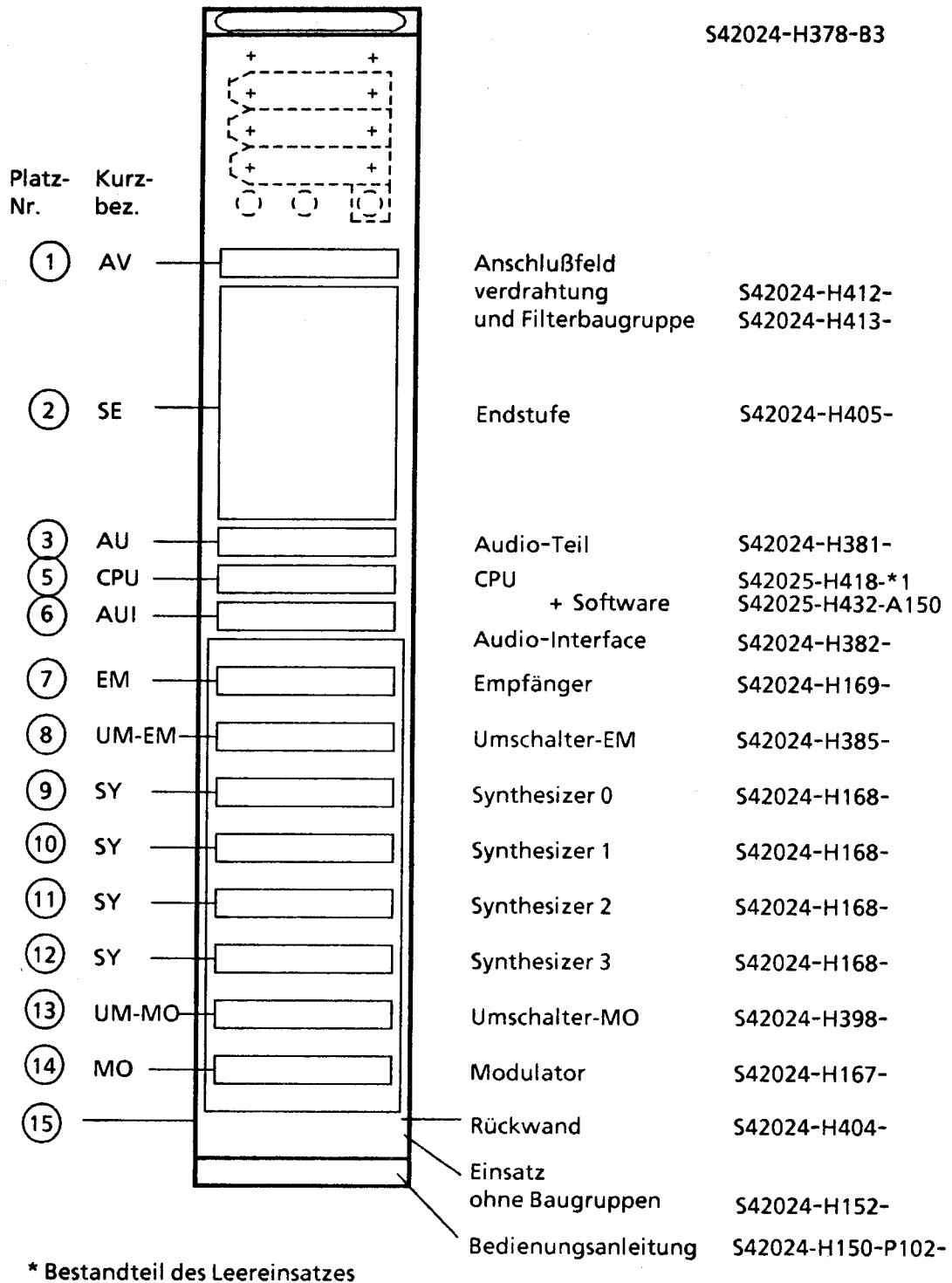


Bild 2 Aufbau des Funkmodems (OSK-K)

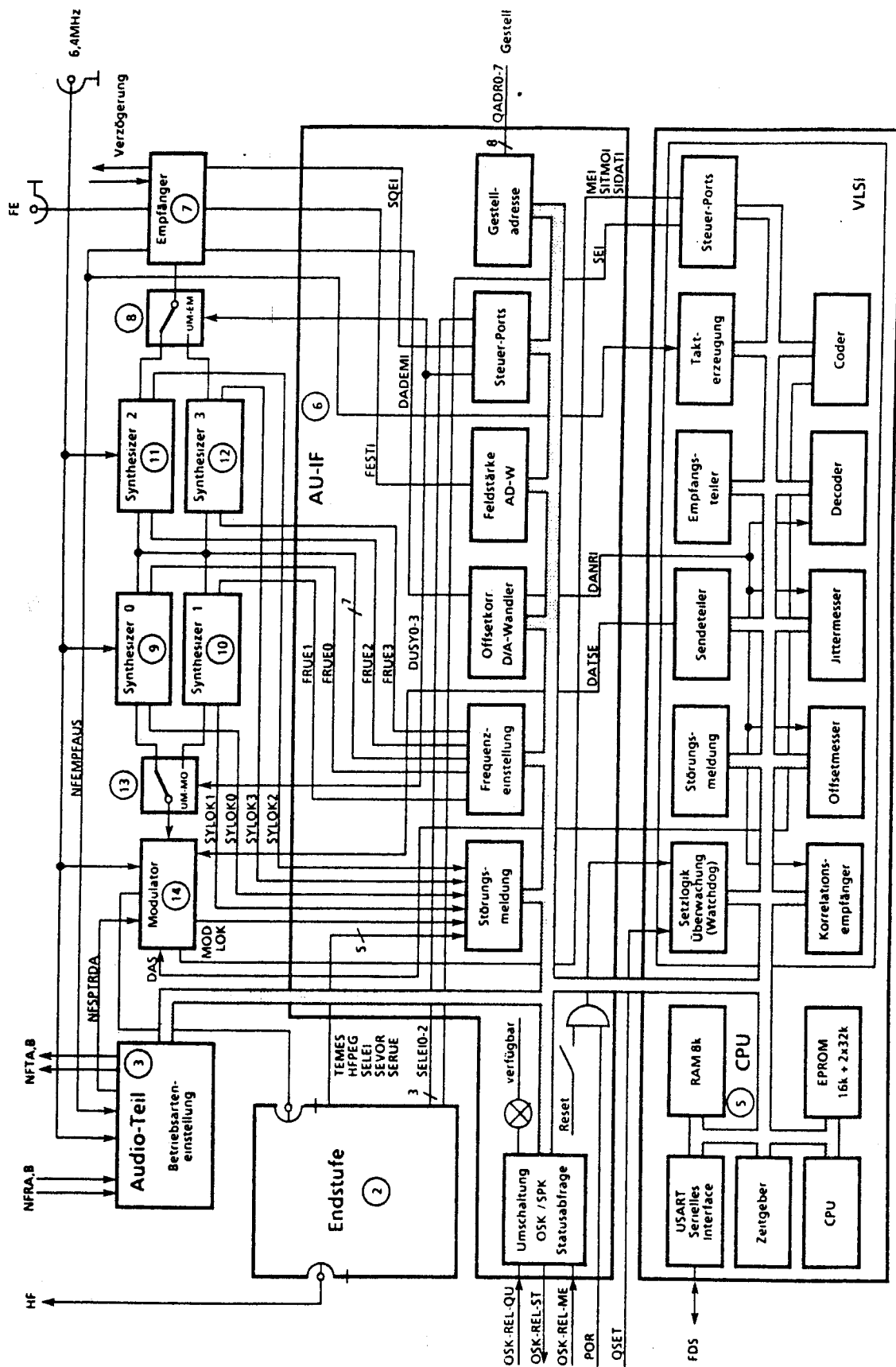


Bild 3 Übersichtsschaltplan Funkmodem (OSK-K)

Die Baugruppe Audio-Interface enthält neben den Rechnerports zum Funkteil die Störungsregister und die Einrichtung zum automatischen Umschalten auf den Ersatz-OSK.

Die Signalbewertung ist in den VLSI-Bausteinen auf der CPU enthalten. Sie besteht aus drei Funktionseinheiten: Jittermesser, Offsetmesser, Korrelationsempfänger.

Aus dem Barkercode des Empfangsdatenblocks werden Phase und Offset des empfangenen Teilnehmers ermittelt und an die Empfangsteilerkette und die Offsetkorrektur übergeben. Der Empfänger ist gleichspannungsgekoppelt. Jede Gleichspannungsablage beeinträchtigt die Lesesicherheit der Nutzinformation. Der Offsetmesser ermittelt die Ablage; daraufhin regelt der Rechner die Schwelle am Komparator der Offsetkorrektur nach. Damit kann mit Hilfe des Decoders (ebenfalls in den VLSI-Bausteinen) die Nutzinformation gelesen werden. Durch den Jittermesser wird über die block- bzw. unterrahmenweise summierten Zeichenwechsel-Veränderungen der digitalen Signalisierungsdaten im Rechner der Geräuschspannungsabstand ermittelt. Dieser Wert gilt neben der Feldstärke als Maß für die Empfangsgüte.

Die VLSI-Bausteine enthalten eine Sende- und Empfangsteilerkette. Die Sendeteilerkette wird rahmenweise durch das Rahmensetzsignal QSETZ aus dem Phasempfänger gesetzt. Beide Teilerketten werden von einer Überwachungseinheit überwacht.

1.3.3 HF-Endstufe

Die HF-Endstufe verstärkt das vom Modulator kommende HF-Signal auf die gewünschte Sendeleistung; diese ist in acht Leistungsstufen wählbar. Die Funktion der Endstufe, deren Temperatur und die von der Antenne rücklaufende Leistung werden überwacht. Bei Fehlverhalten werden entsprechende Fehlermeldungen abgegeben.

2 Schnittstellen

2.1 Externe Schnittstellen

2.1.1 Schnittstelle zum Sendeempfangskoppler

Der Empfänger des Funkmodems erhält vom Trennverstärker in der Antennenanlage das HF-Signal FE zugeführt (Koaxialanschluß). Das Sendesignal aus der Endstufe gelangt über das Koaxialrelais zum Sendekoppler.

2.1.2 Schnittstelle zum Frequenzverteiler

Hier werden der Takt QT6,4M (Koaxialstecker) und das Rahmensetzsignal QSETZ (symmetrische Leitung), die vom Frequenzverteiler kommen, eingespeist.

Über Koaxialleitungen gelangt der 6,4-MHz-Takt einerseits zu den Synthesizern und zum Modulator, andererseits zum Audio-Teil, von wo er über die Rückwandplatine zum Audio-Interface geführt wird. Dort wird er zur Versorgung der Steuerung auf TTL-Pegel umgesetzt.

2.1.3 Schnittstelle zum MSC

Die Sprach-/WT-Signale werden als symmetrische Signale NFTA/NFTB und NFRA/NFRB vom MSC zum Audio-Teil bzw. in umgekehrter Richtung geführt.

2.1.4 Serielle Schnittstelle zur Funkdatensteuerung

Über diese Schnittstelle, die aus symmetrischen Leitungen besteht, wird der Datenaustausch mit der FDS vorgenommen. Die Daten werden über jeweils zwei Treiberbausteine (Signale QSST1 und QSST2) gesendet und über zwei Empfangsbausteine (Signale QSSR1 und QSSR2) empfangen. Die Bausteine befinden sich auf der CPU.

2.1.5 Schnittstelle zur Gestellverdrahtung

An dieser Schnittstelle wird die durch die Gestellverdrahtung festgelegte Gestelladresse (auch als Kanaladresse bezeichnet) übergeben (Leitungen QADR0-7, Auswertung auf Audio-Interface).

2.1.6 Schnittstelle zur Stromversorgung

Neben den Versorgungsspannungen +5 V, +10 V, +13,8 V und -10 V wird das Signal POR(-FKM) aus der Stromversorgung zugeführt (zur Generierung eines Power-on-Resets nach Spannungsausfall).

2.2 Interne Schnittstellen

Im folgenden sind die Schnittstellensignale zwischen der Funkkanalsteuerung und den Baugruppen des Funkteils bzw. der Endstufe erläutert.

Synthesizer

Die Frequenzeinstellung wird mit Hilfe der Signale FRUE 0-3 und FREQ 0-6 aus dem Audio-Interface vorgenommen. Die Synthesizer liefern im nicht gerasteten Zustand die Fehlermeldungen -SYLOK 0-3.

Empfänger

Die Signale FESTI (Feldstärke) und DADEMI (demoduliertes Datensignal) werden im Audio-Interface verarbeitet. Mit dem Signal SQEI (aus dem Audio-Interface) wird die Funktion Squelch (Rauschsperr) ein- bzw. ausgeschaltet.

Umschalter

Mit Hilfe der Signale DUSY0-3 werden die Synthesizerfrequenzen zum Empfänger bzw. Modulator durchgeschaltet. Das Signal -UMSCH liegt beim OSK auf GND (Umschalter-Empfänger ist gesteckt) und dient der Software als Unterscheidungsmerkmal zwischen SPK und OSK.

Modulator

Aus der CPU (VLSI-Bausteine) gelangen folgende Signale zum Modulator:

MEI	Modulator ein
SITMOI	Signaltor Modulator (Umschaltung Sprache/Daten im Sprechkanal)
SIDATI	Signaltor Daten
DATSE	Datentor senden
DAS	Datensignal (Signalisierungsdaten).

Das Signal -MODLOK meldet das Einrastkriterium der Phasenregelschleife des Modulators an den Rechner (Audio-Interface), es wird low bei Fehler.

Audio-Teil

Der Audio-Teil ist an den Rechnerbus der CPU mit den Signalen -WRX0, -RDB, -WRB, ALEB, ADB0-7 angeschlossen.

Für die Komprimierung der Daten werden das Signal SIKO (Signalor Komprimierung) und die Takte T38K40S und T42K24S, für die Expandierung SIEX (Signalor Expandierung), T38K40E und T42K24E aus der CPU (VLSI) zugeführt. Ebenfalls aus der CPU kommt das Signal SPRDA (Umschalten Sprache/Daten zur Sperre des NF-Weges).

Das Signal DYNKOMP (Dynamikkompandierung) dient für Testzwecke und kann über den Diagnosestecker der CPU (z.B. mit Hilfe des CPU-Adapters) gesteuert werden. (Das Signal ist auf der CPU nur vom Diagnose- zum Busstecker durchgeschleift.)

HF-Endstufe

Vom Modulator gelangt das HF-Signal über eine Koaxialleitung zur HF-Endstufe. Die Steuerleitungen SEI (Sender ein) und SELEI 0-2 (Einstellung der Senderleistung) führen ebenfalls zur Endstufe. Die Störungsmeldungen -SELEI (Sendeleistung), -TEMES (Endstufentemperatur überschritten), -HFPEG (HF-Eingangsspegel Senderendstufe), -SEVOR (Vorlauf Sendeleistung unter Sollwert) und -SERUE (Rücklauf Sendeleistung > 8dB) von der Endstufe gelangen zum Audio-Interface.

3 Funkteil und Endstufe

3.1 Empfänger S42024-H169-...

Der Empfänger (siehe Bild 4) ist Bestandteil des Funkteils im Organisations-/ Sprechkanal; er steht mit dem Empfängerkoppler über Koaxialkabel in Verbindung (siehe externe Schnittstellen 2.1).

Der Empfangsfrequenzbereich beträgt 450,0 MHz bis 455,74 MHz.

Das vom Empfängerkoppler kommende Empfangssignal (FE) wird über die 1. Zwischenfrequenz (21,4 MHz) in die 2. Zwischenfrequenz (100 kHz) umgesetzt, demoduliert und über den Datenweg (DADEMI) und NF-Weg (NFEMPFAUS) der Funkkanalsteuerung und der Baugruppe Audio-Teil zugeführt.

3.1.1 Stromversorgung für PLL-Demodulator

Die besonderen Anforderungen an die Konstanz des PLL-Demodulators 304 erfordern eine Betriebsspannung (+ 12 V) hoher Stabilität. Diese Spannung wird mit Hilfe eines Gleichspannungswandlers aus der extern zugeführten Betriebsspannung (10 V) gewonnen. Dazu erzeugt der IC305 Rechteckimpulse mit einer Frequenz von etwa 6 kHz. Diese Impulse werden mit Hilfe der Diode 250 und dem Kondensator 175 der Betriebsspannung (10 V) überlagert und zusammen gleichgerichtet (Diode 251 und Kondensator 176). Nach der anschließenden Stabilisierungsschaltung (Widerstand 57, Referenzdiode 252 und Kondensator 170) steht die gewünschte Ausgangsspannung (+ 12 V) zur Verfügung. Sie versorgt den IC304 und dient zur Erzeugung der Arbeitspunkte der Operationsverstärker 303 und 307.

3.1.2 Eingangsstufe mit Mischer 1

Das ankommende HF-Eingangssignal (FE) wird vom Transistor 271, dessen Arbeitspunkt vom Transistor 270 stabilisiert ist, verstärkt. Über das nachfolgende Zweikreis-Helical-Filter 240 gelangt das verstärkte Eingangssignal zum Ringmischer 320. Dort wird es mit Hilfe des Signales $F_{\text{syn}} B10$, das der Synthesizer des Funkteils liefert, auf die 1. Zwischenfrequenz (1. ZF) von 21,4 MHz umgesetzt.

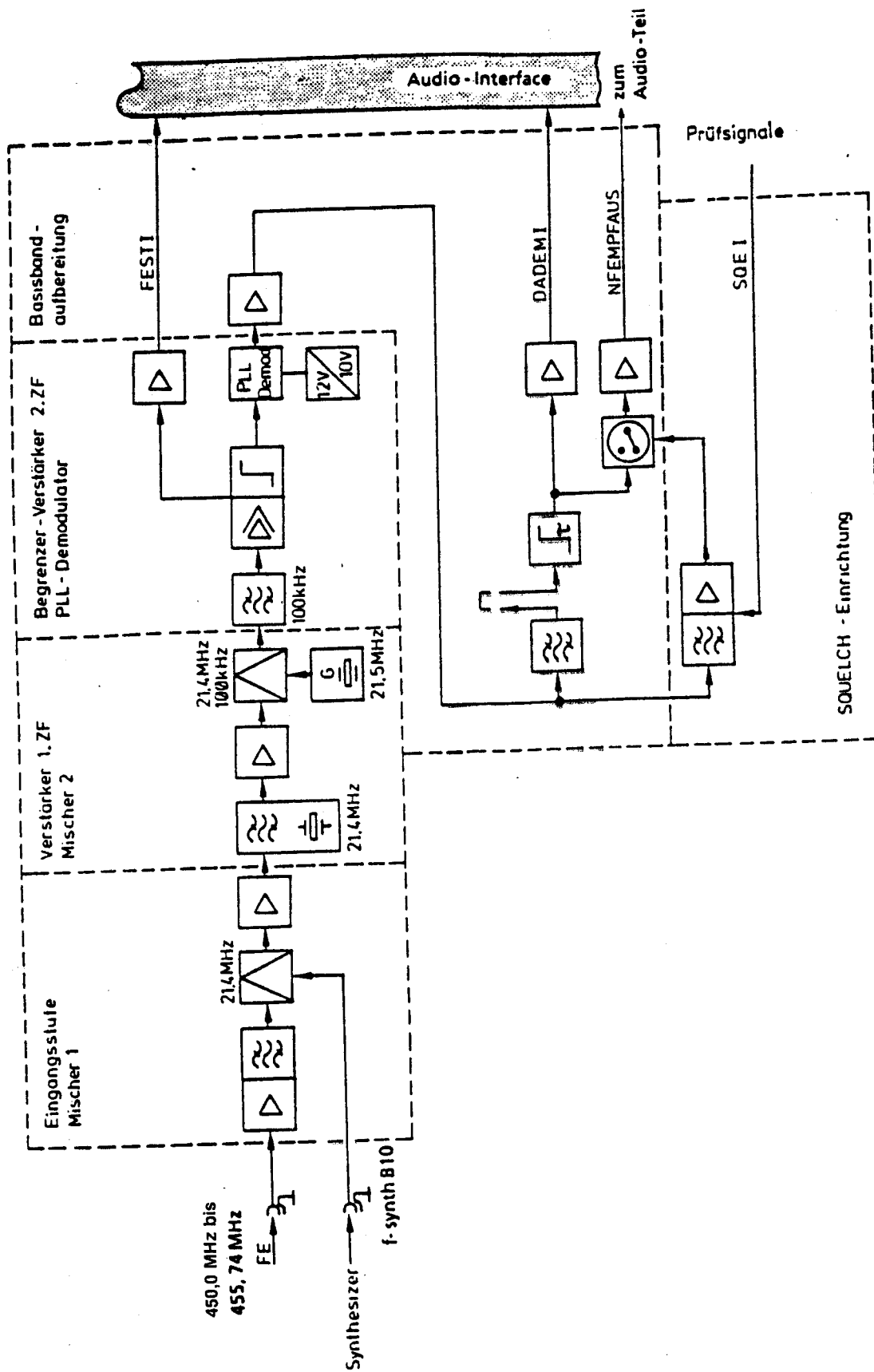


Bild 4 Übersichtsschaltplan Empfänger

3.1.3 Verstärker für 1. Zwischenfrequenz und Mischer 2

Der Transistor 272 verstärkt die vom Ringmischer 320 gelieferte 1. ZF und leitet sie über eine Anpaßschaltung (Kondensator 139 und Spule 225) zum 8poligen Quarzfilter 300, in dem die Hauptselektion des Empfängers vorgenommen wird.

Der nach der Anpaßschaltung (Kondensator 142 und Spule 226) folgende Schaltungsteil mit dem Transistor 273 verstärkt das vom Quarzfilter 300 kommende 21,4-MHz-Signal und führt es zum Mischer 2 (301).

Das IC 301 wird als selbstschwingender Mischer betrieben; dabei bestimmt der angeschlossene 21,5-MHz-Quarz die Umschaltfrequenz und damit die Umsetzung auf die 2. Zwischenfrequenz von 100 kHz.

3.1.4 Begrenzer-Verstärker für 2. Zwischenfrequenz, PLL-Demodulator und Feldstärkesignalgewinnung

Das am Ausgang von Mischer 2 austretende 100-kHz-Signal (2. Zwischenfrequenz) gelangt über ein 100-kHz-Zweikreis-Bandfilter (Kondensatoren 155, 156, 157 sowie Spulen 229 und 230) zum Begrenzer-Verstärker 302. Dieser leitet es an den Demodulator (IC 304) weiter. Das 100-kHz-Zweikreis-Bandfilter dient sowohl zum Unterdrücken der durch den Mischer 2 erzeugten Umschaltfrequenz als auch zur weiteren Selektion des Empfangssignals.

Das Begrenzer-IC302 erfüllt zwei Aufgaben; es verstärkt und begrenzt das ZF-Signal, sodaß unabhängig vom Eingangspegel des Empfängers ein konstanter Pegel am Pin 11 für den nachfolgenden PLL-Demodulator zur Verfügung steht. Außerdem erzeugt es eine dem Empfangspegel proportionale Spannung (PIN 15), die im Operationsverstärker 303 auf einen Ausgangspegel zwischen 0 V und 2,5 V gebracht wird. Diese Spannung dient zum Messen des HF-Eingangspegels des Empfängers im Bereich von etwa -120 dBm bis etwa -60 dBm.

Das IC304 enthält einen spannungsgesteuerten 100-kHz-Oszillator (VCO), einen Phasenkomparator und ein Loop-Filter, die zusammen als PLL-Demodulator geschaltet sind. Die beim Übertragen von NRZ-Daten (Modulationssignal) notwendige Gleichspannungskopplung bei der Demodulation erfordert eine hohe Konstanz des Oszillators, die durch den Präzisions-IC304 bei der 2. ZF von 100 kHz gewährleistet ist. Am Ausgang des PLL-Demodulators 304 (Pin 10) steht das demodulierte Basisbandsignal zur Verfügung.

3.1.5 Basisbandaufbereitung

Das demodulierte Basisbandsignal wird vom nachfolgenden Operationsverstärker 306 verstärkt. Im Operationsverstärker 306 wird auch die gemeinsame Pegeleinstellung für den Daten- und NF-Ausgang vorgenommen. In einem Besselfilter 3. Ordnung wird das Basisfrequenzband anschließend auf etwa 4 kHz begrenzt und dem Allpaß 308 zugeführt. Dieser Allpaß ermöglicht die Einstellung der erforderlichen Soll-Laufzeit im Empfänger.

Nach dem Allpaß 308 wird eine Verzweigung in Daten- und NF-Weg vorgenommen. Der Operationsverstärker 303 verstärkt das Datensignal (DADEMI) auf eine Pegel von 2 V (Spitze-Spitze) und übergibt es an die Baugruppe Audio-Interface. Das NF-Signal (NFEMPFAUS) gelangt bei durchgeschaltetem Transistor 276 zum Operationsverstärker 307, der es auf 860 mV (Spitze-Spitze) verstärkt. Der Transistor 276 wirkt dabei als Schalter, der mit Hilfe der Steuerschaltung ermöglicht, kurzzeitige Störgeräusche zu unterdrücken (Squelch-Einrichtung).

3.1.6 Squelch-Einrichtung

Die Squelch-Einrichtung (Rauschunterdrückung) besteht aus dem Feldeffekttransistor 276 und einer zugehörigen Steuerschaltung. Die Steuerschaltung besteht aus dem Bandpaß 307 und der nachfolgenden Gleichrichtung (Transistor 282). Damit wird der Rauschanteil oberhalb des Basisbandes bei etwa 12 kHz zum Steuersignal ausgewertet. Der parallele Widerstand 75 verhindert, daß bei gesperrtem Transistor 276 der NF-Weg völlig abgeschaltet wird.

Durch die Squelch-Einrichtung wird eine Verbesserung der Sprachverständlichkeit erreicht. Kurzzeitige Störgeräusche, verursacht durch Feldstärkeeinbrüche oder Zündfunkenstörungen, werden "gedämpft", wobei die Verbindung noch als bestehend erkennbar bleibt.

Über den Eingang SQEI läßt sich die Squelch-Einrichtung ein- oder ausschalten.

3.2 Synthesizer S42024-H168-...

Je zwei der vier Synthesizer (siehe Bild 5) erzeugen im Organisations-/Sprechkanal die Umsetzfrequenz für Modulator und Empfänger.

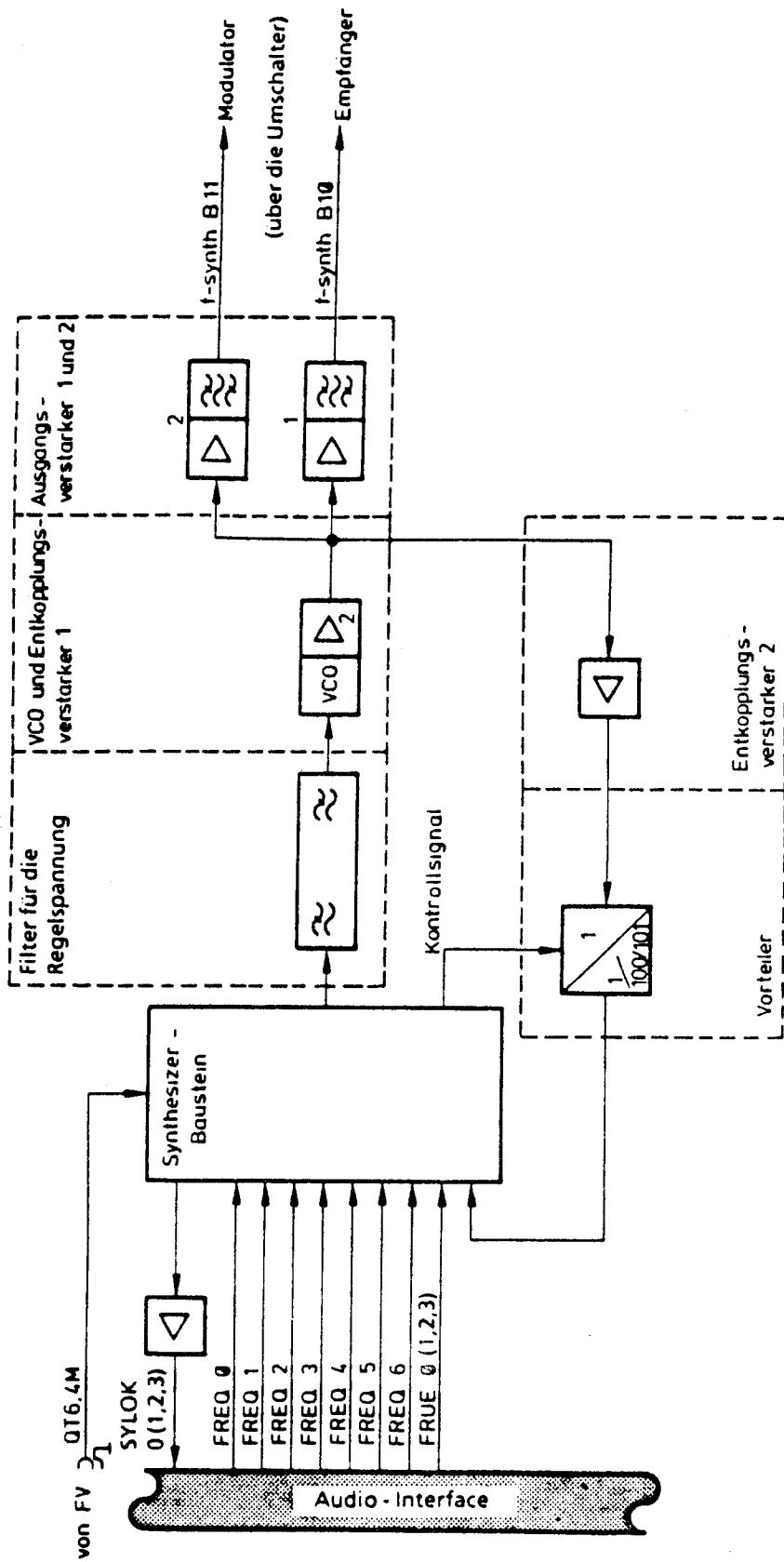


Bild 5 Übersichtsschaltplan Synthesizer

Die Frequenz des Synthesizers ist durch ein 8-bit-Wort in Schritten von 10 kHz oder 12,5 kHz im Frequenzbereich von 428,60 MHz bis 434,34 MHz einstellbar. Der Signalpegel für das 8-bit-Wort beträgt +5 V. Nach Einstellung der gewünschten Frequenz geht das Signal -SYLOK auf "1" (es gibt vier Signale SYLOK0-3 entsprechend den vier Synthesizern).

Der Synthesizer benötigt die externe Zuführung der Referenzfrequenz von 6,4 MHz.

3.2.1 Prinzip Synthesizer

Bild 6 zeigt in vereinfachter Darstellung die indirekte Frequenzsynthese, wie sie im Synthesizer verwendet wird.

Der Frequenzteiler T2 dient zum Einstellen des Kanalrasters (10/12,5 kHz). Die Ausgangsfrequenz F_k stellt die Referenz für die Phasenbrücke (Φ) dar.

Der VCO ist ein spannungsgesteuerter Oszillator, der die Frequenzen von 428,60 MHz bis 434,34 MHz erzeugt. Der programmierbare Teiler T1 muß so eingestellt werden, daß $n \times F_k$ die gewünschte Frequenz F_{syn} ergibt. Am Ausgang der Phasenbrücke entsteht die Gleichspannung X , die proportional der Phase von $F_k/(F_{syn}/n)$ ist. Die Oberwellen der Frequenz F_k werden mit dem Filter Φ unterdrückt.

Die Gleichspannung X dient als Steuersignal für den Oszillator und steuert diesen solange nach, bis F_k und (F_{syn}/n) gleich sind.

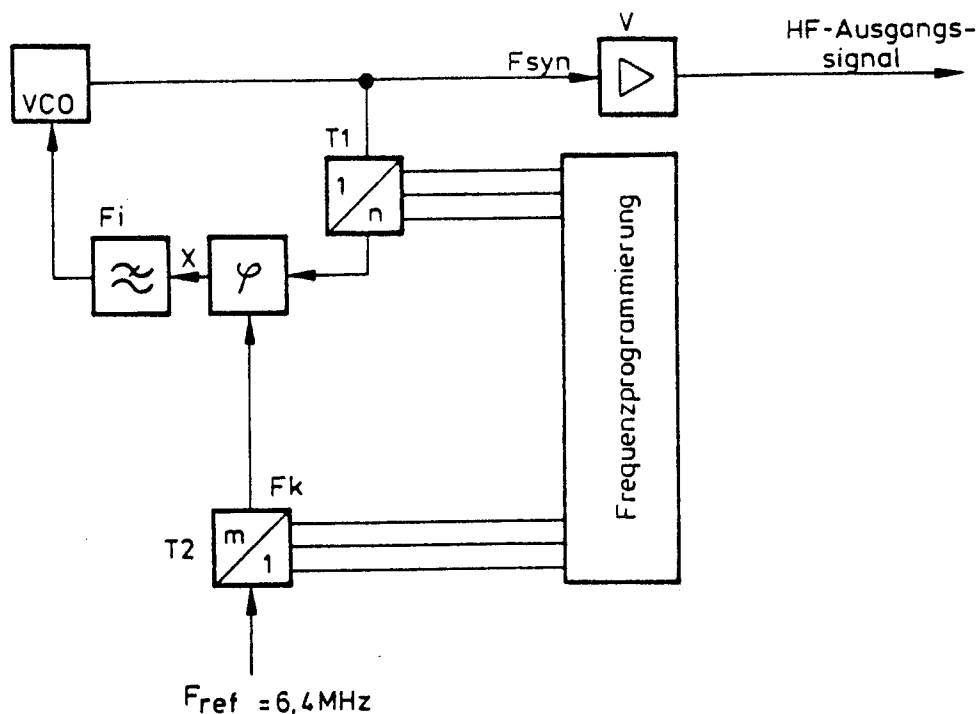


Bild 6 Prinzip Synthesizer

3.2.2 Synthesizer-Baustein und Vorteiler

In den Synthesizer-Baustein (Bild 7) integriert sind die Frequenzteiler für die Referenz (12-bit-R-Teiler) und ein Teil der Frequenzteiler, die die Ausgangsfrequenz auf die benötigte Rasterfrequenz von 10 kHz oder 12,5 kHz teilen. Außerdem sind zwei Phasendetektoren, ein Lockdetektor, eine Kontrolllogik zur Steuerung eines externen Vorteilers und eine Programmierlogik enthalten.

Der 7-bit-A-Teiler, der 10-bit-N-Teiler, die beiden externen Bausteine 552, 553 sowie die Kontrolllogik bilden den vollständigen Frequenzteiler für das HF-Ausgangssignal (f-synth B10). Die Bausteine 552, 553 bilden einen 100/101-Vorteiler, der mit dem Kontrollsignal definiert umgeschaltet wird.

Die Frequenzprogrammierung (Signale **FREQ0** bis **6** von der Baugruppe Audio-Interface) geschieht an den Eingängen **D0** bis **D3**, **A0** bis **A2** und **St** (Signale **FRUE0-3** entsprechend den vier Synthesizern). Die Adresseneingänge **A0** bis **A2** wählen die Speicher (**S0** bis **S7**) aus, die die Daten von **D0** bis **D3** empfangen sollen. Mit dem Signal **FRUEI0** wird am Eingang **St** der Übernahmezeitpunkt bestimmt.

Zur Gewinnung der Steuerspannung für den Oszillator stehen zwei Phasendetektoren (**A**, **B**) zur Verfügung, von denen der Phasendetektor **A** verwendet wird. Die Ausgangsspannung des Phasendetektors dient zum Ansteuern des Oszillators.

Die Widerstände **22**, **28**, **29**, **30** und die Kondensatoren **203**, **208**, **229** und **230** bilden vier in Serie geschaltete Tiefpässe. Die Widerstände **24**, **26** und der Kondensator **205** dienen zur Stabilisierung des Regelkreises (Lag-Glieder). Die Tiefpässe unterdrücken die Referenzfrequenz und deren Oberwellen.

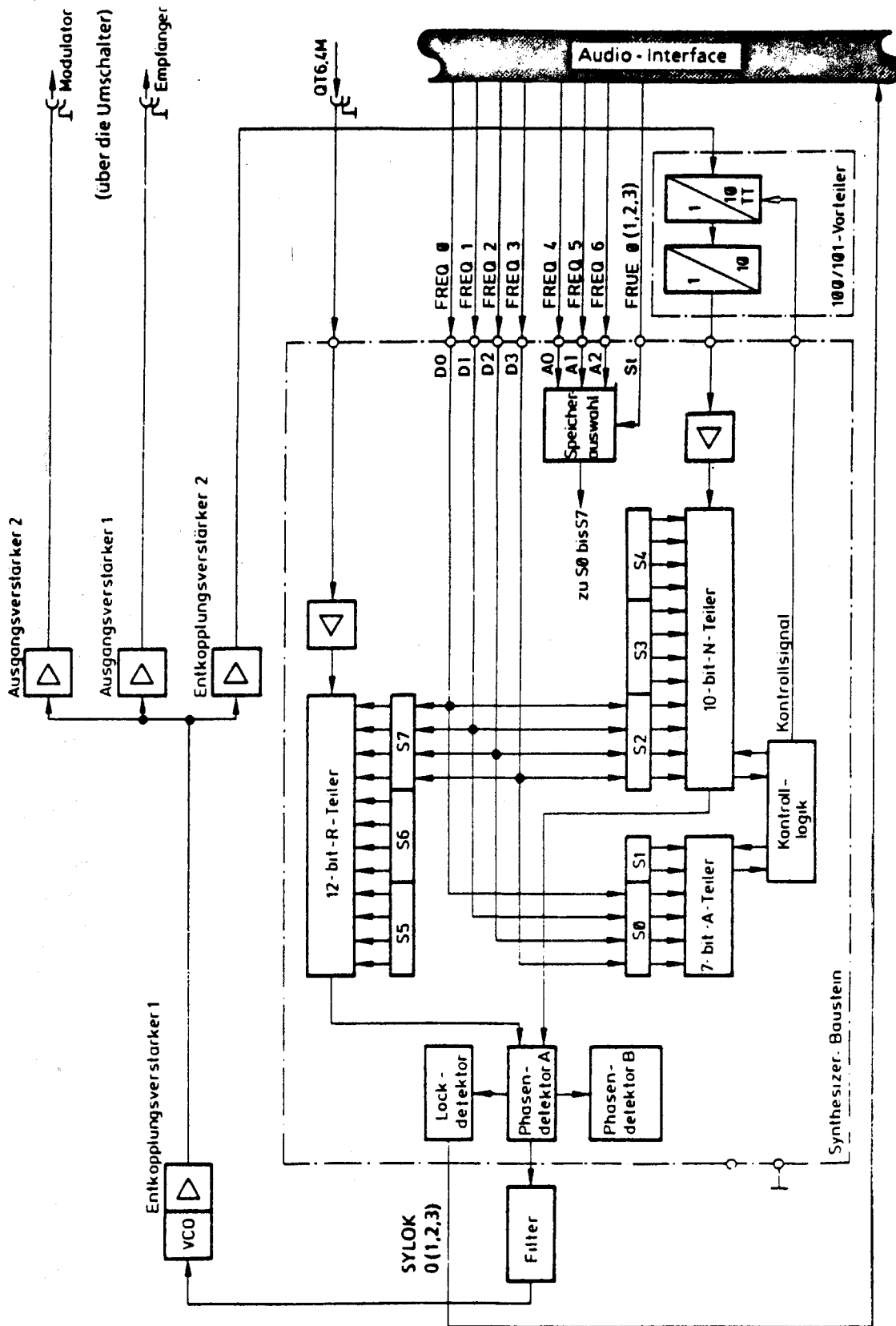


Bild 7 Übersichtsschaltplan Synthesizer-Baustein

3.2.3 Oszillator (VCO) und Entkopplungsverstärker 1

Der spannungsgesteuerte Oszillator (VCO) besteht im wesentlichen aus dem Feldeffekttransistor 507 sowie dem Rückkoppelnetzwerk 235, 236. Die Schwingkreisspule besteht aus einem 20 mm langen Kupferdraht auf den Stützpunkten A, B, C.

Mit den beiden Kapazitätsdioden 472 und 473, die über die Kondensatoren 231, 232, an den Schwingkreis angekoppelt sind, läßt sich der Oszillator in seiner Frequenz verändern. Um Rückwirkungen vom Ausgang und von den Frequenzteilern möglichst gering zu halten, ist ein zweistufiger Entkopplungsverstärker (Transistoren 508, 509) erforderlich.

Das Dämpfungsglied (Widerständen 63, 64 und 65) dient zum Erhöhen der Entkopplung und zum Anpassen der Ausgangsleistung. Um die Störmodulation, bedingt z.B. durch mechanische Erschütterung, klein zu halten, befinden sich der VCO und beide Stufen in einem fest umschlossenen Gehäuse.

3.2.4 Entkopplungsverstärker 2

Der hochfrequente Teiler 553 wird vom Verstärker mit dem Transistor 505 angesteuert. Der Verstärker ist beidseitig mit einem Dämpfungsglied abgeschlossen, um den Pegel am Teiler 553 anzupassen. Der Entkopplungsverstärker 2 hält Nebenwellen, die im Frequenzteiler entstehen, vom Oszillator fern.

3.2.5 Ausgangsverstärker 1 und 2

Der Ausgangsverstärker 1 besteht aus den Transistoren 513 und 517.

Die Verstärkung beträgt etwa 14 dB, die Ausgangsleistung liegt zwischen 50 mW und 100 mW. Die Transistoren 511 und 515 dienen zur Arbeitspunktregelung der beiden Verstärkerstufen. Um eine Amplitudenmodulation der Endstufe (517) durch überlagerte Störspannungen auf der +10-V-Versorgungsspannung zu verhindern, ist eine einfache Spannungsregelung mit dem Transistor 519 und der Zenerdiode 483 erforderlich. Das Helical-Filter 375 mit Bandfiltercharakteristik unterdrückt Nebenwellen, die in den Frequenzteilern entstehen.

Der Ausgangsverstärker 2 besteht aus dem Transistor 523. Die Ausgangsleistung des Verstärkers liegt zwischen 15 mW und 40 mW. Der Transistor 521 dient zur Arbeitspunktregelung der Verstärkerstufe. Die Zenerdiode 485 unterdrückt Störspannungen, die der +10-V-Versorgungsspannung überlagert sind. Das Helical-Filter 381 erfüllt die gleiche Funktion, wie für Ausgangsverstärker 1 beschrieben.

3.2.6 Spannungsregelung +10 V/+8 V

Für besonders empfindliche Schaltungen und Bauelemente des Synthesizers sind die von der Gestell-Stromversorgung gelieferten Spannungen zusätzlich stabilisiert. Zu den empfindlichen Schaltungen gehören der Oszillator und die Entkopplungsverstärker mit den Transistoren 505, 508 und 509. Die Stabilisierungsschaltung ist mit dem IC554 und dem Transistor 530 aufgebaut.

Der Transistor ist notwendig, um einen möglichst geringen Spannungsabfall an der Stabilisierungsschaltung zu erhalten.

3.3 Modulator S42024-H167-...

Der Modulator (siehe Bild 8) im Funkmodem erzeugt ein frequenzmoduliertes HF-Signal zum Ansteuern der Sendeendstufe.

Das zugeführte Modulationssignal ist ein Sprach- bzw. Wechselstromtelegraphiesignal und ein Datensignal (Signalisierungsdaten).

Das Sprach- bzw. Wechselstrom-Telegraphiesignal wird auf der Baugruppe Audio-Teil zeitkomprimiert. In die hierdurch entstehenden Zeitschlitze werden auf der Modulatorbaugruppe die Signalisierungsdaten (NRZ-Daten) eingefügt, die zur Verbindungsüberwachung zwischen Basisstation und Teilnehmer benötigt werden.

Der Modulator ist im wesentlichen ein phasengeregelter, modulierbarer Quarzoszillator (VCO), dessen Mittenfrequenz 31,4 MHz beträgt. Um eine Frequenzdrift des Oszillators zu vermeiden, wird er mittels einer Phasenregelschleife an die systemeigene Referenzfrequenz von 6,4 MHz angebunden.

Die Phasenregelschleife besteht aus Phasenvergleichern, steuerbaren Vorteilern, Frequenzverdopplerschaltung, Vorteiler für Referenzfrequenz, aktivem Tiefpaßfilter zur Umwandlung des digitalen Regelsignales in analoge Regelspannung und Überwachungssignalerzeugung bei gerasteter Phasenregelschleife (Signal MODLOK). Für die Modulationssignale ist eine Betriebsartenumschaltung notwendig. Hierzu dienen die Signale SIDATI, SITMOI und DATSE von der Funkkanalsteuerung. Diese Ansteuersignale werden auf der Modulatorbaugruppe decodiert. Die Umschaltung der Modulationssignale wird von integrierten Analogschaltern vorgenommen.

Bei Datenbetrieb steuert das Modulationssignal einen Vorteiler der Phasenregelschleife. Durch diese Maßnahme wird vermieden, daß modulationsbedingte Frequenzänderungen des Oszillators durch die Phasenregelschleife ausgeregelt werden.

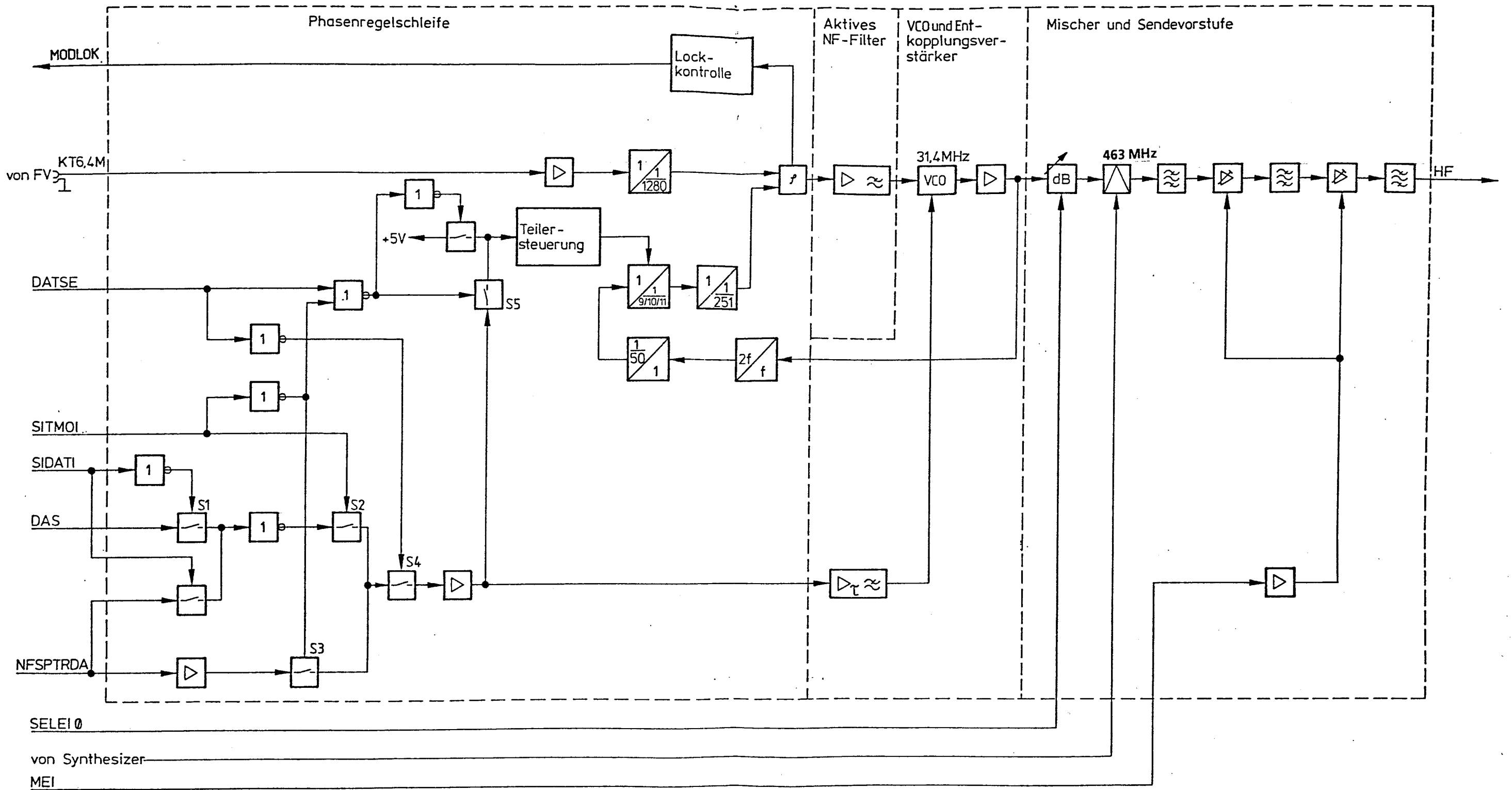


Bild 8 Übersichtsschaltplan Modulator



Die 31,4-MHz-Zwischenfrequenz wird im Mischer 1 auf die Sendefrequenz (460,0 MHz bis 465,74 MHz) umgesetzt. Die Baugruppe Synthesizer liefert die Umsetzfrequenz für den Mischer. Ein zweistufiger Verstärker erzeugt den erforderlichen HF-Ausgangspegel.

Betriebsartenumschaltung

Am Eingang NFSPTRDA des Modulators können folgende Nutzschnale anstehen:

- Komprimierte Sprache
- Komprimierte Wechselstromtelegraphie.

Am Eingang DAS des Modulators können folgende Nutzschnale anstehen:

- Signalisierungsdaten (NRZ), 4-bit-Datenblock alle 12,5 ms bei verteilter Signalisierung.
- Signalisierungsdaten (NRZ), konzentriertes Datensignal 5,28 kBaud.

Bei Betrieb im Sprechkanal wird der Datenblock dem auf der Baugruppe Audio-Teil komprimierten Modulationssignal zum Zeitpunkt des Komprimierungsschlitzes zugeschaltet (Bild 9).

Aus der nachfolgenden Tabelle sind Betriebsarten, Zustand der Steuereingänge und der Signalweg des Modulationssignals zu ersehen.

Tabelle Steuerung des Modulationssignals

Betriebsart	Zustand der Steuereingänge			Signalweg (siehe Bild 8)
	SIDATI	SITMOI	DATSE	
komprimierte Sprache bzw. WT	-	0	0	Vom Eingang NFSPTRDA über Schalter S3 und S4.
Signalisierungsdaten	0	1	0	Vom Eingang DAS über Schalter S1, Inverter, Schalter S2, Schalter S4. Über Schalter S5 wird der Vorteiler gesteuert.
Modulation AUS	-	-	1	Schalter S4 trennt alle Signalwege auf. Modulator schaltet auf Mittenfrequenz.

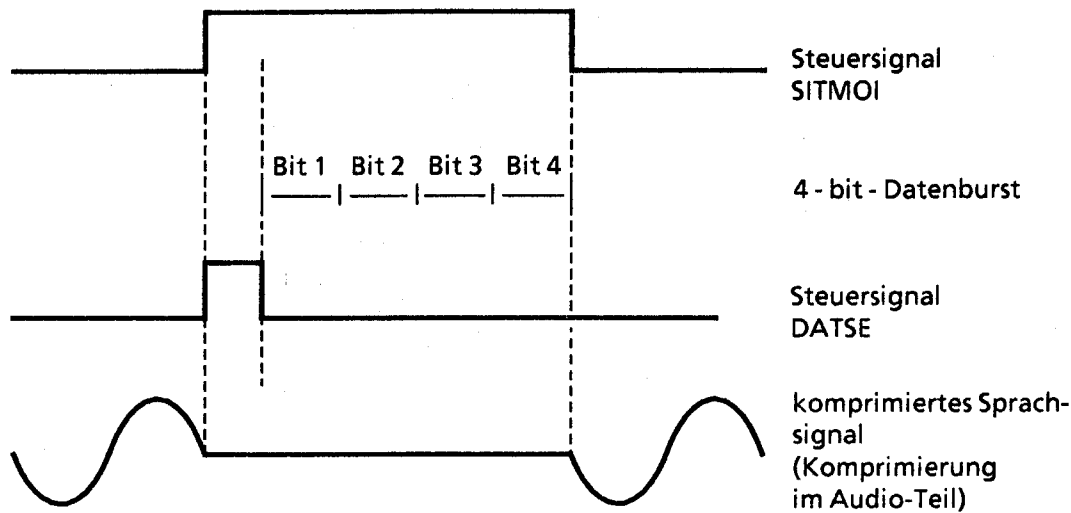


Bild 9 Zuschalten des Datenblocks

3.3.1 Aktives NF-Filter

Das aktive NF-Filter besteht aus den Bausteinen 231, 232, den Widerständen 25 bis 33 und den Kondensatoren 111 bis 121. Das Filter ist lauffzeitgeebnet (Besselcharakteristik), es hat die Aufgabe die Frequenz der ankommenden Modulationssignale zu begrenzen. Das Datensignal und das im Audio-Teil amplitudenbegrenzte Sprachsignal würden ohne Frequenzbegrenzung eine unzulässig große Störung im Nachbarkanal hervorrufen.

Die Gruppenlaufzeit des Filters läßt sich mit Widerstand 26 abgleichen. Für die Entfernungsmessung zwischen Mobil- und Teststation ist es wichtig, daß die Gruppenlaufzeit des Filters und damit die des Modulators konstant bleibt.

3.3.2 Oszillator (VCO) und Entkopplungsverstärker

Der spannungsgesteuerte Oszillator (VCO) besteht aus dem Feldeffekttransistor 212, dem Quarz 252 und den Rückkopplungskondensatoren 128, 129. Über die Spulen 181, 182 und den Koppelkondensator 122 ist die Kapazitätsdiode 202 angekoppelt.

Am Ausgang des aktiven NF-Filters (IC 232, Pin 7) steht das Modulationssignal (Sprache/WT oder Daten) für die Frequenzmodulation des Oszillators zur Verfügung.

Die am Ausgang der Phasenregelschleife (IC 240, Pin 6) anliegende Regelspannung gelangt über die Kapazitätsdiode 203 und den Koppelkondensator 123 zum Oszillator. Die Spannung regelt die Phase des 31,4-MHz-ZF-Signals.

Um Rückwirkungen vom Ausgang des Modulators auf den Oszillator möglichst gering zu halten, ist der Entkopplungsverstärker (Transistor 213) nötig. Der Ausgangspegel des Oszillators mit Entkopplungsverstärker ist mit Widerstand 94 einstellbar.

Temperaturbedingte Änderungen des Pegels werden mit dem Heißleiter 311 ausgeglichen.

3.3.3 Modulationsgesteuerte Phasenregelschleife

Der Oszillator (VCO) wird mittels einer Phasenregelschleife, die ihre Referenzfrequenz (6,4 MHz) vom Frequenzverteiler erhält, geregelt.

Die Phasenregelschleife besteht aus einem einstellbaren Vorteiler (IC 239), einem digitalen Frequenzaufbereitungsbaustein (IC 238) und einem aktiven Tiefpaß (IC 240) zum Erzeugen der analogen Regelspannung für den VCO.

Die Phasenregelschleife regelt langsame Frequenzänderungen aus, die durch Temperaturschwankungen und Alterung des VCO auftreten.

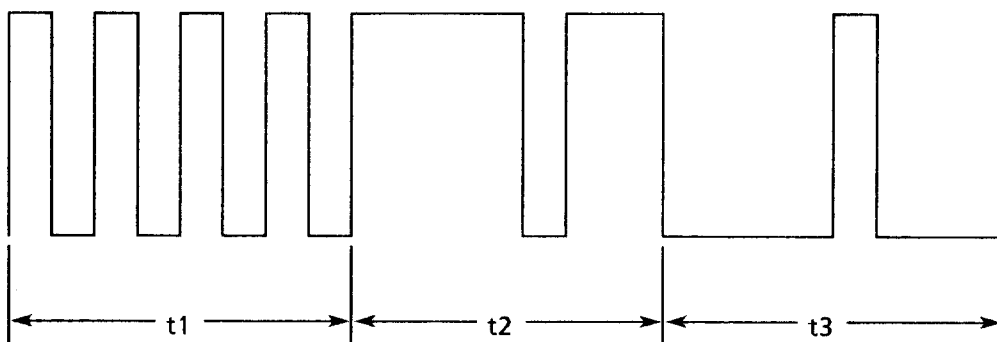


Bild 10 Modulation des 31,4-MHz-Oszillators (Beispiel)

Wird das dargestellte Signal (Bild 10) auf die Modulationsdiode gegeben, ergibt sich während

- t1: Symmetrischer Wechsel der Oszillatorfrequenz um die Mittenfrequenz von 31,4 MHz ($31,4 \text{ MHz} \pm 2,5 \text{ kHz}$).
- t2: Die Oszillatorfrequenz nimmt häufiger den Wert $31,4 \text{ MHz} + 2,5 \text{ kHz}$ an.
- t3: Die Oszillatorfrequenz nimmt häufiger den Wert $31,4 \text{ MHz} - 2,5 \text{ kHz}$ an.

Unter der Voraussetzung, daß t_2 und t_3 größer sind als die Einschwingzeit der Phasenregelschleife, wird die Nutzmodulation durch die Phasenregelschleife ausgeregelt. Dies wird durch eine Steuerlogik (Bausteine 227, 230 und 234 bis 236) vermieden, die in Abhängigkeit vom Modulationssignal die programmierbaren Teiler der Phasenregelschleife so umschaltet, daß das Modulationssignal nicht mehr beeinflußt wird.

Die steuerbaren Vorteiler IC239 und Hauptteiler IC237 der Phasenregelschleife arbeiten nach dem Swallow-Teiler Prinzip. Für das störungsfreie Arbeiten der modulationsgesteuerten Umschaltung der Zähler ergibt sich die Forderung, daß die Vergleichsfrequenz am Phasenvergleich (in IC 238) höher ist als die höchste Bitfrequenz des Datensignals. Im Modulator beträgt die Vergleichsfrequenz 5 kHz (höchste Bitfrequenz = 2,64 kHz). Da die Vergleichsfrequenz den Frequenzhub bei Datenmodulation bestimmt und dieser $\pm 2,5$ kHz betragen soll, ist zwischen dem Ausgang der Oszillatorstufe und dem Eingang des Vorteilers (IC 239) eine Frequenzverdopplerstufe geschaltet und damit die o.g. Bedingung erfüllt.

Der Frequenzverdoppler arbeitet nach dem Prinzip der Doppelweggleichrichtung. Wesentliche Bauteile sind der Balun-Trafo 198 zum Erzeugen eines symmetrischen 31,4-MHz-Signals und die Dioden 206, 207 zur Gleichrichtung. Am Summationspunkt der Dioden entsteht das 62,8-MHz-Signal.

3.3.4 Mischer und Sendevorstufe

Das frequenzmodulierte 31,4-MHz-Signal wird im Hochleistungs-Ringmischer 233 auf die Sendefrequenz umgesetzt. Die Baugruppe Synthesizer liefert die Umsetzfrequenz mit einem Pegel von etwa 17 dBm. Der Mischer 233 wird mit hohem Eingangspegel betrieben (+ 8 dBm); dies wirkt sich günstig auf das Weitabrauschen (5-MHz-Trägerabstand) aus. Darauf folgt die Sendevorstufe mit den Transistoren 215, 218; die Ausgangsleistung beträgt + 13 dBm. Die Transistoren 214, 217 dienen zur Arbeitspunktregelung der beiden Verstärkerstufen. Die Helical-Filter 246, 247 und 248 unterdrücken unerwünschte Nebenwellen.

Der Ausgangspegel läßt sich mit einem Steuersignal (MEI) aus der Funkkanalsteuerung um etwa 65 dB absenken. Die Pegelabsenkung wird mit zwei Schaltungen bewirkt. Mit dem Schalttransistor 216 wird der Arbeitspunkt der zwei Verstärkerstufen so verschoben, daß die Transistoren gesperrt sind. Zusätzlich bilden die Transistoren 222, 223 und die Dioden 208, 209 ein schaltbares Dämpfungsglied.

3.4 Umschalter UM-EM S42024-H385-...

3.4.1 Allgemeine Hinweise

Mit Hilfe der Baugruppe Umschalter-Empfänger (UM-EM) ist es möglich, die Betriebsfrequenz des Empfängers rasch zu ändern. Es wird dabei der Umsetzfrequenz-Eingang des Empfängers zwischen zwei Synthesizern umgeschaltet. Die Steuerung wird mit den zwei Signalen DUSY0 und DUSY1 vom Audio-Interface durchgeführt.

Die Baugruppe ist auf einer 4fach Multilayer-Leiterplatte im Europaformat aufgebaut. Die HF-Teile dieser Baugruppe sind mittels eines gefrästen Schirmblocks voneinander elektrisch entkoppelt; die Abschirmung des Bodens der Baugruppe wird von der Leiterplatte selbst hergestellt. Die Verbindung zur Einsatzrückwand stellt eine 24polige Messerleiste mit acht Sonderplätzen (hiervon drei belegt) her.

3.4.2 Funktion

Der Umschalter ist für die Anwendung in Funkmodems mit vier Synthesizern bestimmt. Der Duplexabstand ist im Raster von 10 kHz oder 12,5 kHz frei wählbar, da Modulator und Empfänger von getrennten Synthesizern gespeist werden.

Der Betrieb mit nur einem Synthesizer wäre ebenfalls möglich. Unerwünschte Rückwirkungen des Umschalters auf die Synthesizer, z.B. durch Fehlanpassung während des Umschaltens, werden durch Trennstufen unterbunden.

Bild 11 zeigt den Übersichtsschaltplan des Umschalters. Bevor die f_{LO} -Signale der Synthesizer an die Schalter gelangen, durchlaufen sie jeweils drei Dämpfungsglieder und zwei Transistorstufen. Die Dämpfungsglieder (überbrückte T-Glieder) dienen dazu den Frequenzgang der Transistorstufen auszugleichen und gleichzeitig Schalter und Synthesizer zu entkoppeln.

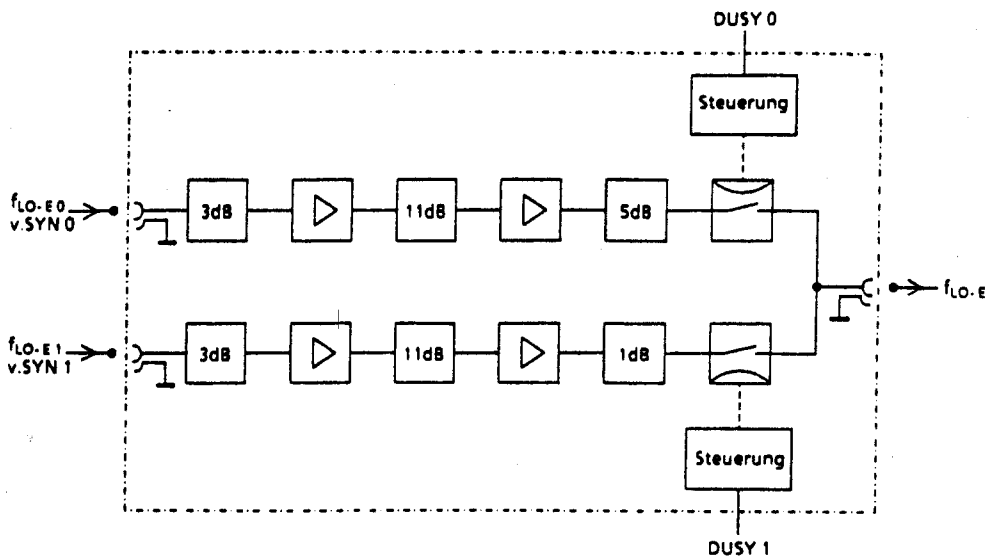


Bild 11 Übersichtsschaltplan Umschalter UM-EM

Um das Eigenrauschen der Baugruppe möglichst gering zu halten, werden die Transistoren knapp am 1-dB-Kompressionspunkt betrieben. Der eigentliche HF-Schalter ist 4stufig aufgebaut. Die vier Schaltstufen legen das ankommende Signal auf Masse. Die letzten PIN-Dioden der zwei Schaltgruppen sind miteinander verbunden, sie bilden den HF-Ausgang.

Die Steuersignale DUSY0 und DUSY1 aus dem Audio-Interface werden über schnelle Transistorschaltstufen in die entsprechenden Fluß- und Sperrströme umgewandelt und den Diodenschaltern über HF-Filter zugeführt. Die HF-Filter (LC-Tiefpässe) sind in eigenen Schirmkammern untergebracht, um die geforderte Entkopplung zwischen Ein- und Ausgang bzw. zwischen den Eingängen zu erreichen. Logisch "0" am Steuereingang bedeutet entsprechender HF-Weg gesperrt, logisch "1" HF-Weg durchgeschaltet.

3.5 Umschalter UM-MO S42024-H398-...

Mit Hilfe der Baugruppe Umschalter-Modulator (UM-MO) ist es möglich, die Betriebsfrequenz des Modulators rasch zu ändern. Es wird dabei der Umsetzfrequenz-Eingang des Modulators zwischen zwei Synthesizern umgeschaltet. Die Steuerung wird mit den zwei Leitungen DUSY2 und DUSY3 vom Audio-Interface durchgeführt.

In Aufbau und Funktion ist die Baugruppe mit dem Umschalter UM-EM (siehe Kapitel 3.4) identisch. Die beiden Baugruppen unterscheiden sich nur durch die Signalnamen sowie durch die Ausgangspegel der HF-Signale.

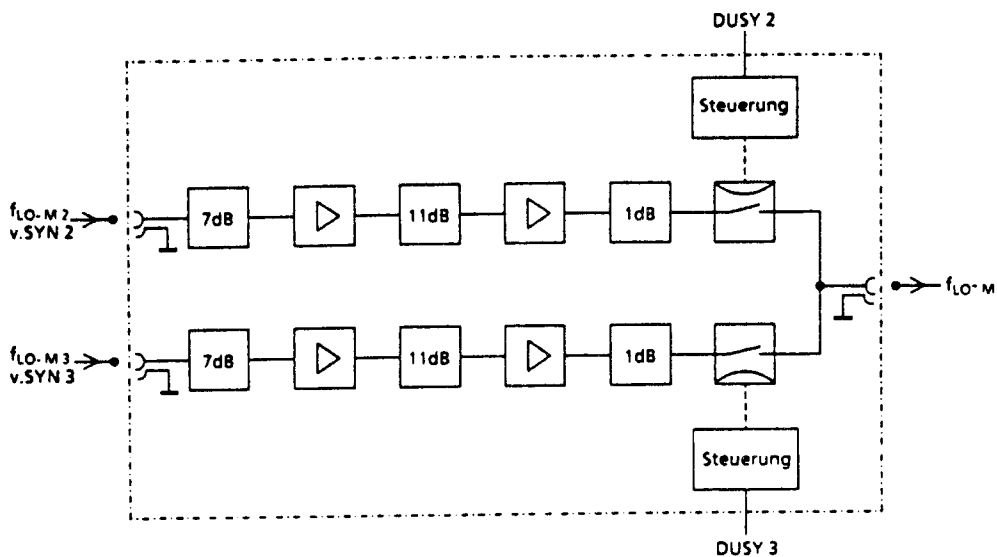


Bild 12 Übersichtsschaltplan Umschalter UM-MO

3.6 Audio-Teil S42024-H381-...

Das Audio-Teil (Bild 13) hat in den Sprechkanälen der Basisstation folgende Aufgaben :

- Die von der Drahtseite kommenden Nutzsingale (Sprache, Wechselstromtelegraphie) für den Sendezweig der Basisstation aufzubereiten.
- Die vom Empfänger kommenden Nutzsingale (Sprache, Wechselstromtelegraphie) für die Drahtseite aufzubereiten.
- Die von der Steuerung bestimmten Betriebsarten durch Umschalten auf unterschiedliche Signalwege zu realisieren.

Die Signalaufbereitung besteht im wesentlichen aus folgenden Teilen:

Sprache und Wechselstromtelegraphie

Amplituden-Frequenzgangkorrektur durch Pre- und Deemphasis bei "Sprache klar".

Dynamik-Komprimierung und -Expandierung: dabei handelt es sich um eine Dynamikkompression des Sendesignals von 2 zu 1 (z.B. von 60 dB auf 30 dB) und eine Dynamikexpansion des Empfangssignals von 1 zu 2 (z.B. von 30 dB auf 60 dB); für Meßzwecke über DYNKOMP (siehe Diagnosestecker der CPU) abschaltbar.

Sendeseitige Signalamplitudenbegrenzung, um den Modulationsspitzenhub von ± 4 kHz nicht zu überschreiten.

Verschleierter oder klarer Sprachbetrieb, durch Zu- bzw. Abschalten einer Invertierungs- bzw. einer Reinvertierungsschaltung. Dabei handelt es sich um die Spiegelung des Sprachbandes von 300 Hz bis 3 kHz an einem Hilfsträger von 3,3 kHz (Signal S1S bzw. S2S und S1E bzw. S2E in folgender Tabelle).

Zeitkomprimierung auf der Sendeseite, um einen Zeitschlitz zu erzeugen, in den im Modulator Signalisierungsdaten eingefügt werden. Zeitexpandierung auf der Empfangsseite zum Beseitigen des vorher beschriebenen Zeitschlitzes. Durch diese Maßnahme ist es möglich, Signalisierungsdaten (NRZ), die zur Verbindungsüberwachung notwendig sind, ohne zusätzlichen Schaltungsaufwand (Umformer, Hilfsträger) zu übertragen.

Spezielle Betriebsarten

Continuity Check

Zum Überprüfen der Verbindung MSC-Sprechkanal.

NF-Schleifentest (NF-Schleife) für Testzwecke, in Verbindung mit dem Prüffunkgerät.

Sprach- bzw. WT-Test

Beide Betriebsarten werden mit dem Signal SK (siehe folgende Tabelle) gleichzeitig realisiert.

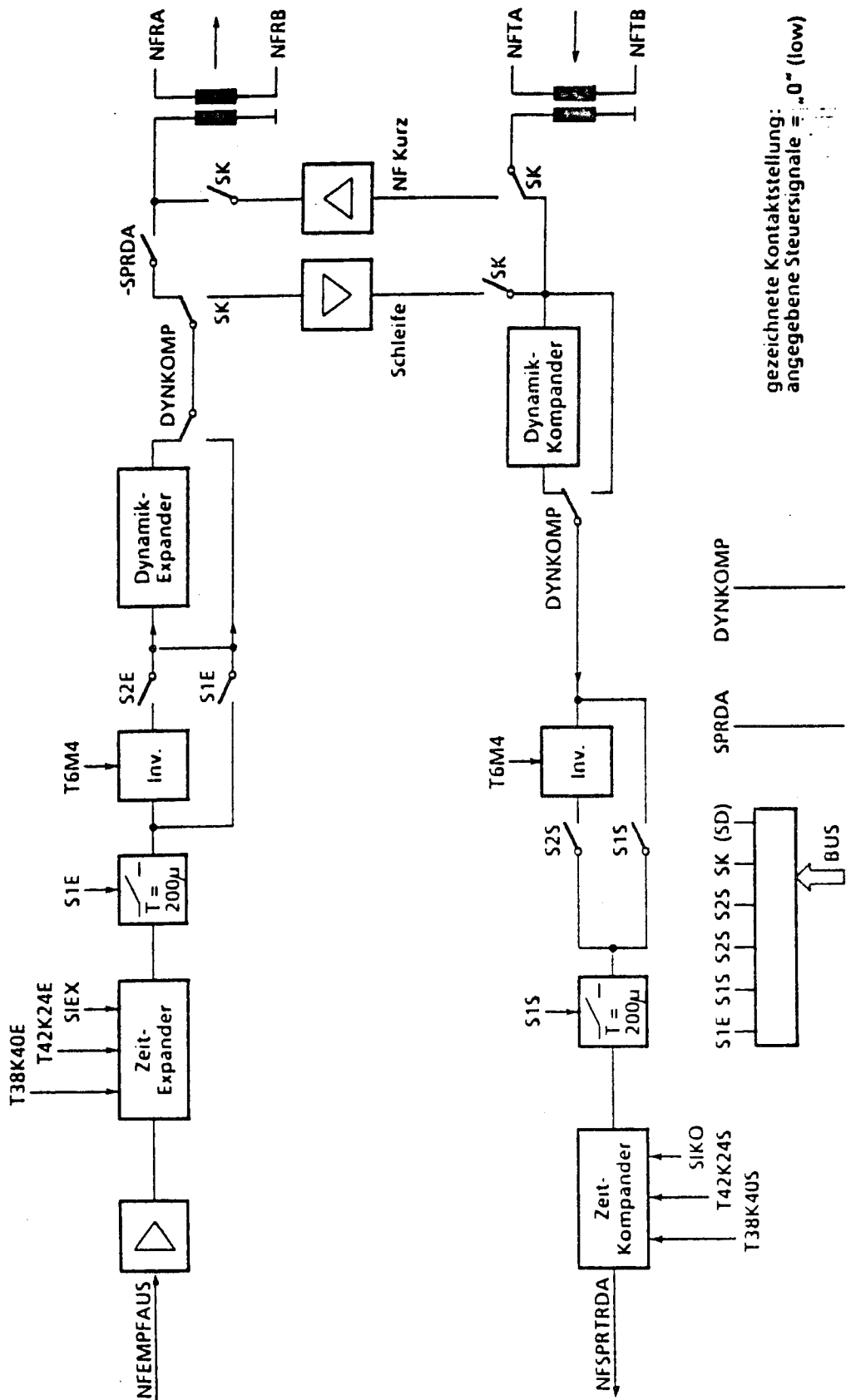


Bild 13 Übersichtsschaltplan Audio-Teil

Referenzfrequenz 6,4 MHz (Koaxialeingang)

Die Referenzfrequenz wird auf der Baugruppe Audio-Teil verstärkt und dem integrierten Filter- und Invertierungsbausteinen als Taktfrequenz zugeführt. Außerdem wird die Referenzfrequenz über ein Anpaßglied den Steuerungsbaugruppen zugeführt.

Betriebsarten (BART 0-5)

Die Betriebsarten werden mittels Schreibbefehl -WRX0 per Programm (Adresse FFX0) in ein Latch geschrieben: Belegung der Bits: BART 0-5 auf Bit 0-5, Bit 6 und 7 unbenützt. Über Pegelumsetzer gelangen die Signale, sowohl normal als auch invertiert, zu den einzelnen Schaltern, siehe folgende Tabelle.

Bezeichnung der Steuereingänge	Befehle aus der Steuerung				
	BART0 (S1S)	BART2 (S2S)	BART3 (SK)	BART4 (S1E)	BART5 (S2E)
Sprache klar					
Senden	H	L	L	L	L
Empfangen	L	L	L	H	L
Sprache invertiert					
Senden	L	H	L	L	L
Empfangen	L	L	L	L	H
Continuity Check	L	L	H	L	L
NF-Schleifentest					
Continuity Check und Sprache klar	H	L	H	H	H
Continuity check und Sprache invertiert	L	H	H	L	H

Signal BART 1 = L

3.7 HF-Endstufe S42024-H405-...

Die HF-Endstufe (Bild 14) verstärkt das vom Modulator erzeugte HF-Signal in Abhängigkeit von Steuersignalen auf die gewünschte Sendeleistung und hält sie konstant. Es sind acht Leistungsstufen in 5-dB-Schritten wählbar. Außerdem werden die Funktionen der HF-Endstufe, deren Temperatur und die von der Antenne rücklaufende Leistung überwacht und entsprechende Fehlermeldungen abgegeben.

Die HF-Endstufe besteht aus den Funktionseinheiten Verstärker, Überwachung und Regelung.

3.7.1 Verstärker

Die HF-Endstufe und die Leistungsregelung bilden einen Regelkreis. Das Stellglied des Regelkreises ist ein steuerbarer PIN-Dioden-Regler, dessen Dämpfung durch die Regelspannung U_{REG} eingestellt wird.

Nach dem steuerbaren Dämpfungsglied folgt der HF-Leistungsverstärker.

Dieser besteht aus vier Transistorstufen, die über Anpaßnetzwerke verbunden sind. Die Leistungstransistoren arbeiten im B-Betrieb, um einerseits einen möglichst hohen Wirkungsgrad zu erhalten, andererseits jedoch auch noch sehr kleine Ausgangsleistungen abgeben zu können.

Die Arbeitspunkteinstellung sorgt für einen stabilen B-Betrieb; sie hält die Basis-Emitter-Spannung der HF-Leistungstransistoren konstant.

Die Basisspannung der drei letzten HF-Verstärkerstufen wird vom Signal VEI ein- bzw. ausgeschaltet. Am Eingang des Dämpfungsgliedes wird ein Teil des Eingangssignales ausgekoppelt und gleichgerichtet. Die gleichgerichtete Spannung wird in einem Operationsverstärker verstärkt. Die Höhe der erzeugten Gleichspannung hängt von der Größe der Eingangsspannung ab. Ein zweiter Operationsverstärker erzeugt eine Referenzspannung. Beide Spannungen werden einem dritten Operationsverstärker zugeführt, subtrahiert, verstärkt und als U_{HF} der Regelplatine zur Fehlermeldung übergeben.

Zur Temperaturüberwachung der HF-Endstufe wird ein Heißleiter in einer Brückenschaltung verwendet. Ein Operationsverstärker verstärkt die Brückenspannung und gibt sie als $U_{TEMPINTA}$ auf die Regelplatine zur Leistungsregelung und Fehlermeldung.

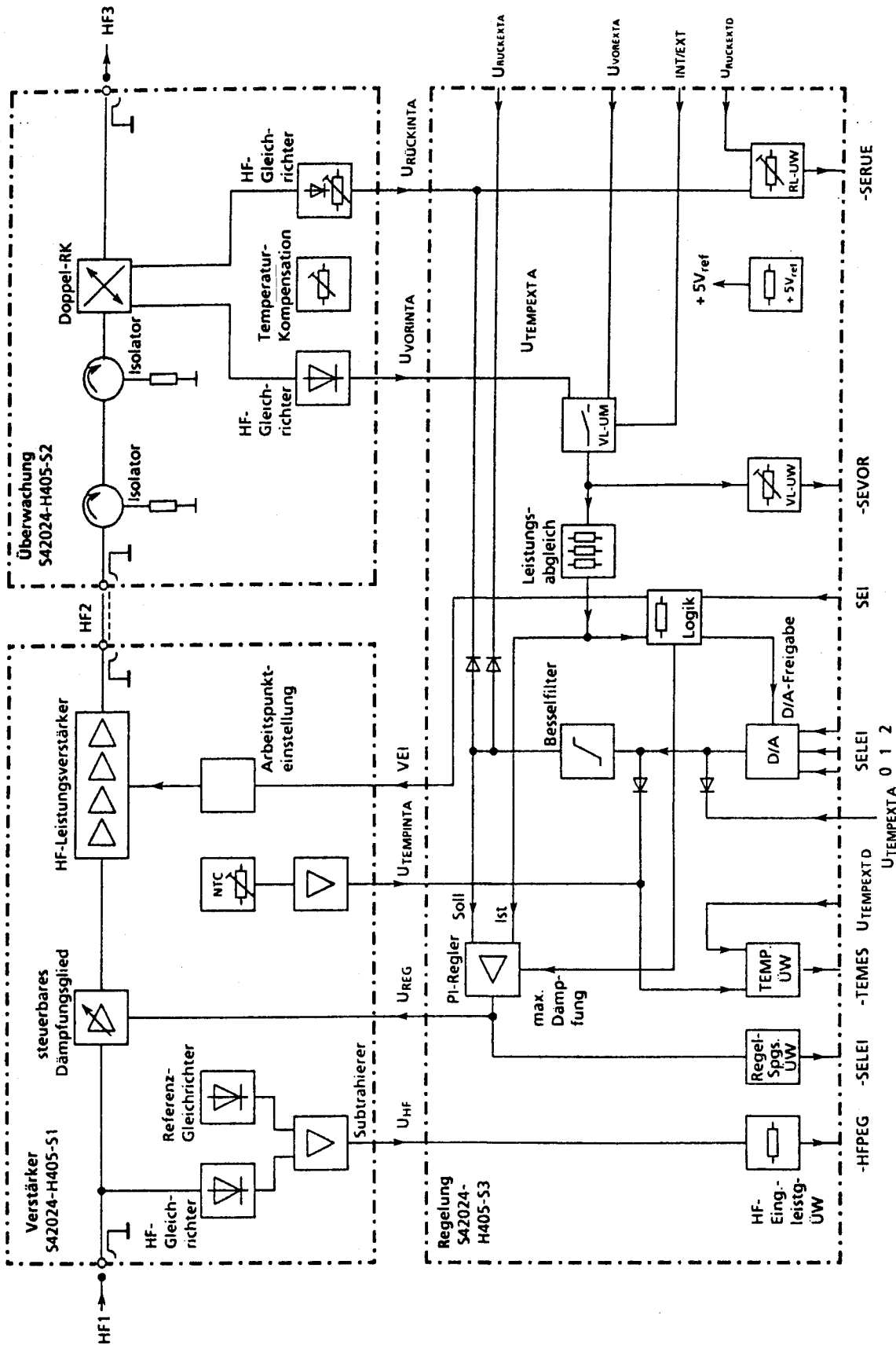


Bild 14 Übersichtsschaltplan HF-Endstufe

3.7.2 Überwachung

In den HF-Weg sind zwei Einwegleitungen mit der notwendigen Beschaltung und je ein Richtkoppler für vorlaufende und rücklaufende HF-Leistung geschaltet.

Die Einwegleitung (Isolator) stellt einen nichtreziproken Vierpol dar, der die HF-Leistung nur in einer Richtung vom Eingang zum Ausgang mit relativ geringer Durchgangsdämpfung (etwa 0,6 dB) überträgt. Wird HF-Leistung entgegen der Durchlaßrichtung durch den Isolator geschickt, so erfährt sie eine hohe Dämpfung (etwa 20 dB), wobei die Leistung am Isolator-Abschlußwiderstand verbraucht wird.

Die notwendige Isolation von ≥ 40 dB (460,0 MHz bis 465,74 MHz) wird durch zwei in Serie geschaltete Isolatoren erreicht, wobei sich etwa der doppelte Wert für die Durchgangsdämpfung ergibt.

Die Richtkoppler am Ausgang der Überwachung bestehen im Durchgang aus einer 50- Ω -Leitung und im Auskoppelpfad aus einer 100- Ω -Leitung. Durch diese Maßnahme wird an die Betriebsimpedanz des Gleichrichters angeglichen und zugleich eine um $\sqrt{2}$ -fache höhere Spannung zur Gleichrichtung erhalten.

Die Auskoppeldämpfung der Richtkoppler beträgt etwa 16 dB.

Die vorlaufende HF-Leistung gelangt an den Gleichrichter, der mit einer zweiten Diode und einem Operationsverstärker temperaturkompensiert wird. Die gleichgerichtete HF-Spannung, die ein Maß für die vorlaufende HF-Leistung ist, gelangt über einen Spannungsfolger zur Leistungsregelung.

Die rücklaufende Leistung wird durch eine einfache Gleichrichterschaltung gleichgerichtet und verstärkt, die Rücklaufspannung $U_{RÜCKINTA}$ am Ausgang des Verstärkers wird ebenfalls zur Leistungsregelung verwendet.

3.7.3 Regelung

Mit Hilfe der Regelung wird die HF-Leistung der HF-Endstufe eingestellt, die Einschalt- und Ausschaltflanken geformt, sämtliche Überwachungsfunktionen und die dazugehörigen Fehlermeldungen vollzogen.

3.7.3.1 D/A-Wandler

Der D/A-Wandler besteht aus einem Demultiplexer, einem Widerstandsnetzwerk und einem Strom-/Spannungswandler.

Der Demultiplexer decodiert die drei Datenbits SELEI0, SELEI1 und SELEI2 und selektiert aus dem Widerstandsnetzwerk einen bestehenden Teiler. Ein UI-Wandler liefert eine dem Teilungsverhältnis des Netzwerkes entsprechende Ausgangsleistung. Die drei Datenbits werden durch die Gatter gesperrt und gelangen erst auf den D/A-Wandler, wenn die Freigabe durch die Regelbereichserkennung durchgeführt wurde.

3.7.3.2 Besselfilter

Auf den D/A-Wandler folgt ein Besselfilter 5. Ordnung, das aus den rechteckförmigen Umschaltflanken des D/A-Wandlers einen \cos^2 -förmigen Verlauf bildet.

3.7.3.3 Regelverstärker, Sollwertumschalter

Der Sollwert und die Ausgangsspannung des Leistungsabgleiches werden in einem Regelverstärker verglichen und verstärkt. Durch einen Kondensator bildet der Regelverstärker einen Integrator. Um die Ladezeit des Kondensators beim Einschalten zu verkürzen, wird die Spannung am Kondensator durch eine Zenerdiode begrenzt.

Der EIN/AUS-Befehl für den Regelverstärker geschieht über einen Sollwertumschalter, einen Widerstand und einen Kondensator.

Diese Umschaltung wird durch die Regelbereichserkennung vorgenommen. Der Ausgang des Regelverstärkers liefert die Regelspannung U_{REG} .

3.7.3.4 Leistungsabgleich, Leistungseinstellung

Um Bauteile- und Fertigungstoleranzen auszugleichen, ist ein Abgleich der Ausgangsleistung erforderlich.

Dieser Abgleich wird mit einem Operationsverstärker vorgenommen. Dabei durchläuft die Vorlaufspannung U_{VOR} einen abgleichbaren und einstellbaren Verstärker, und bildet so den Istwert für den Regelverstärker.

Bei einer Änderung des Istwertes (durch Verstärkung oder Offsetschlag der Vorlaufspannung) ändert sich somit auch die Ausgangsleistung.

Der Leistungsabgleich wird mit zwei Widerständen vorgenommen, wobei mit einem Widerstand maximale und mit einem Widerstand die minimale Ausgangsleistung festgelegt wird.

Mit einem Potentiometer läßt sich die Ausgangsleistung stetig um 5 dB verringern (bezogen auf die maximale Ausgangsleistung).

3.7.3.5 Regelbereichserkennung

Ein Fensterdiskriminator prüft mit Hilfe des Istwertes, ob der Regelbereich erreicht ist.

Die Entscheidung des Fensterdiskriminators wird über Gatter mit dem Befehl SEI verknüpft und steuert die Freigabe des D/A-Wandlers, den EIN/AUS-Befehl für den Regelverstärker sowie die Arbeitspunkteinstellung der Endstufentransistoren.

3.7.3.6 Vorlaufspannung, Umschaltung

Beim Anschluß eines (externen) Boosters dient dessen Vorlaufspannung als Istwert.

Bei Anschluß des Boosters wird selbständig umgeschaltet.

3.7.3.7 Referenzspannungsquelle +5 V_{ref}

Die Referenzspannung +5 V wird aus den geregelten +10 V gewonnen. Um Bauteiltoleranzen ausgleichen zu können, ist die Referenzspannung abgleichbar. Der Abgleich ist mit einem Abgleichwiderstand möglich. Zum Erzeugen der Referenzspannung dient ein Präzisionsspannungsregler.

3.7.3.8 Fehlermeldungen

Fehlermeldung Schutzschaltung - Übertemperatur

Die Temperaturspannung U_{TEMPINTA} greift bei Übertemperatur über eine Diode auf den Sollwert (Eingang Besselfilter) des Regelkreises ein. Gleichzeitig wird mit einem Komparator die Fehlermeldung -TEMES gebildet.

Ebenso greift über eine Diode die Temperaturspannung eines eventuell vorhandenen Boosters ein. Dadurch wird die Temperatur der Endstufe auf etwa 70°C begrenzt.

-TEMES = "L".....Temperatur zu hoch

-TEMES = "H".....Temperatur < 70°C

Sinkt U_{TEMINTA} unter einen bestimmten Wert, so liefert ein Operationsverstärker ein Ausgangssignal. Dieses Signal bildet, verknüpft mit der äquivalenten Fehlermeldung eines eventuell vorhandenen Boosters, die Fehlermeldung -TEMES.

Die beiden Signale werden über ein HC-MOS NOR-Gate miteinander verknüpft.

Fehlermeldung Rückregelung - Rücklauf

Wird die rücklaufende Leistung zu groß, greift die Rücklaufspannung $U_{\text{RÜCKINTA}}$ über eine Diode auf den Sollwert (Ausgang Besselfilter) des Regelkreises ein. Ebenso greift über eine Diode die Rücklaufspannung eines eventuell vorhandenen Boosters ein.

Die maximal mögliche Rücklaufleistung wird so auf etwa 37 dBm begrenzt. Außerdem gelangt die Rücklaufspannung $U_{\text{RÜCKINTA}}$ auf einen einstellbaren Komparator. Mit einem Potentiometer ist die Ansprechschwelle der Fehlermeldung zwischen 36 dBm und 27 dBm Rücklaufleistung einstellbar. Der Komparator verknüpft sein Ausgangssignal mit dem äquivalenten Signal eines eventuell vorhandenen Boosters und bildet die Fehlermeldung -SERUE.

-SERUE = "H".....Rücklauf in Ordnung

-SERUE = "L".....Rücklauf zu groß

Fehlermeldung Eingangsleistung

Wird die vom Modulator gelieferte Eingangsleistung zu klein (≤ 7 dBm), wird die Fehlermeldung -HFPEG abgegeben. Um eventuelle Bauteiltoleranzen des Gleichrichters auszugleichen, ist der für die Fehlermeldung zuständige Komparator mit einem Widerstand abgleichbar. Um ein sicheres Umschalten der Fehlermeldung zu gewährleisten, wurde der Umschaltpunkt mit Hysterese ausgelegt (+ 3 dB \rightarrow Umschaltswelle 7/10 dBm).

Der Ausgang des Komparators liefert die Fehlermeldung -HFPEG.

-HFPEG = "H".....Eingangsleistung ≥ 10 dBm

-HFPEG = "L".....Eingangsleistung ≤ 7 dBm

Fehlermeldung Regelspannungsüberwachung

Die Regelspannung U_{REG} wird mit einem Fensterkomparator überwacht. Die Grenzwerte wurden dabei, unter Berücksichtigung von Betriebsspannungsschwankungen und Operationsverstärkertoleranzen (Aussteuerbereich), auf ± 7 V gelegt.

Ist die Regelspannung außerhalb des Regelbereiches, liefert die Regelspannungsüberwachung die Fehlermeldung -SELEI.

-SELEI = "H".....Regelspannung innerhalb des Regelbereiches

-SELEI = "L".....Regelspannung außerhalb des Regelbereiches.

Fehlermeldung Vorlauf

Wird die vorlaufende Leistung zu klein, wird die Fehlermeldung -SEVOR abgegeben. Die Ansprechschwelle der Fehlermeldung -SEVOR ist mit einem Potentiometer um etwa 6 dB veränderbar. Um ein sicheres Umschalten der Fehlermeldung zu gewährleisten, ist der Umschaltpunkt mit Hysterese ausgelegt.

Der Ausgang des Komparators liefert die Fehlermeldung -SEVOR.

-SEVOR = "H".....Vorlauf in Ordnung

-SEVOR = "L".....Vorlauf zu klein

4 Funkkanalsteuerung

4.1 CPU S42025-H418-*1 + Software S42025-H432-A150

Die CPU-Baugruppe (Bild 15) wird in allen Einsätzen der Funkperipherie in der Basisstation verwendet. Der Rechner übernimmt Aufgaben der Betriebs-, Vermittlungs-, Funk- und Sicherheitstechnik, die innerhalb des jeweiligen Systems über die Schnittstellen zur Funkdatensteuerung und der Funkebene abgewickelt werden.

Dazu gehören folgende Aufgaben:

- Steuerung des Datendialoges über serielle Schnittstelle zur FDS und die Funk-schnittstelle (Datensicherungsverfahren).
- Verarbeitung der Empfangskriterien aus der Rechnerperipherie (Feldstärke, Jitter, Offset, Phasenlage, Entfernungsbewertung).
- Steueranweisungen und Einstellungen für das Funkgerät (Synthesizer, Sendeleistung, Offsetkorrektur).
- Auswerten und Umsetzen der internen Störungssignalisierungen.

Die Baugruppe enthält folgende Funktionseinheiten, die in den einzelnen Unterabschnitten näher erläutert sind:

- 80C85 Prozessor
- Speicherbereich
EPROM: Grundbereich 16k, zwei Bänke à 32k
RAM: 8k
- USART für serielle Schnittstelle
- TIMER für Interrupterzeugung
- zwei VLSI-Bausteine mit den Funktionen:
Erzeugen aller Takte für Funkkanalsteuerung und Funkgerät.
Erkennen des Zeitbezugs aus den empfangenen Signalisierungsdaten (Korrelationsempfänger).
Aufbereiten der Signalisierungsdaten (Codieren) zum gesicherten Aussenden.
Empfangen der Signalisierungsdaten mit Fehlerkorrektur (Decodieren).

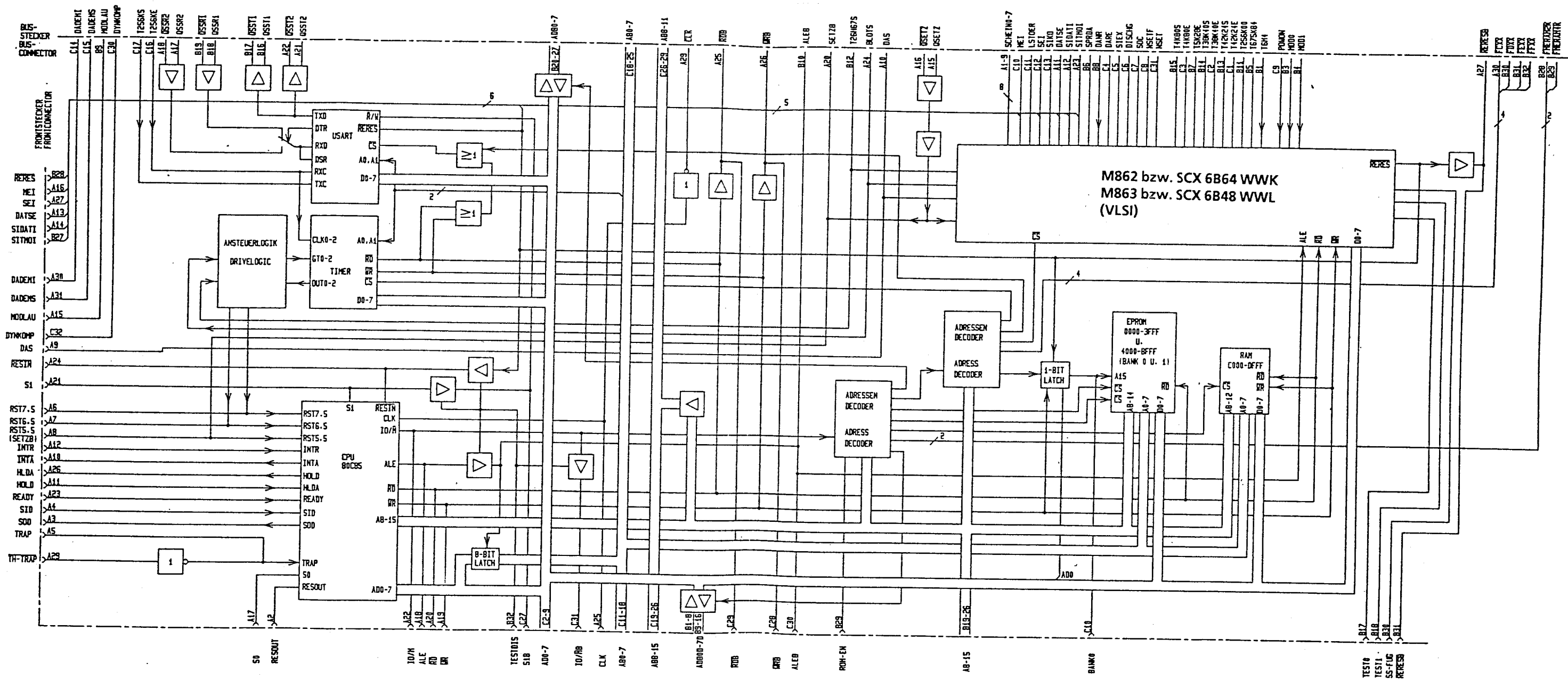


Bild 15 Übersichtsschaltplan CPU

S42023-H150-E1-1-18



Ermitteln der Signalgüte der empfangenen Signalisierungsdaten.

Messen des Geräuschabstandes (Jittermesser).

Messen der Gleichspannungsablage des Analogsignals und Ausgabe des Offsetkorrekturwertes.

Entfernungsmessung

Fehlerüberwachung

fehlendes Setzsignal

Fehler Sendeteilerkette

Synchronlauf Sende- und Empfangsbaustein

Watchdog.

Die CPU-Baugruppe hat einen Diagnosestecker, dessen Belegung für alle in der Basisstation verwendeten Rechnersysteme gleich ist. Der Diagnosestecker enthält den gepufferten Adressen-, Daten- und Steuerbus für den Betrieb des Prozeßverfolgers sowie auch die ungepufferten Anschlüsse des CPU-Bausteines (für externen Betrieb mit dem ICE).

4.1.1 CPU-Baustein 80C85, Adressen-, Daten- und Steuerbus

Bild 16 zeigt die einzelnen Steuersignale der CPU, die vom 80C85-Baustein zu den Steckern sowie zu den Funktionseinheiten geführt werden.

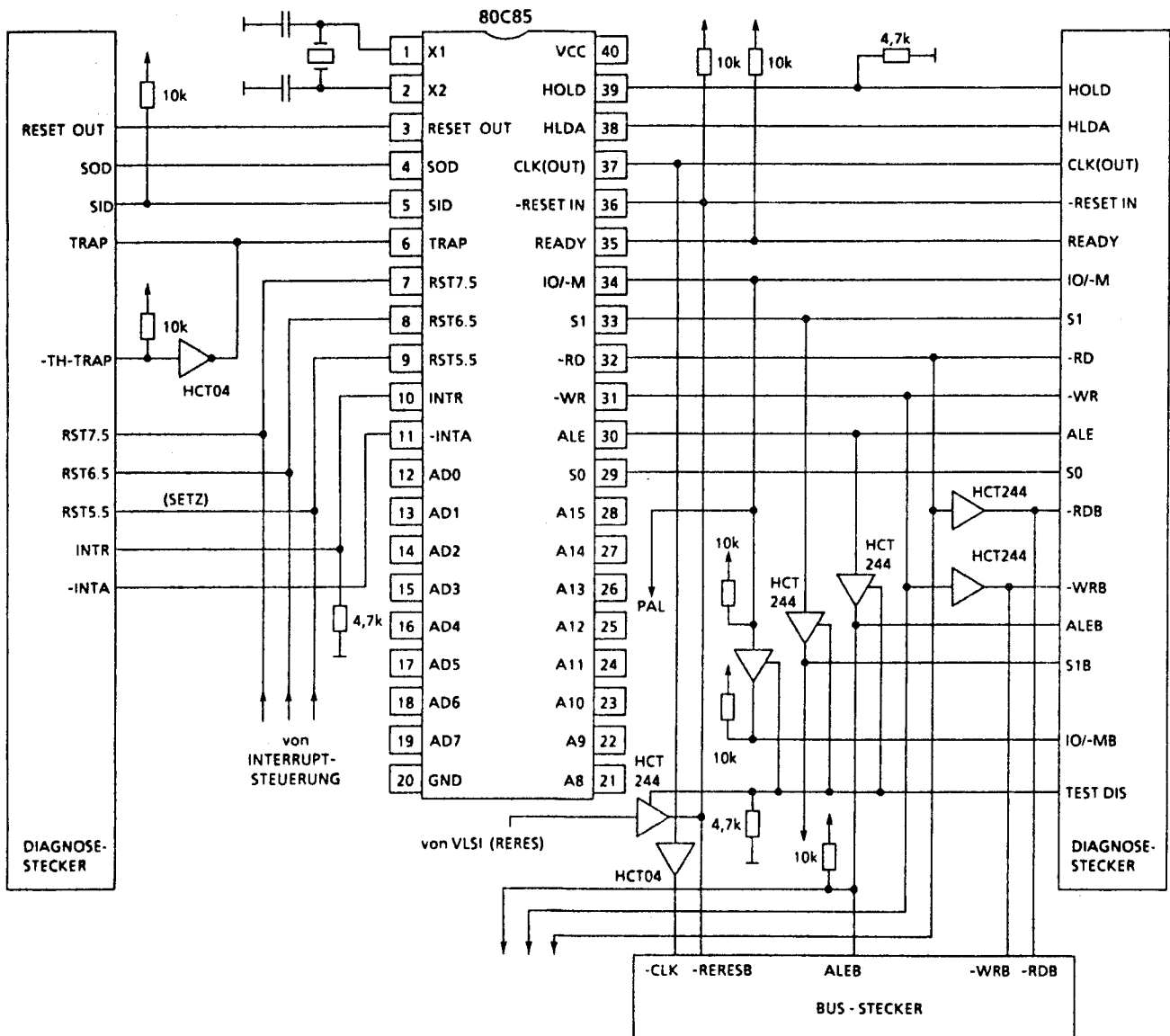


Bild 16 80C85-Steuersignale

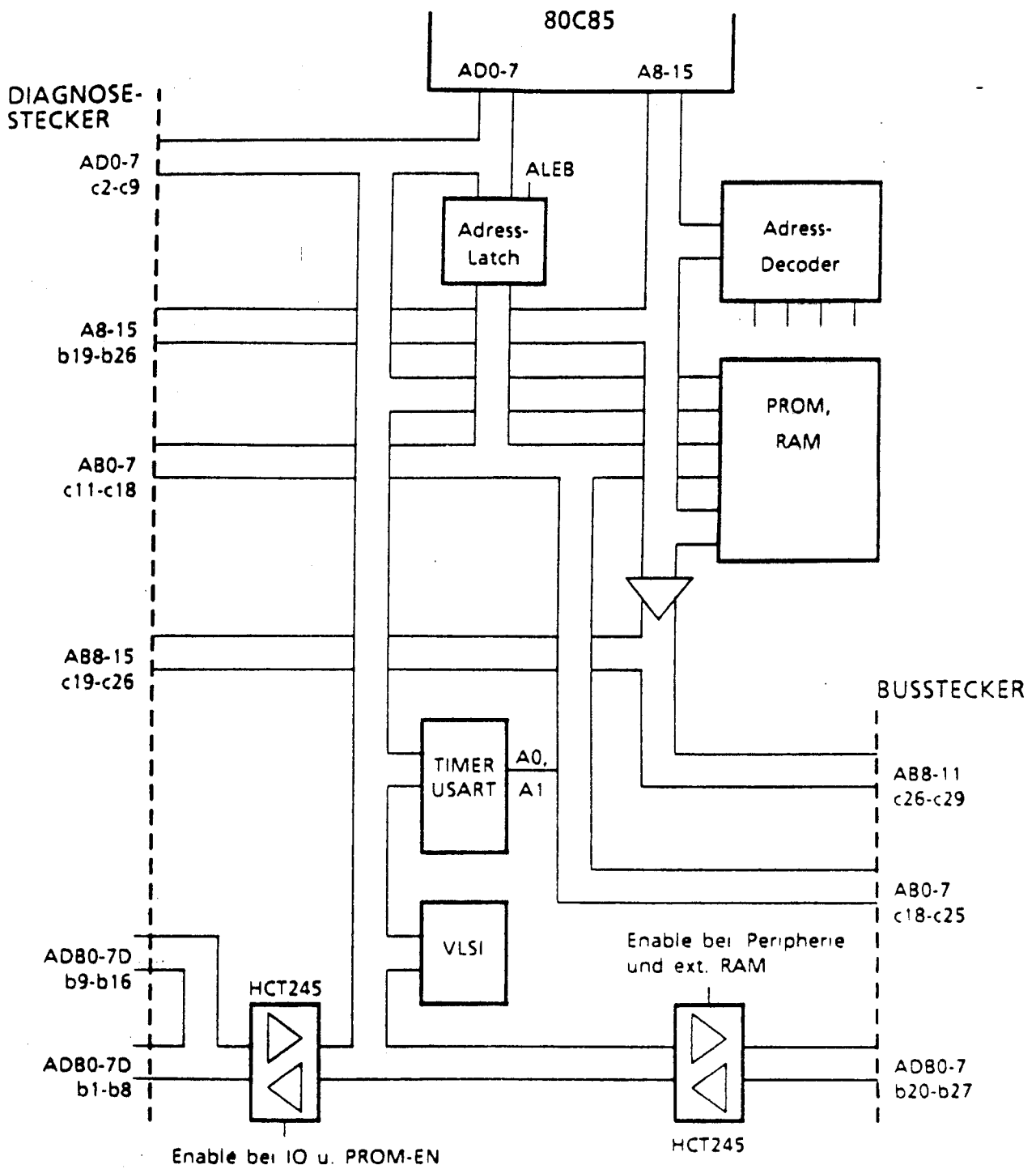
Wie Bild 16 zeigt, sind alle CPU-Signale grundsätzlich direkt zum Diagnosestecker geführt, da ja über diesen der Betrieb eines ICE (z.B. mit Hilfe des ICE-B-Adapters) möglich sein muß. Eingangsleitungen (also Leitungen mit Signalen, die zur 80C85 gehen) sind je nach Erfordernis mit einem Pull-up- oder einem Pull-down-Widerstand versehen, um definierte Pegel zu erreichen, wenn der Diagnosestecker nicht benützt ist (SID = "1", INTR = "0", HOLD = "0", READY = "1", -TH-TRAP = "1"). Um einen TRAP auszulösen, muß der Eingang -TH-TRAP benützt werden.

Ein Teil der Signale wird gepuffert (über HCT244) weitergeführt, sowohl auf den Diagnosestecker (zusätzlich zu den ungepufferten), als auch auf den Busstecker (Buchstabe B nach dem Signalnamen bedeutet "gepuffert": ALEB, -WRB, -RDB, RERESB).

Das Signal RERESB (identisch mit dem RESET IN des 80C85) wird vom VLSI-Sendebaustein erzeugt (als RERES, geführt über einen Treiber HCT244). Außerdem wird noch das CLK-Signal der CPU zum Busstecker geführt, allerdings über einen Inverter HCT04 und ein RC-Glied (Verringern der Flankensteilheit um Störeinflüsse zu vermindern). Auf der Baugruppe selbst werden benötigt: ALEB, -RD, -WR, S1B, IO/-M für Speicher und Peripherie.

So wie für die Steuerleitungen, gilt auch hier, daß die Adressen- und Datenleitungen AD0-7 und A8-A15 des 80C85 direkt auf den Diagnosestecker geführt sind.

Bild 17 zeigt, in welcher Weise die gepufferten Busleitungen weitergeführt sind. Die Datenleitungen (ADB0-7) zum Busstecker sind über einen bidirektionalen Treiber HCT245 geführt, dessen Richtung durch das RD-Signal gesteuert wird. Der Treiber wird mittels Adressenbereichs-Auswahl-Signal aus einem PAL-Baustein aktiviert.



A.....Adr. Bus
 AD...Adr. - Datenbus
 AB...Adr. Bus, gepuffert
 ADB.Adr. - Datenbus, gepuffert

Bild 17 Schema der Adressen- und Datenleitungen

Die Datenleitungen für den Diagnosestecker sind ebenfalls über einen HCT245 (IC 39) geführt. Die Richtungssteuerung wird wieder mit dem RD-Signal vorgenommen. Ein Signal vom PAL (IC 32/19) sorgt wieder für die Aktivierung (Bereich 0-FF, IO adressiert und bei PROM-EN von 0-BFFF, Memory adressiert).

Eine grobe Adressendecodierung für die einzelnen Komplexe wird zunächst mit dem PAL (IC 32) vorgenommen, das die Signale IO/-M, ROM-EN und die Adressenleitungen A10-A15 entsprechend decodiert. ROM-EN ist ein Signal, das vom Diagnosestecker kommt und von außen – z.B. auf dem CPU-Adapter – auf "0" gelegt werden muß, wenn anstelle des Speichers auf der CPU-Baugruppe ein externer Speicher (z.B. auf dem CPU-Adapter) benutzt werden soll. Die IO/-M-Leitung sorgt dafür, daß mit IO-Befehlen nur Peripherie, die am Diagnosestecker angeschlossen ist, angesprochen werden kann.

4.1.2 Speicher

Der PROM-Bereich ist unterteilt in einen Grundbereich von 0000 bis 3FFF (auf IC-Platz 36 ist dafür ein 16k-EPROM eingesetzt; es kann auch ein 32k-EPROM gesteckt werden, allerdings muß das Programm auf der oberen EPROM-Hälfte stehen) und in den Bankbereich.

Der Bankbereich 4000-BFFF wird mittels Bankumschaltung doppelt verwendet. Als Speicherbaustein dient ein 64k-EPROM (IC 35). Die Bankumschaltung wird durch Schreiben einer "0" (für Bank 0) oder einer "1" (für Bank 1) auf Adresse FB00, Bit 0 durchgeführt. Wird die Bankumschaltung nicht benützt, so ist auch ein 32k-EPROM verwendbar. Es muß jedoch auf Bank 1 geschaltet werden, damit $V_{pp} = \text{high}$ ist (siehe Baustein-Spezifikationen).

Um ein gegebenenfalls extern auf dem CPU-Adapter gelegenes EPROM (oder RAM) ebenfalls bankmäßig ansteuern zu können, wird das Bankumschaltesignal ("Bank 0") auch auf den Diagnosestecker geführt, und zwar invers.

Der RAM-Bereich liegt von C000 bis DFFF.

4.1.3 Interruptsteuerung

Standardmäßig werden die Interrupts RST5,5, RST6,5 und RST7,5 verwendet. Der TRAP kann über den Diagnosestecker für Testzwecke benutzt werden.

Der RST5,5 wird durch das Setzsignal ausgelöst, das über den Empfangsbaustein SN75173 aus der Gestellverdrahtung (vom Frequenzverteiler) kommt.

Der RST6,5 tritt im Blockrastrer auf: mit steigender Flanke des Signals BLOTS ("Blocktor senden" aus VLSI, zu Beginn Bit 191 Sendeteilerkette) wird der Interrupt gesetzt, mit steigender Flanke des Taktes T26H67S (aus dem VLSI) – das ist zu Blockwechsel – wird er wieder zurückgenommen (siehe Bild 18).

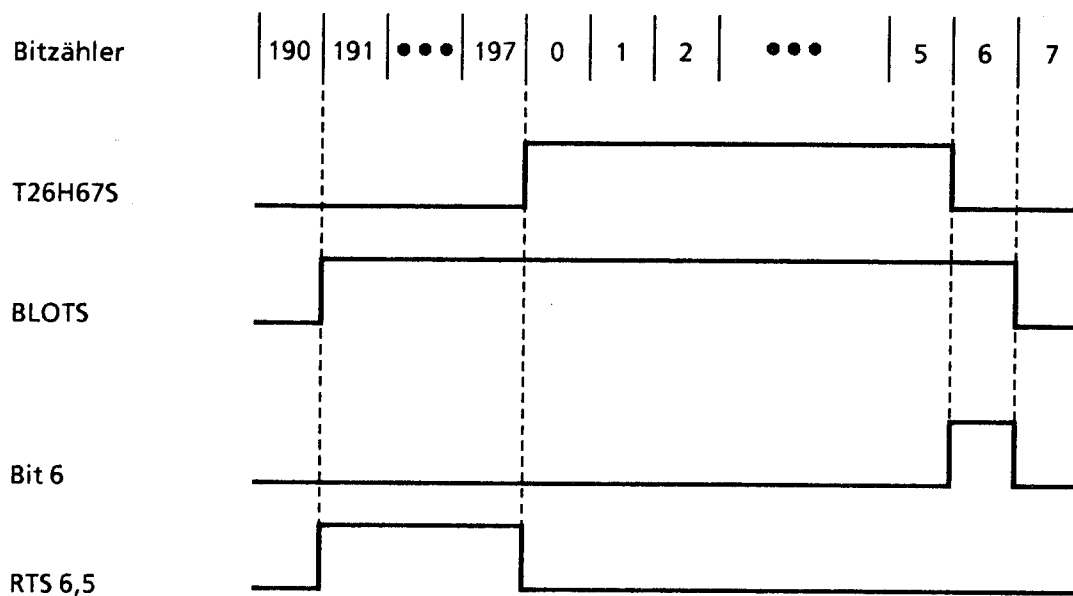


Bild 18 Interrupterzeugung

Der RST7,5 wird mit Hilfe des Timerbausteins 82C54 erzeugt. Durch entsprechende Programmierung des Bausteins werden bis zu drei verschiedene Interrupts RST7,5 während eines Blockes generiert.

Der Timer wird mit den Adressen FA00 bis FA03 adressiert.

4.1.4 Serielle Schnittstelle

Der Datenaustausch über die serielle Schnittstelle zur Funkdatensteuerung geschieht innerhalb eines Funkblocks (37,5 ms) in jeweils zeitprogrammierten Sende- und Empfangsschlitzten. Die Datengeschwindigkeit innerhalb dieser Signalisierungsbursts beträgt 256 kBd. Für den Datenaustausch auf dieser Schnittstelle wird der USART Baustein 2661, für die Festlegung des Zeitpunktes dieses Dialogs der Baustein 82C54 eingesetzt, der am Rechner einen Interrupt (RST7,5) erzeugt (siehe Abschnitt 4.1.3).

Der Baustein 2661 wird mit einer Bitrate von 256 kBd synchron mit dem Empfangstakt T256KE und dem Sendetakt T256KS aus der Interfacekarte betrieben. Der Sendetakt T256KS hat einen Vorlauf, der ungefähr die doppelte Laufzeit der Verbindungskabellänge ausmacht (fest eingestellt), so daß in der Funkdatensteuerung für Sende- und Empfangseinrichtung derselbe 256-kHz-Takt verwendet werden kann. Als Adressenbereich für den USART wird F900-F903 verwendet.

Die beiden Treiberbausteine (im 74ALS1631N) werden parallel vom USART angesteuert; für die Empfangseinrichtung sind es ebenfalls zwei Bausteine (im SN75173). Je nachdem, welche der beiden FDS in Betrieb ist, wird über die DTR-Leitung der eine oder der andere Baustein zum USART durchgeschaltet.

4.1.5 VLSI-Bausteine

Die beiden 48poligen C-MOS-Bausteine M862 bzw. SCX 6B 64 WWK und M863 bzw. SCX 6B 48 WWL (mit VLSI-Baustein bezeichnet) enthalten wesentliche Funktionen der Funkkanalsteuerung. Sie haben eine 8085-kompatible Busschnittstelle, die die Signale AD0-7 (8-bit-Adressen-Daten-Bus), ALE (Adress Latch Enable), -RD (Read), -WR (Write) umfaßt. Mit Hilfe des Decoderbausteins (HCT138) auf der CPU wird das Chip-Select-Signal (-CS) erzeugt, das den Ansprechbereich der VLSI-Bausteine auf F800 bis F8FF festlegt. Die niederen acht Adressenbits werden mit Hilfe des ALE-Signals über AD0-7 in die VLSI-Bausteine gespeichert.

Die Pins MOD0, MOD1 sowie TEST0 und TEST1 legen die Betriebsarten der Bausteine fest. Für den OSK liegen MOD0 und MOD1 auf "0". TEST0 und TEST1 sind "0" bei Normalbetrieb. Für Testzwecke kann mit TEST0 = 0 und TEST1 = 1 die verteilte Signalisierung abgeschaltet werden (geschieht über den Diagnosestecker mit Hilfe des CPU-Adapters).

Das Bild 19 zeigt die wesentlichsten Funktionsblöcke der VLSI-Bausteine. Alle Funktionsblöcke werden über die Busschnittstelle bedient (im folgenden werden die beiden Bausteine als Einheit betrachtet, so daß auch nur von einer Busschnittstelle gesprochen wird, obwohl natürlich jeder Baustein eine eigene Schnittstelle hat).

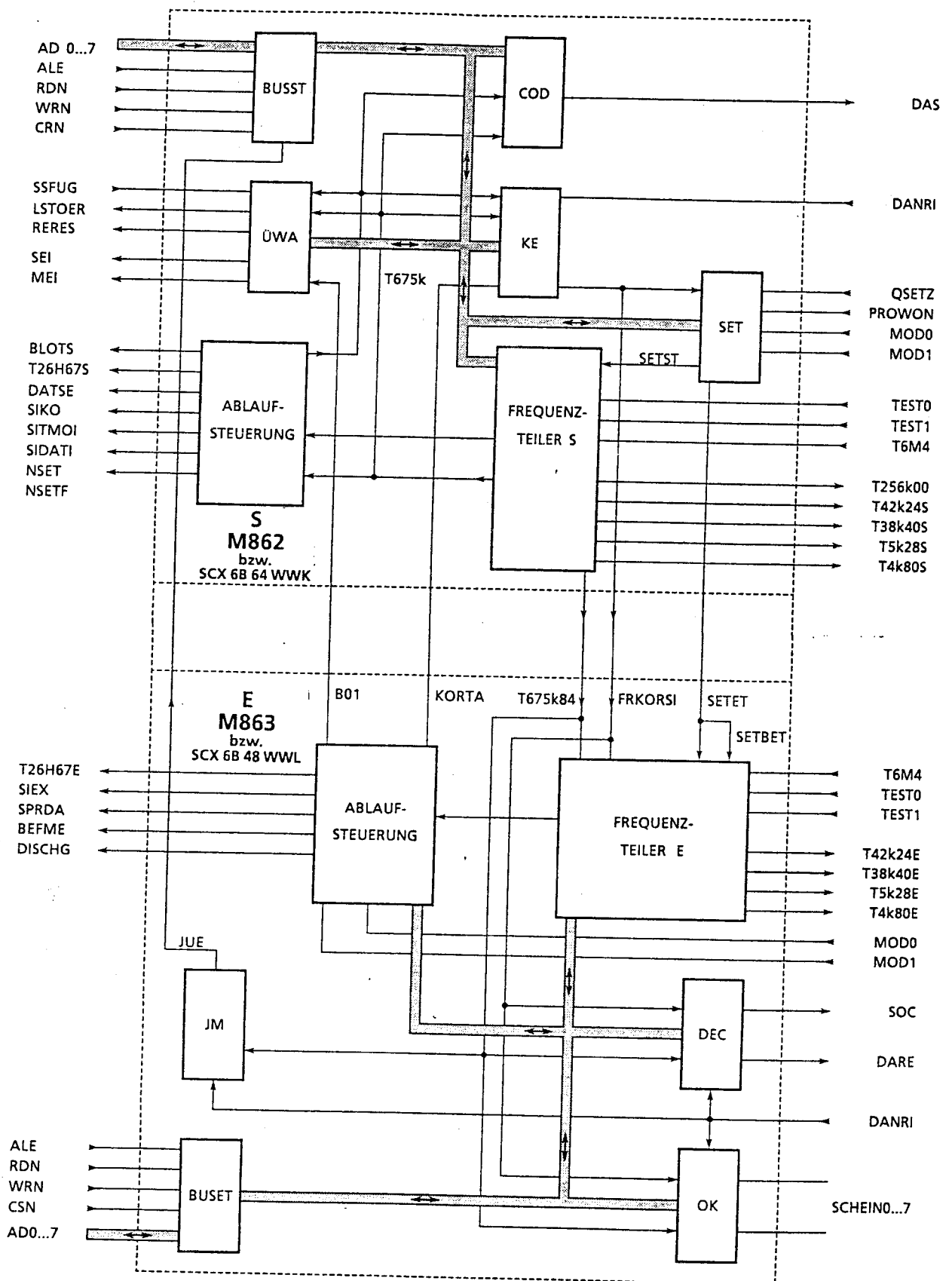


Bild 19 Übersichtsschaltplan der Bausteine M862 bzw. SCX 6B 64 WWK und M863 bzw. SCX 6B 48 WWL

Das Bild 20 zeigt die über die Pins geführten Signale und ihre Einbettung innerhalb der CPU-Baugruppe.

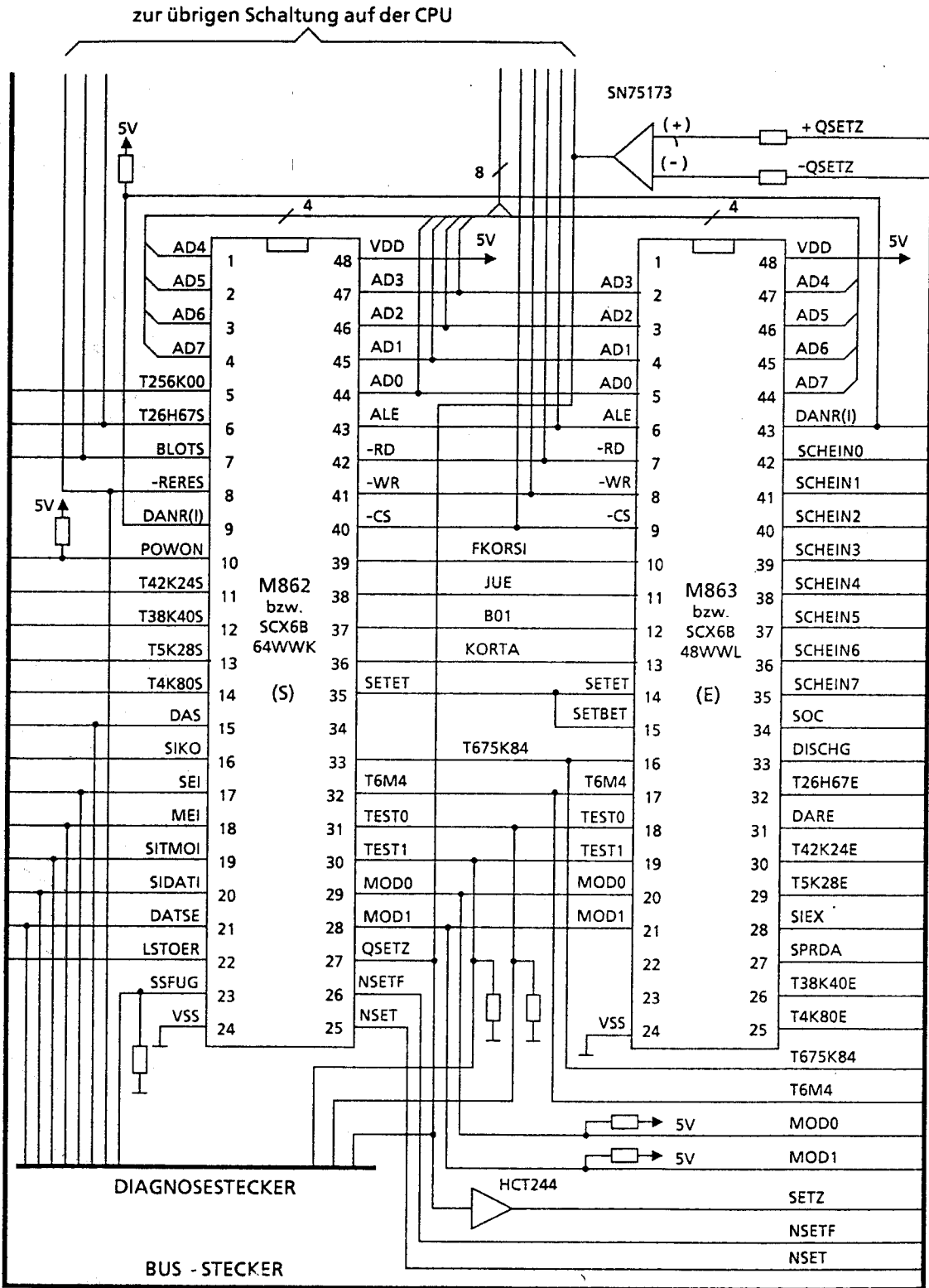


Bild 20 Anschlußschema der VLSI-Bausteine

4.1.5.1 Takterzeugung

Grundlage aller erzeugten Takte ist der Eingangstakt 6,4MHz. Von diesem werden die einzelnen Takte abgeleitet. Die Signalnamen der Takte setzen sich aus den Buchstaben T und der Frequenzangabe zusammen, wie aus folgendem Schema ersichtlich ist (Bild 21).

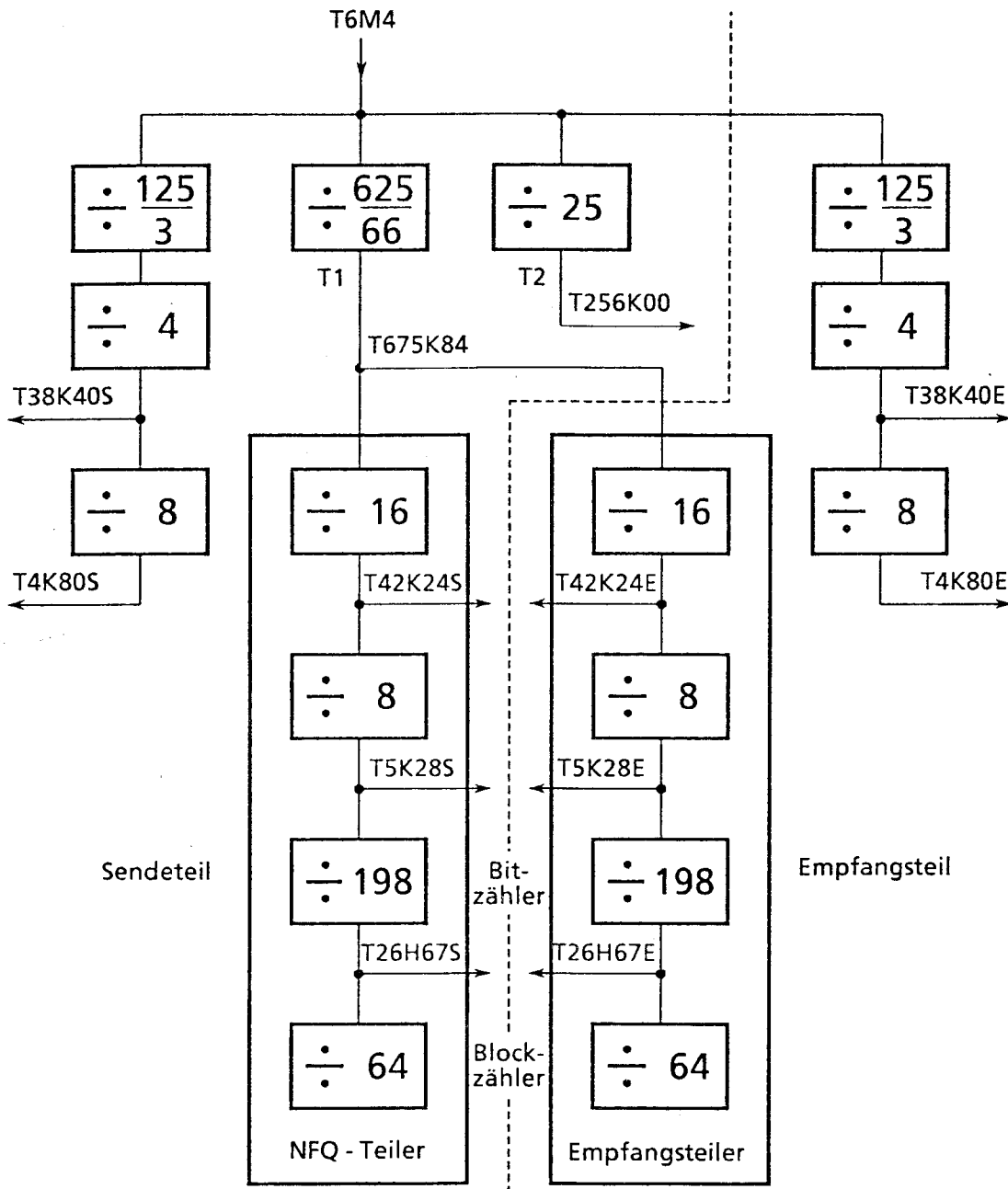


Bild 21 Übersichtsschaltplan der Frequenzteiler für Sende- und Empfangsteil

Da Sende- und Empfangsrahmen zueinander zeitversetzt sein können, ist ein Großteil der Takte zweimal vorhanden: S für Sendeseite, E für Empfangsseite. Ein Teil der Takte läßt sich nicht durch rationale Teilerverhältnisse erzeugen und weist daher einen Jitter auf (siehe folgende Tabelle).

Taktname	erzeugt aus	Teilungsfaktor	Phasenjitter
T675K84	T6M4	625/66	- 78,15 - 146,78 ns
T256K00	T6M4	25	0
T42K24S,E	T675K	16	- 4,7 - 146,78 ns
T5K28S,E	T42K24S,E	8	- 4,7 - 146,78 ns
T26H67S,E	T5K28S,E	198	0
T38K40S,E	T6M4	500/3	104,17 ns

Außerhalb der VLSI-Bausteine werden folgende Takte verwendet:

- T675K84: Taktung für A/D-Wandler für Feldstärke
- T256K00: Takt für serielle Schnittstellen
- T26H67S: Einlatchen von Port-Signalen
- T38K40S,E
und T42K24S,E: Takte für Komprimierung und Expandierung der Sprache.

4.1.5.2 Teilerketten

Mit T675K84 werden die beiden Teilerketten (Sendeteiler und Empfangsteiler) getaktet. Mittels Teilung durch 128 entsteht der Bittakt von T5K28S bzw. E (siehe auch obige Tabelle), eine weitere Teilung durch 198 ergibt den Blocktakt T26H67S bzw. E, mit dem schließlich der Blockzähler gezählt wird. 64 Blöcke zu je 37,5 ms bilden einen Rahmen, der demnach 2,4 s lang ist.

Der Bitzählerstand der Sendeteilerkette kann über die Busschnittstelle gelesen werden (Adresse F815), ebenso der Stand des Sendeblockzählers (Adresse F81C).

Beide Teilerketten können über verschiedene externe und interne Signale auf bestimmte Werte gesetzt werden.

Externe Signale

POWON entsteht bei Einschalten der Spannung oder bei RESET erzeugt internes POP-Signal (power-on-puls).

QSETZ Rahmensetzsignal erzeugt mit Rückflanke internes Setzsignal QSET.

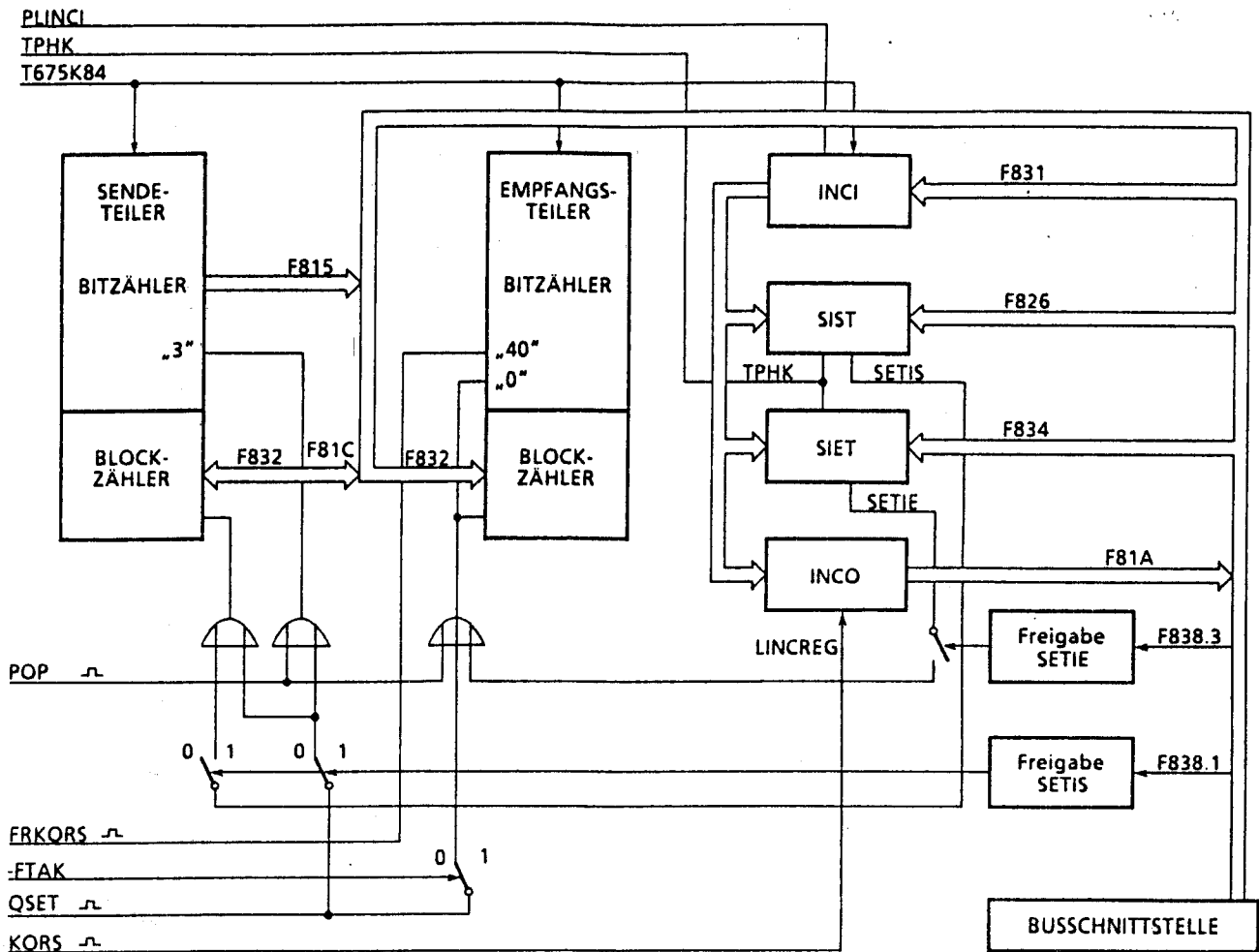
Beide Signale setzen alle Teiler einschließlich Teilerkette.

Interne Signale

FRKORS ("freigegebenes Korrelationssignal") und die Setzsignale **SETIS**, **SETIE** (indirektes Setzen) aus dem Inkrementierungszähler setzen die beiden Teilerketten (ab T675k84).

Mit **FRKORS** wird der Bitzählerstand der Empfangsteilerkette auf 40, mit den anderen Setzsignalen auf 0 gesetzt. Die Sendeteilerkette wird auf Bit 3 gesetzt.

Einzelheiten dazu zeigt Bild 22.



- LINCREG Laden Incrementierungsregister (INCO)
- SIST, SETIS Setzen indirekt, Sendeteiler
- SIET, SETIE Setzen indirekt, Empfangsteiler
 SIET und SIST sind die Vergleichswerte für die Phase, die auf den Adressen F826 und F834 eingespeichert werden. Bei Gleichheit mit dem Stand des Incrementierungszählers werden die Impulse SETIS bzw. SETIE erzeugt, die die Teilerketten setzen, falls die Impulse über F838.1 und F838.3 freigegeben sind
- TPHK Tor Phasenkorrektur (2 bit lang)
- PLINCI Laden Incrementierungszähler

Bild 22 Teilerketten setzen

4.1.5.3 Ablaufsteuerung

Die Ablaufsteuerung erzeugt Signaltore für die einzelnen Funktionsblöcke und für externe Anschlüsse. Die zeitliche Lage der Signaltore ist zum Teil von der Betriebsart abhängig, und zwar im wesentlichen vom Zustand konzentrierte/verteilte Signalisierung.

Konzentrierte Signalisierung: Organisationskanal (Datentrieb), Aussenden der Signalisierungsinformation innerhalb eines Blocks.

Verteilte Signalisierung: Sprachbetrieb, Aussenden der Signalisierungsinformation in Zeitschlitzten während eines Unterrahmens = 16 Blöcke.

Das Steuerbit F838.2 (SDOT) (F832.2 bedeutet Adresse F832, Bit 7) bestimmt den Zustand konzentrierte / verteilte Signalisierung. SDOT wird blockweise getaktet, beim Sendebaustein mit T26H67S, beim Empfangsbaustein mit T26H67E. Das getaktete Signal heißt SPRDA (SPRDA = "0": verteilte Signalisierung).

Alle Signaltore sind beim Sendebaustein synchron zum Takt T5K28S und beim Empfangsbaustein synchron zum Takt T5K28E.

Folgende Signale werden aus den VLSI-Bausteinen nach außen geführt und im OSK verwendet:

T26H67S Takt 26,67Hz, von Beginn Bit 0 bis Ende Bit 5 jedes Blocks auf "1", sonst "0".

BLOTS "Blocktor senden", von Beginn Bit 191 jeden Blocks bis Ende Bit 6 des folgenden Blocks auf "1", sonst "0".

SOC "Start of Conversion" wird aus dem internen Signal STD gewonnen, das im Decoder am Beginn jedes Decodiervorganges erzeugt wird. Es startet die Verschlüsselung im A/D-Wandler für die Umsetzung der Feldstärke.

DISCHG "Discharge": Entladeimpuls für Ladekondensator (Feldstärkemessung), zu Beginn jedes Blocks bei konzentrierter Signalisierung, zu Beginn jedes Unterrahmens bei verteilter Signalisierung.

Weitere in der Ablaufsteuerung erzeugte Signale werden VLSI-intern verwendet und z.T. in den weiteren Kapiteln erwähnt (z.B. LOFF, SINTO, SDEC usw.).

4.1.5.4 Überwachung und Rechnerreset

Zur Programmlaufkontrolle gibt es einen Watchdog, der mindestens einmal je Block retriggered werden muß. Das geschieht durch Schreiben einer "1" auf F82A.2. Ist das nicht der Fall, wird die Störungsmeldung WADOG erzeugt. Außerdem erscheint am Ausgang RERES-(Rechner-Reset) ein "0"-Impuls, der den 80C85-Baustein sowie einige Peripheriebausteine zurücksetzt. Der Watchdog wird ferner in einen passiven Zustand versetzt; er wird erst wieder durch die nächste Retriggierung aktiviert.

Bei Störung oder Ausfall der Versorgungsspannung oder bei Betätigen der Reset-Taste, was bei POWON = "0" signalisiert wird, wird ebenfalls ein Reset-Signal (Ausgang RERES = "0") erzeugt.

Zum Überwachen der Teilerketten gibt es weitere Fehlermeldungen ("0" bei Fehler):

FTAK Fehler Teilerkette außer Kontrolle
FQSET fehlendes QSET
FSTK Fehler Sendeteilerkette.

FTAK tritt auf, wenn Sendeteilerkette und Empfangsteilerkette um mehr als ± 1 bit auseinanderliegen (Überwachung nur im Block 0, es müssen daher auch beide Blockzähler synchron laufen).

FQSET tritt auf, wenn während eines Rahmens kein QSETZ festgestellt wird.

FSTK tritt auf, wenn die negative Flanke von QSETZ nicht mehr in den Bereich Bit 2,5 bis Bit 3,5 der Sendeteilerkette fällt.

Bei Einschalten der Versorgungsspannung (PPOWON = "0") werden FTAK und FQSET in den Zustand "0" (d.h. Fehler) gebracht, WADOG auf "1" (kein Fehler). Der Zustand der Fehlermeldungen kann in ein Störungsregister übernommen werden, das über die Busschnittstelle mit Adresse F816 auslesbar ist:

Bit 0: FTAK
Bit 1: WADOG
Bit 2: FQSET
Bit 7: FSTK.

Die Übernahme in das Störungsregister geschieht entweder beim Auftreten einer Störungsmeldung – wenn noch keine andere Störungsmeldung vorliegt – oder durch kurzes Einschreiben einer "1" auf Adresse F82A ("Laden Störungsregister").

In beiden Fällen erscheint am externen Anschluß LSTOER ein kurzer "1"-Impuls, mit dem die außerhalb der VLSI-Bausteine liegenden Störungsregister am Audio-Interface geladen werden.

4.1.5.5 Korrelationsempfänger

Der Korrelationsempfänger empfängt die nicht regenerierten (Signalisierungs-) Daten DANRI (I). Am Anfang jedes Signalisierungsblocks befindet sich der Barkercode, der sich dreimal wiederholt. Aus dem empfangenen Barkercode ermittelt der Korrelationsempfänger den Zeitbezug für die Empfangsteilerkette und erzeugt das Zeitzeichen KORS (Korrelationssignal).

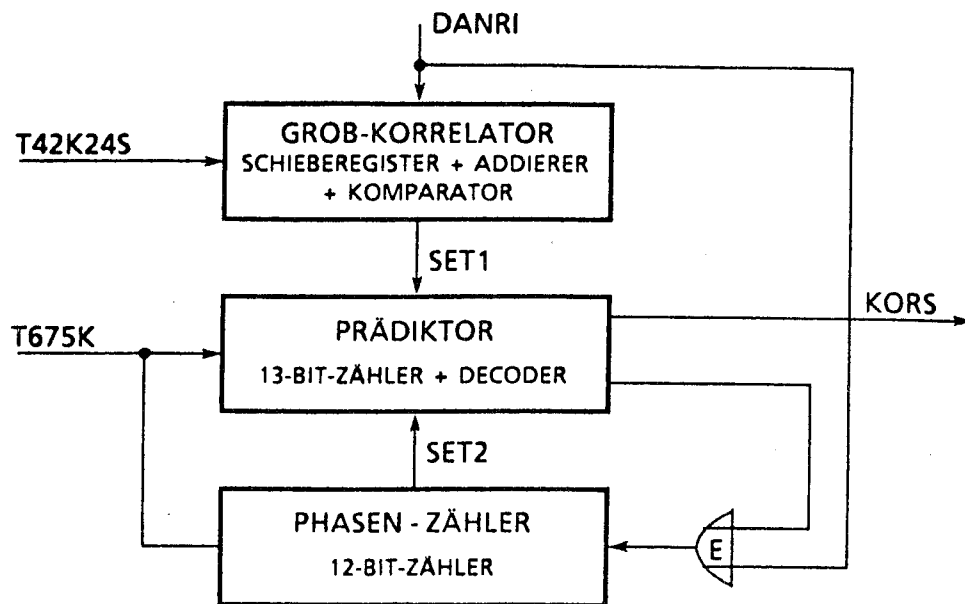


Bild 23 Übersichtsschaltplan des Korrelationsempfängers

Der Grobkorrelator taktet die einlaufenden Signalisierungsdaten mit 42,24kHz ab (acht Proben je Signalisierungsbit). Der Grobkorrelator erkennt den Barkercode, wenn

- im zeitlichen Abstand von $t = 1/T5K28$ jedes Signalisierungsbit mindestens die Pulsbreite $t = 1/T42K24$ hat

und

- der Barkercode höchstens einen Bitfehler enthält (siehe Bild 24).

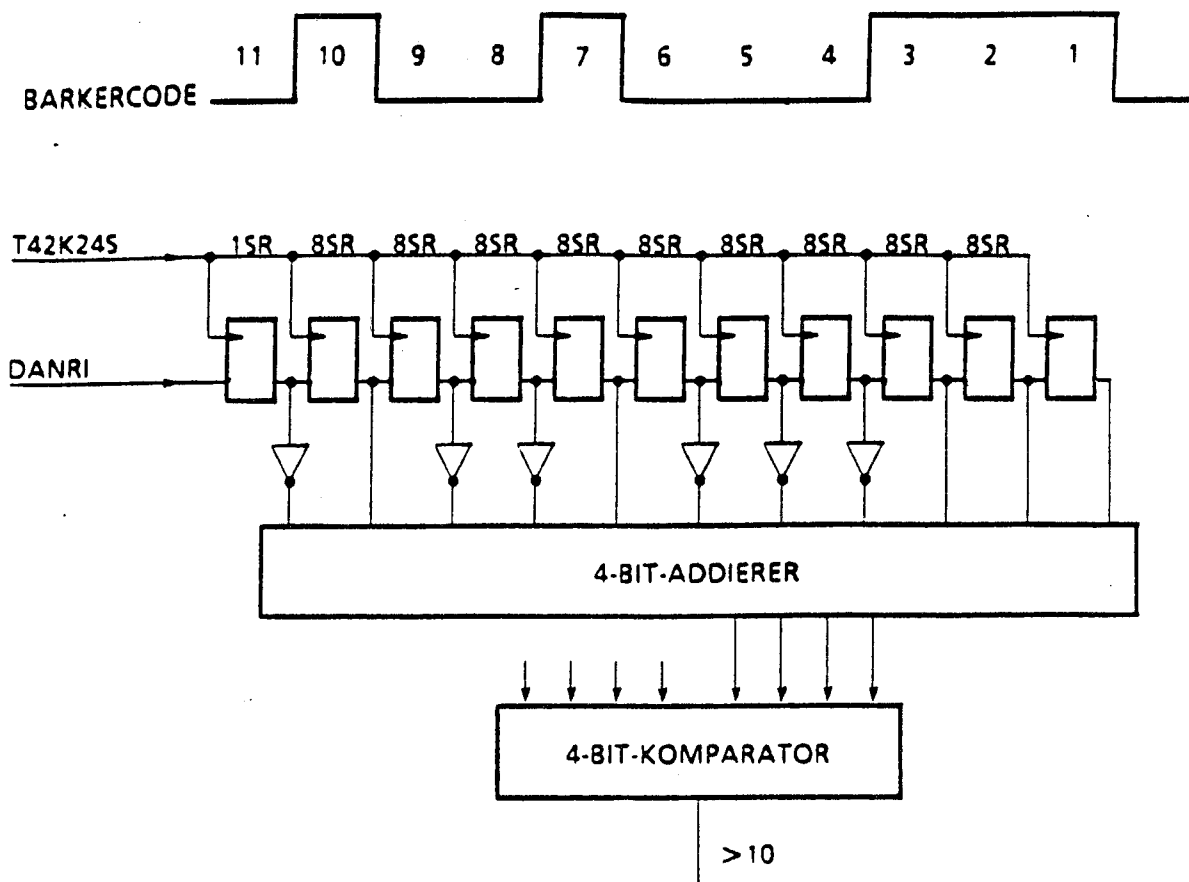


Bild 24 Grobkorrelator mit 81-bit-Schieberegister, 4-bit-Addierer und 4-bit-Komparator

Hat der Grobkorrelator den ersten Barkercode erkannt, dann setzt er einen Prädiktor, der ebenfalls den Barkercode erzeugt. Der Prädiktor vergleicht den eigenen mit dem empfangenen Barkercode und ermittelt dessen Phasenabweichungen.

Der zweite und dritte Barkercode enthalten insgesamt 12 Flankenwechsel. Nach vier Flankenwechseln und dann nach weiteren acht Flankenwechseln paßt sich der Prädiktor zeitlich dem empfangenen Barkercode an (schrittweise Annäherung). Der Korrelationsempfänger erzeugt ein Korrelationssignal KORS, wenn

- der Grobkorrelator drei aufeinanderfolgende Barkercodes erkannt hat und
- der zweite und dritte Barkercode im zeitlich richtigen Abstand zum ersten Barkercode stehen.

Der Zeitpunkt des Korrelationssignales ist:

$0,5 \cdot t_{675K}$ nach Bitmitte des dem Barkercode folgenden "Leerbits".

Die Betriebsarten des Korrelationsempfängers sind:

- Suchlauf (im OSK nicht verwendet)
- Normalbetrieb konzentrierte Signalisierung.

Die Betriebsarten werden über die Busschnittstelle eingestellt, und zwar auf Adresse F82C (beide Signale sind aktiv "1"):

F82C.7 Suchlauf Korrelationsempfänger

F82C.6 Freigabe Korrelationsempfänger.

Die Ausgangssignale des Korrelationsempfängers sind:

KORS (siehe oben)

FRKORS Freigabe Korrelationssignal
(UND-Verknüpfung von KORS und F82C.6)

KORSER (F819.7) Korrelationssignal erkannt

KORSZE (F819.6) Korrelationssignal im Erwartungszeitraum.

Einen Takt T5K28 vor dem Aussenden des Barkercodes wird der Registerinhalt F82C.7 (Suchlauf) in ein internes Register SU des Korrelationsempfängers übernommen, und es werden die Signale KORSER und KORSZE zurückgesetzt.

Die Ablaufsteuerung erzeugt Zeittore für das Erkennen der Korrelation:

SYNT Synchronisations-Erwartungstor.
Zeittor für das Erkennen des ersten Barkercodes durch den Grobkorrelator.
Dieses Zeittor ist 3 bit breit (2 bit: Bereich der Funklaufzeit,
1 bit: maximale Breite der Grobkorrelation).

SYKON Synchronisationskontrolle.
Zeittor für das Korrelationssignal KORS. Dieses Zeittor ist 2 bit breit.

In der Betriebsart Normalbetrieb muß der erste erkannte Barkercode innerhalb des Zeittores SYNT liegen, damit der Prädiktor gesetzt und freigegeben wird.

Es gilt für die Ausgangssignale:

Tor SYNT	dritter Barker-code erkannt	Tor SYKON	F82C.6 Freigabe Korrelations-empfänger	KORS	FRKORS	F819.7 KORSER	F819.6 KORSZE
ja	ja	ja	L	H	L	H	H
ja	ja	ja	H	H	H	H	H
ja	ja	nein	X	L	L	H	L
ja	nein	-	X	L	L	L	L
nein	-	-	X	L	L	L	L

Im Normalbetrieb gibt das Zeittor KORTA der Empfangsfrequenzteilerkette den Korrelationsempfänger frei.

4.1.5.6 Jittermesser

Mit Hilfe des Jittermessers wird über die Auswertung der Zeichenwechsel-Veränderungen der Geräuschabstand im Basisfrequenzband ermittelt. Die Jittermessung bewertet die Veränderung aller gleichpolarer Zeichenwechseländerungen (negative Flanken) im vorgegebenen Bewertungsintervall. Das Bewertungsintervall erstreckt sich bei konzentrierter Signalisierung über eine Blocklänge, bei verteilter Signalisierung über einen Unterrahmen (0,6 sec.). Der Jittermesser besteht im wesentlichen aus einem Auf-/Abwärtszähler (UD-Zähler), der als Modulo-Bit-Zähler arbeitet und mit dem Systemtakt (128fachen Bittakt) betrieben wird (siehe Bild 25).

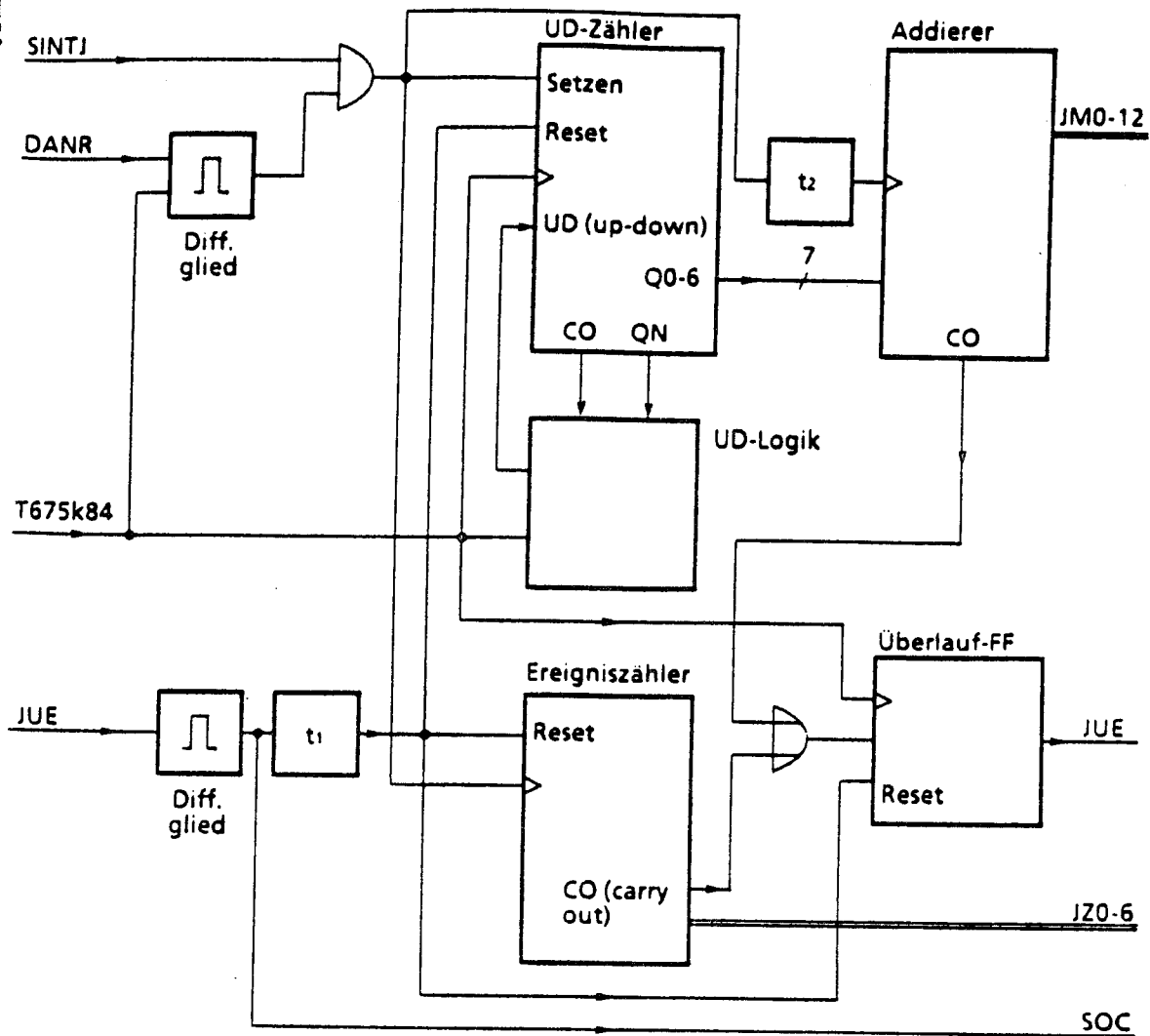


Bild 25 Übersichtsschaltplan Jittermesser

Seine Zählrichtung wird jeweils beim Zählerstand 0 und 63 umgekehrt. Mit dem ersten negativen Flankenwechsel des innerhalb des Bewertungszeitraums (SINTJ) einlaufenden Dateneingangssignals (DANR) wird der Zähler auf den Wert 1 geladen und der Bewertungsvorgang gestartet. Mit jedem negativen Flankenwechsel werden die jeweiligen Zählerstände des Auf-/Abwärtszählers in einen Addierer übernommen und aufaddiert. Gleichzeitig wird der Zähler auf den Wert 1 geladen und der Bewertungsvorgang neu gestartet. Nur bei störungsfreier Datenübertragung erreicht der Zähler am Ende jedes Bewertungsvorgangs zwischen zwei negativen Flankenwechseln den Wert 0 (siehe Bild 26). Ist der Abstand zweier aufeinanderfolgender negativer Flanken größer oder kleiner als die n -fache Bitbreite ($n > 1$), so ergibt sich aus dem Zählerstand des Modulo-Bit-Zählers der Absolutwert der zeitlichen Abweichung vom Sollwert als Jitterwert (siehe Bild 26), der in den Addierer addiert wird.

Ein Ereigniszähler registriert die Anzahl aller negativen Flanken innerhalb des Bewertungszeitraums (7 bit). Nach Ablauf des Bewertungszeitraums werden mit dem Signal STD (Stop Decoder) der im Addierer aufaddierte Jitterwert (JM) und der Zählerstand des Ereigniszählers (JZ) abgespeichert, und sie stehen zum Auslesen über die Busschnittstelle zur Verfügung. Unter der Adresse F849 läßt sich die Anzahl der negativen Flankenwechsel auslesen. Über die Adressen F84A und F84C kann auf den Jitterwert zugegriffen werden, wobei unter Adresse F84A das MSB (5 bit) und unter Adresse F84C das LSB (8 bit) abgespeichert sind.

Ebenfalls vom Signal STD abgeleitet wird ein Rücksetzsignal, mit dem UD-Zähler, Akkumulator und Ereigniszähler zurückgesetzt werden; diese sind somit für einen neuen Bewertungsvorgang vorbereitet.

Übersteigt der akkumulierte Jitterwert innerhalb eines Bewertungszeitraums den Wert $2^{13} = 8192$ oder ist die Anzahl der Zeichenwechsel größer als $2^7 = 128$, so steht am Ausgang Jittermesser-Überlauf (JUE) ein H-Pegel an. Das Signal JUE wird im Sendebaustein weiter verarbeitet und kann über die Busschnittstelle (Adresse F819.2) ausgelesen werden.

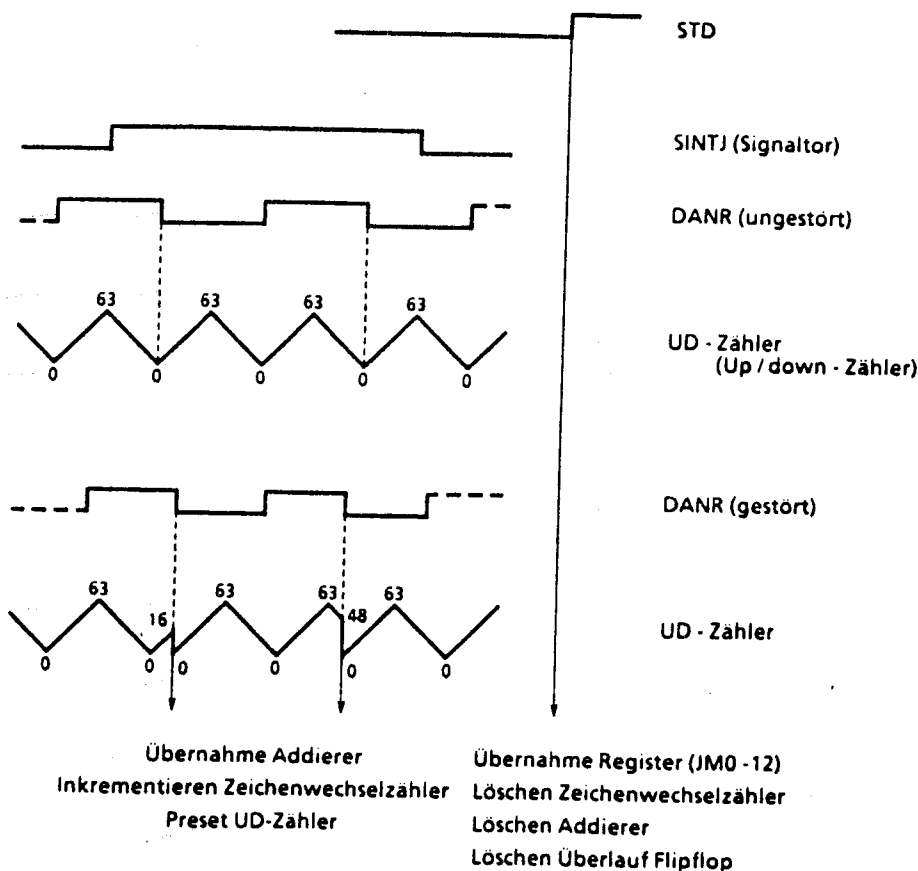


Bild 26 Funktion des Jittermessers

4.1.5.7 Offsetkorrektur

Die Offsetkorrektur wird mit Hilfe der im Bild 27 dargestellten Schaltung durchgeführt; sie besteht aus dem Offsetmesser im VLSI und der Schwellen-Vergleichsschaltung am AU-IF (siehe auch Kapitel 4.2). Weist das vom Empfänger kommende Signal DADEMI eine vom Mittelwert abweichende Gleichspannungsablage auf, so sind die "0"- und "1"-Bits des DANR-Signales nicht mehr gleich lang.

Funktionsweise des Offsetmessers

Der 128fache Bittakt (T675K84) zählt während des Bewertungszeitraums $SINTO = 1$ (das ist während des Barkercodes, Bit 11 bis einschließlich Bit 32) in einen 12-bit-UD-Zähler (Up/down-Zähler) ein.

Das Signal DANR (Daten nicht regeneriert) bestimmt die Zählrichtung: Signallage "0" entspricht der Zählrichtung abwärts, "1" aufwärts.

Außerdem ist zu beachten, daß am Beginn der Offsetmessung der D/A-Wandler mit dem Initialwert 80H ($OFFE0-7 = SCHEIN0-7$ auf Mittenwert) versorgt sein muß, so daß die Gleichspannungsablage des DADEMI-Signals den Flankenverschiebungen des DANR-Signals entspricht. Am Beginn des Bewertungszeitraums wird der Zähler auf 2304 eingestellt, d.i. um 2×128 über dem Mittenwert des Zählers $4096/2 = 2048$. Damit ist die Tatsache berücksichtigt, daß der Barkercode zwei "0"-Bit mehr als "1"-Bit enthält.

Durch den auf 2304 voreingestellten Zähler ist erreicht, daß im Idealfall (keine Gleichspannungsablage) der Zähler am Ende des Bewertungsintervalls auf 2048, also in Zählermitte steht. Mit dem Signal LOFF (Laden Offsetkorrektur) aus der Ablaufsteuerung wird der Zähler auf den Voreinstellwert gesetzt. SINTO gibt den Zähler frei. Der Zähler zählt nun entsprechend der Zeichendauer und des Zeichenzustandes aufwärts oder abwärts. Am Ende der Messung werden die acht höchsten Bits des Zählers abgespeichert und können über Adresse F846 vom Rechner gelesen werden (OFFA).

Die gelesenen Meßwerte der Offsetkorrektur werden im Rechner verarbeitet und daraus ein Wert für die Schwellwerteinstellung gewonnen. Dieser Wert kann über die Busschnittstelle (Adresse F864) eingeschrieben werden (OFFE) und erscheint als binäres Signal an den Ausgängen SCHEIN0-7.

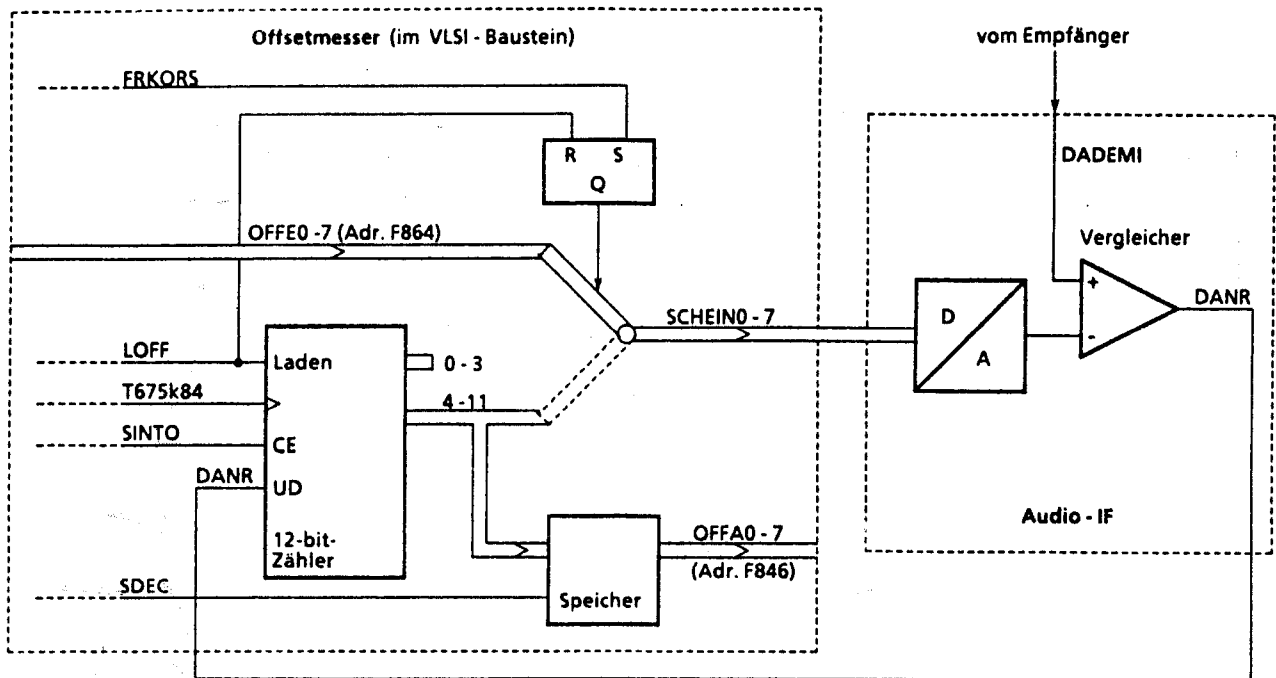


Bild 27 Offsetkorrektur

Mit dem Signal FRKORS (aus M862 bzw. SCX 6B 64 WWK) wird das Ergebnis der Offsetmessung als Korrekturwert auf die Ausgänge SCHEIN0 - SCHEIN7 gelegt. Mit dem nächsten Signal LOFF wird der betreffende Multiplexer jedoch umgesteuert und der Rechner übernimmt die SchwellwertEinstellung.

Anstelle des Initialwertes 80H (entspricht Zählerstand 2048) gelangt der Schwellwert SCHEIN0-7 an den Eingang des D/A-Wandlers an AU-IF (nur bei Ablage Null würde SCHEIN0-7 mit dem Initialwert identisch sein).

Damit ist der Vergleichswert am Vergleicher so eingestellt, daß die Gleichspannungsablage vom DADEMI-Signal kompensiert wird und das DANR-Signal genaue Bit-Längen aufweist (siehe Bild 28).

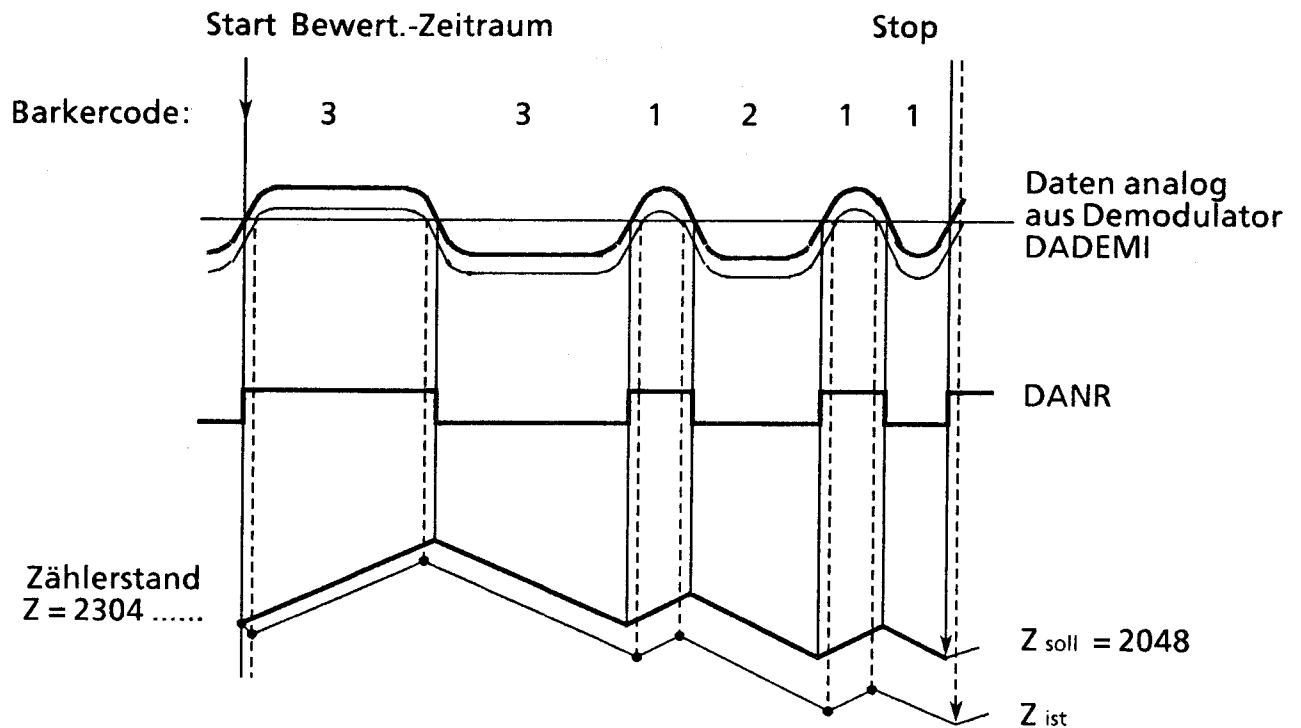


Bild 28 Offsetkorrektur Barkercode

4.1.5.8 Decoder

Der Decoder stellt die Signalisierungs-Schnittstelle zwischen dem Empfänger und dem Rechner dar, seine Aufgaben sind:

- Zwischenspeichern der vom Funkteil gelieferten Daten
- Decodieren der empfangenen Nachricht
- Durchführen von Fehlererkennung und Fehlerkorrektur.

Der Decoder empfängt über den Eingang DANR(I) die nicht regenerierten Signalisierungsdaten. Sie werden mit dem Bit-Takt (T5K28E) abgetaktet und erscheinen am Ausgang DARE (Daten regeneriert). Mit Hilfe der Impulse DECB (Bittakt vom Bit 41, d.i. nach dem Barkercode, bis einschließlich Bit 190) werden die Nutzdaten von den Synchronisierungsdaten (Barkercode) getrennt und entsprechend der zeitlichen Verschachtelung in 15 Worten à 10 bit spaltenweise in ein RAM eingelesen.

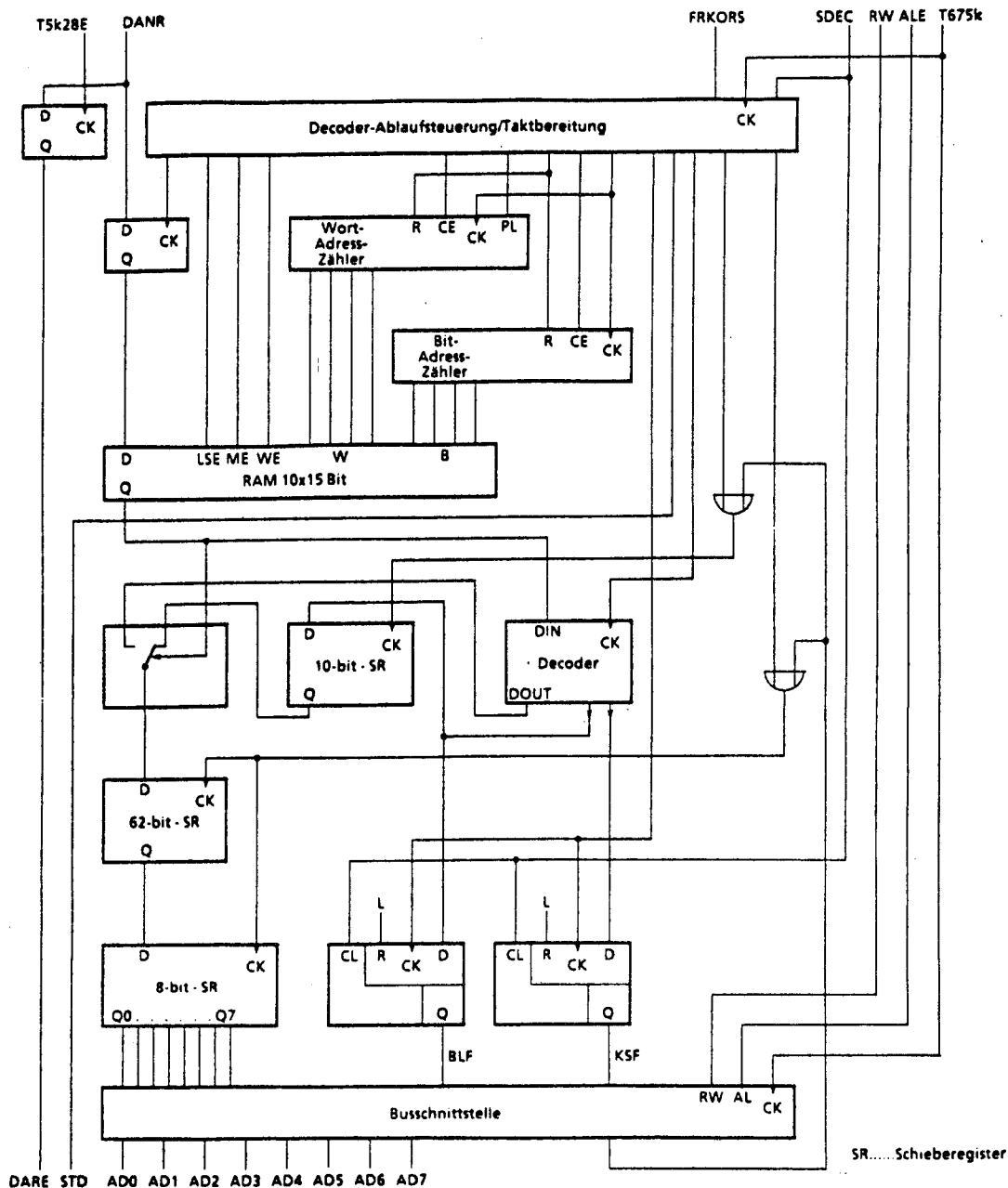


Bild 29 Übersichtsschaltplan Decoder

Zuvor wird die Schaltung mit dem Signal SDEC (Start Decoder, siehe auch Abschnitt 4.1.5.6) aus der Ablaufsteuerung zurückgesetzt und auf den Vorgang Daten einlesen/decodieren vorbereitet. Ebenso kann die Schaltung durch das Signal FRKORS aus dem Korrelationsempfänger während des Einlesevorgangs zurückgesetzt werden. Der Einlesevorgang wird dann mit DECB neu gestartet. Nach Beenden des Einlesevorgangs wird mit der fallenden Flanke des letzten Taktes DECB (Bit 190.5) wird

der Decodiervorgang gestartet. Gleichzeitig wird über den Ausgang STD ein Signal geliefert, das zur weiteren Verarbeitung im Schaltungsteil Jittermesser zur Verfügung steht (siehe Abschnitt 4.1.5.6).

Der Decodierer läuft mit dem halben Systemtakt (T_{675K}). Die im RAM gespeicherten Daten werden zeilenweise (10 Worte à 15 bit) ausgelesen, decodiert und anschließend seriell in einem 70-bit-Schieberegister abgespeichert. Wird bei einem Wort eine Fehlerkorrektur durchgeführt, so wird dies durch Eintragen einer "1" in einem 10-bit-Schieberegister an der entsprechenden Stelle vermerkt. Gleichzeitig wird das Statusbit BLF (Blockfehler, Adresse F843.3) gesetzt. Wird die Korrekturschwelle überschritten, bei drei und mehr Fehlern, wird zusätzlich das Statusbit KSF (Adresse F843.2) gesetzt. Der Decodiervorgang ist nach 600 Takten T_{675K} ($t_{DEC} = 600 \times t_{675K} = 888 \mu s$) beendet. Nach Abschluß des Decodiervorgangs, etwa fünf Bit-Takte nach Einlesen des letzten Signalisierungsbits stehen die decodierten Daten zum Auslesen an der Busschnittstelle (Adresse F845) bereit. Die Daten werden in 10 Worten à 8 bit ausgelesen. Nach jedem READ-Zugriff wird die Busschnittstelle durch Nachschieben der nächsten acht Bits für einen weiteren READ-Zugriff vorbereitet. Daraus ergibt sich als Zeitbedingung für zwei aufeinanderfolgende READ-Zugriffe $t_{READ} \geq 10 \times t_{T675K} = 14,8 \mu s$.

Der Datenblock enthält in den READ-Zugriffen 1 bis 8 und im 9. READ-Zugriff (Bit 0 bis 5) die Signalisierungsdaten und im 9. READ-Zugriff (Bit 6 und 7) sowie im 10. READ-Zugriff das Fehlerkorrekturwort. Die Statusbits "Fehler erkannt" (BLF) und "Korrekturschwelle überschritten" (KSF) lassen sich ebenfalls über die Rechner-schnittstelle (Adresse F843) abfragen (siehe oben).

4.1.5.9 Coder

Der Coder bildet die Schnittstelle zwischen dem Rechner, der die zu sendenden Daten ermittelt und dem Modulator, der die codierten Daten dem Träger aufmoduliert.

Die Aufgaben des Coders sind:

- Zwischenspeicherung
- und
- Codieren der zu sendenden Nachricht durch Hinzufügen der Barkercodebits (3x11 bit) sowie der Redundanzbits.

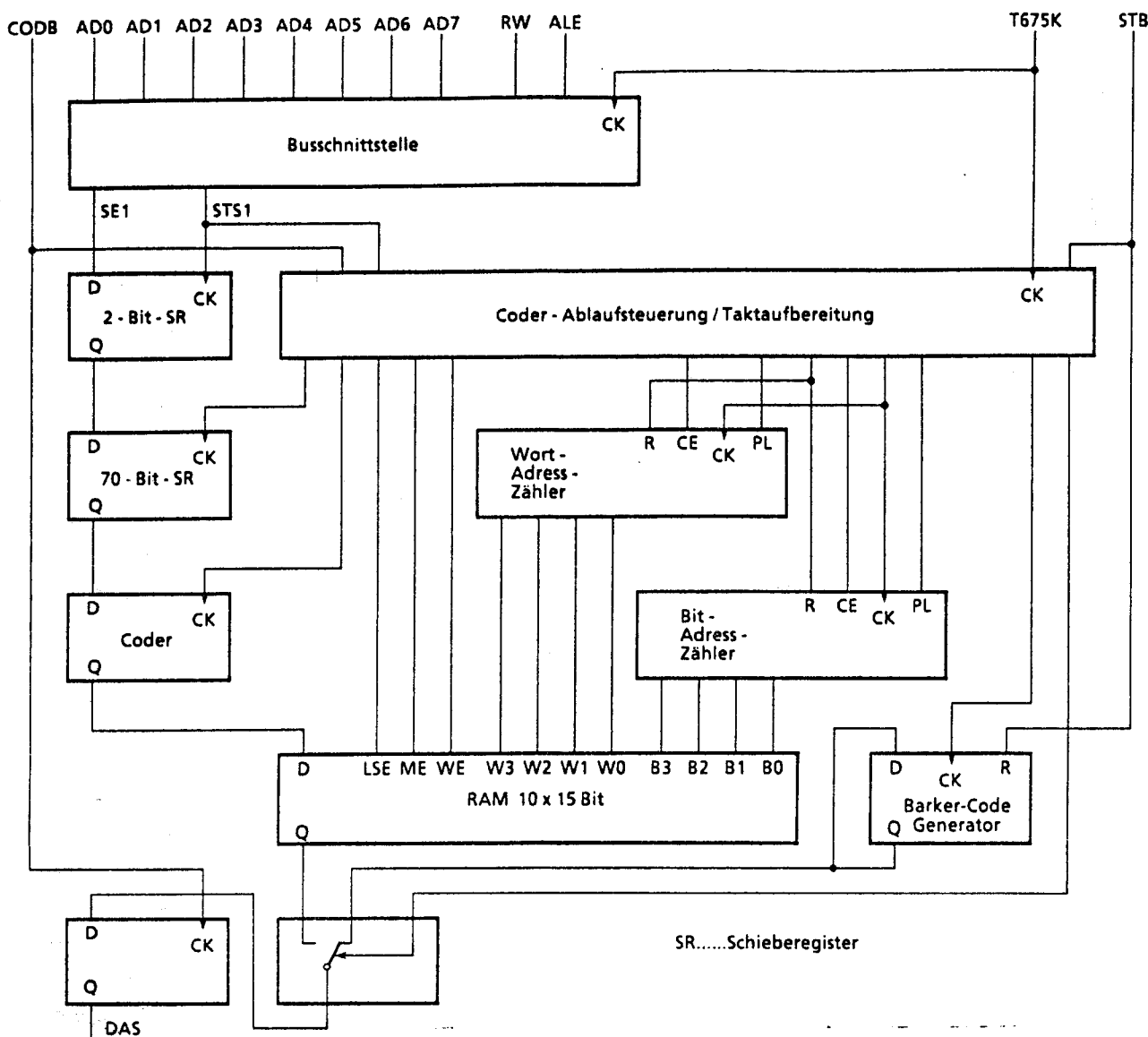


Bild 30 Übersichtsschaltplan Coder

Der im Rechner generierte Datenblock besteht aus 70 Nutz-Bits. Diese Daten werden über die Busschnittstelle (Adresse F829) in den Sendebaustein in neun aufeinanderfolgenden Write-Zugriffen eingeschrieben. Nach jedem Write-Zugriff wird die parallele Busschnittstelle, beginnend mit dem LSB, seriell ausgelesen und die Information in einem 70-bit-Schieberegister zwischengespeichert. Das Abräumen der Busschnittstelle geschieht mit dem Systemtakt (T675K) und wird mit der steigenden Flanke von WRN gestartet. Daraus ergibt sich als Zeitbedingung für zwei aufeinanderfolgende Write-Zugriffe: $t_{WRITE} \geq 10 \times t_{T675K} = 14,8 \mu s$.

Mit dem Signal STC (Start Coder) aus der Ablaufsteuerung wird der Codiervorgang gestartet. Die zwischengespeicherten Daten werden in zehn Blöcken zu 7 bit aus dem 70-bit-Schieberegister ausgelesen und nach dem sogenannten BCH-Code codiert, wobei jedes 7-bit-Wort mit einem Syndrom von 8 bit Länge versehen wird. Die so entstehenden Worte von 15 bit Länge werden zeilenweise in ein 10x15 bit großes RAM eingelesen und zwischengespeichert. Der Codiervorgang läuft mit dem halben Systemtakt (T_{675K}) ab und ist nach 300 Takten ($t_{COD} = 300 \times t_{675K} = 444 \mu s$) abgeschlossen. Das angewandte Codiervorgehen erlaubt bei der Decodierung sowohl eine Fehlererkennung als auch eine Korrektur von maximal zwei Fehlern je Wort.

Mit dem Signal STB (Start Barker) aus der Ablaufsteuerung wird der Vorgang "Daten senden" gestartet.

Mit dem gefensternten Bittakt T_{5K28} ($CO_{DB} = 184$ Takte T_{5K28}) liegen die Sendedaten am Datenausgang (DAS) an. Zunächst startet der Barkercodegenerator und erzeugt eine Bitfolge von 3 mal 11 bit (11100010010) und ein Leerbit (1). Danach werden die zeilenweise gespeicherten und codierten Daten spaltenweise (15 Worte à 10 bit) aus dem RAM ausgelesen.

In der konzentrierten Signalisierung entsteht so ein Signalisierungsblock von $33 + 1 + 150 = 184$ bit; in der verteilten Signalisierung werden die Daten verteilt über einen Unterrahmen in 46 Schlitzen zu je 4 bit gesendet (ein Unterrahmen besteht aus 16 Blöcken zu je drei Schlitzen; die beiden ersten Schlitze enthalten keine Information).

4.2 Audio-Interface S42024-H382-...

Die Baugruppe Audio-Interface (Bild 31) bildet zusammen mit der CPU-Baugruppe die Funkkanalsteuerung im OSK.

Sie enthält folgende Funktionen:

- Erzeugen von Sende- und Empfangstakt für die serielle Schnittstelle (Laufzeitkorrektur)
- Adressendecodierung für Ein- und Ausgabeports
- Abfrage der Gestelladresse
- Ausgabeports für Ansteuerung der Umschalter und Synthesizer, Steuerung der Sendeleistung; ferner Ausgabe der Signale für die Betriebsarten und Ansteuerung der Verfügbar-LED (Signal OKVR)
- Offsetkorrektur durch Vergleich des empfangenen Signals mit eingestellter Schwelle
- Erzeugen des Power-on-Resets; Reset-Taste
- Erfassen von Störungsmeldungen bzw. Statusmeldungen
- Pegelanpassung für 6,4MHz
- Koaxrelaissteuerung
- Erzeugen der -2,5-V-Versorgung für den Audio-Teil.

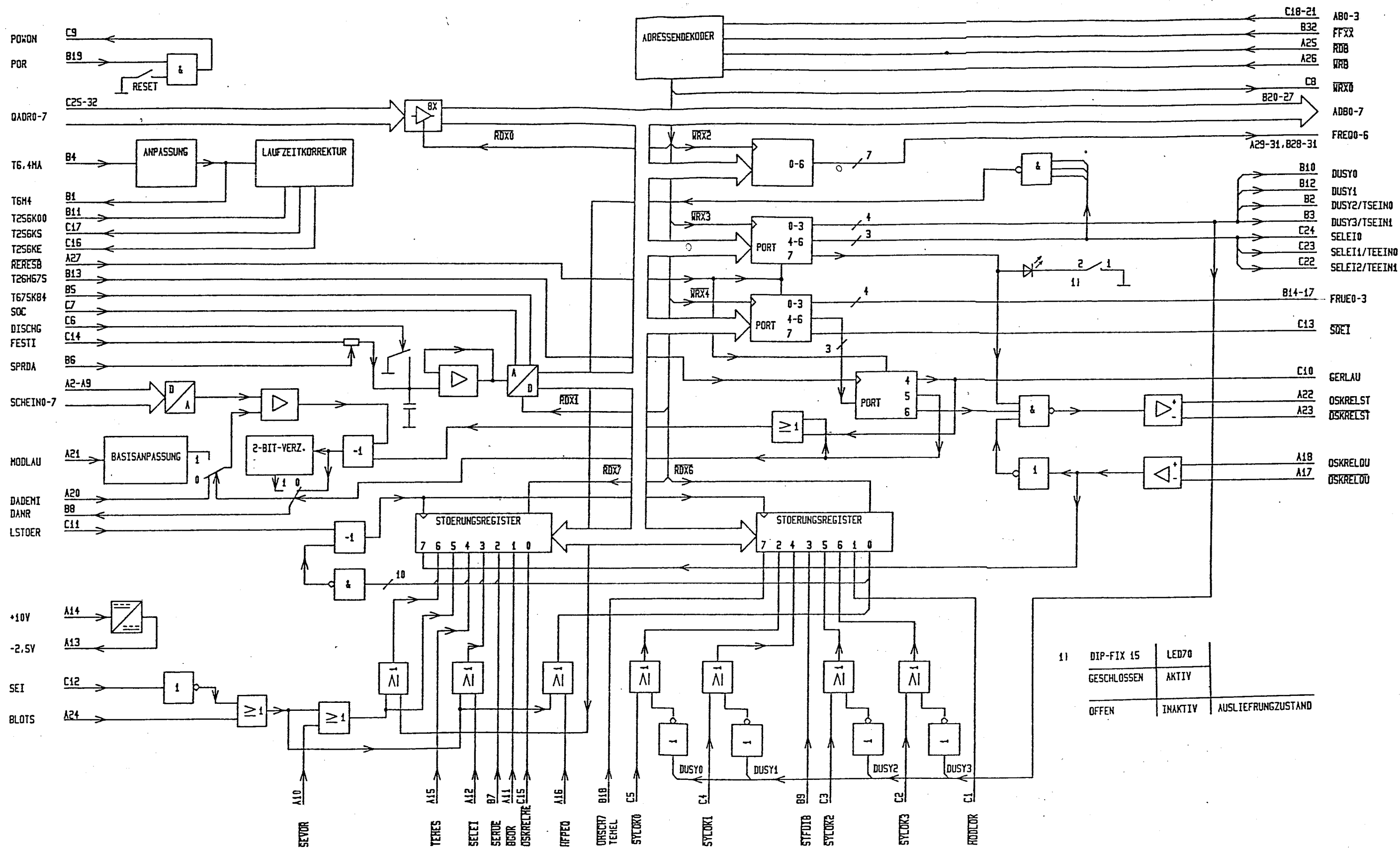


Bild 31 Übersichtschaltplan Audio-Interface



4.2.1 Laufzeitkorrektur

Aus dem 256-kHz-Takt (Signal T256k00 aus dem VLSI) werden die beiden Signale T256kS und T256kE mit Hilfe von zwei Schieberegistern erzeugt, die Signale sind gegenüber dem T256k00 phasenverschoben. Als Schiebetakt wird T6,4M verwendet. T256kS ist um 12 Takte, T256kE um 16 Takte gegenüber T256k00 verschoben. Der Vorhalt des Sendetaktes von vier Takten (etwa 0,7µs) dient zum Ausgleich von Kabellauzeiten zwischen Funkmodem und Funkdatensteuerung (Bild 32).

Das Verschieben des Taktes T256kE gegenüber T256k00 dient zur Korrektur der Phasenlage gegenüber QSETZ.

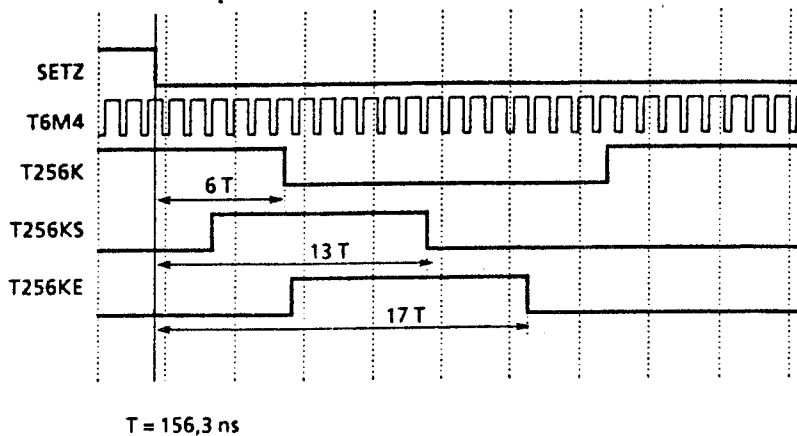


Bild 32 Laufzeitkorrektur

4.2.2 Adressendecodierung

Die von der CPU kommenden Adressenleitungen AB0 bis AB3 werden mit Hilfe der Decoder HTC138 decodiert. Durch Verknüpfen mit dem Bereichssignal -FFXX (dieses ist für Speicherbereich FF00 bis FFFF aktiv) sowie dem Schreibsignal -WRB bzw. dem Lesesignal -RDB werden die Signale -WRX0, -WRX2 bis -WRX4 sowie -RDX0, -RDX1, -RDX6 und -RDX7 erzeugt; das X bedeutet, daß die Adreß-Bits 4 bis 7 bei der Decodierung nicht berücksichtigt werden. Ein Schreibbefehl auf Adresse FF02 hat beispielsweise die gleiche Wirkung, wie auf FF12, FF13 usw., es wird WRX2 aktiviert.

4.2.3 Abfrage der Gestelladresse

Der Zustand der acht Leitungen QADR0-7, der durch Verdrahtung im Gestell festgelegt ist, wird über Software abgefragt. Die Abfrage geschieht mit einem Lesebefehl auf Adresse FFX0 (kombiniertes Lese- Adressen-Signal RDX0 vom Adressendecoder).

4.2.4 Ausgabeports

Vier Latch-Bausteine dienen zur byteweisen Ausgabe einiger Signale durch die Software nach folgender Tabelle:

Adresse	D7	D6	D5	D4	D3	D2	D1	D0
FFX2	-	FREQ0-6						
FFX3	OKVR	SELEI2	SELEI1	SELEI0	DUSY3	DUSY2	DUSY1	DUSY0
FFX4	SQEI	-			FRUE3	FRUE2	FRUE1	FRUE0

Erläuterungen:

FREQ0-6 Informationen für Frequenzeinstellung der Synthesizer

OKVR Verfügbarmeldung vom Rechner (SW)

SELEI0-2 Sendeleistung: mit diesen Signalen wird die Endstufe angesteuert

DUSY0-3 Durchschaltesignale für die Umschalter, Maskierung der Synthesizer-Fehlermeldungen

OSKREL Ansteuerung des OSK-Koaxialrelais

FRUE0-3 Übernahmesignale für Frequenzeinstellung der vier Synthesizer

SQEI Steuerung Squelch ein/aus.

4.2.5 Umsetzung der Feldstärke

Das vom Empfänger kommende Feldstärkesignal FESTI (0-2,5 V) wird mittels RC-Kombination integriert: bei Sprachbetrieb (SPRDA = 0) über eine Unterrahmenlänge, das sind 0,6 s; bei Datenbetrieb (SPRDA = 1) über eine Blocklänge, das sind 37,5 ms.

Das integrierte Signal gelangt über einen Op. Amp. LM258 an den AD-Umsetzer. Dieser wird mit T675k84 betrieben und erhält das Startsignal für die Verschlüsselung aus dem VLSI (Signal SOC, Start of Conversion). Wenn die Verschlüsselung beendet ist, wird mit dem Signal EOC (End of Conversion) das Ergebnis in ein Latch eingespeichert. Anschließend wird der Kondensator mit dem ebenfalls aus dem VLSI kommenden Signal DISCHG entladen.

4.2.6 Offsetkorrektur

Der vom VLSI-Baustein M863 bzw. SCX 6B 48 WWL gelieferte, digitale Schwellwert (SCHEIN0-7) wird mit Hilfe des D/A-Wandlers in einen Analogwert umgewandelt und über die Op.Amps LM258 dem Vergleichler LM311 zugeführt.

Am anderen Eingang des Vergleichlers liegt das Signal DADEMI.

Am Ausgang des Vergleichlers erscheint das Signal DANR (Daten nicht regeneriert), das zu den VLSI-Bausteinen M862 bzw. SCX 6B 64 WWK und M863 bzw. SCX 6B 48 WWL zur weiterer Verarbeitung geführt wird.

4.2.7 Power-on-Reset, Resettaste

Die betriebsspannungsabhängige Rücksetzschaltung im Stromversorgungsteil liefert das Signal POR, das bei langsam ansteigender Versorgungsspannung sowie bei Spannungseinbrüchen ein Rücksetzen der Hardware bewirkt. Das Signal POR wird über Gatter in das Signal POWON umgesetzt, das bei Wechsel von LOW nach HIGH im VLSI ein Reset-Signal generiert. Das gleiche geschieht bei Drücken der Reset-Taste.

4.2.8 Störungsregister

Der Inhalt der beiden Störungsregister, die als Speicher für einige Störungsmeldungen dienen, kann mit Hilfe von Lesebefehlen auf die Adresse FFX6 bzw. FFX7 gelesen werden.

Die an den D-Eingängen anliegenden Signale werden mit Hilfe des Signals LSTOER (aus dem VLSI auf der CPU-Baugruppe) oder bei Auftreten einer Störungsmeldung (letzteres geschieht jedoch nur, wenn bei Auftreten der Störungsmeldung keine andere Störungsmeldung ansteht) eingespeichert. Deshalb werden die Störungsmeldungen über ein UND-Gatter verknüpft.

Einige Störungsmeldungen können unter gewissen Umständen gesperrt werden:

FFX6, Bit 0 : HFPEG	HF-Pegel
FFX7, Bit 3 : SELEI	Sendeleistung
FFX7, Bit 6 : SEVOR	Sendervorlauf

Diese Meldungen können nur für SEI = "1" und BLOTS = "0" wirksam werden, für SEVOR muß zusätzlich gelten: SELEI 0,1,2 = "1".

Die Störungsmeldungen der Synthesizer SYLOK0-3 (FFX6, Bit 2 und Bit 4 bis 6) werden nur dann wirksam, wenn die zugehörigen DUSY-Signale (Durchschalten der Synthesizerfrequenz) auf "1" liegen.

Weitere Störungsmeldungen sind:

FFX6, Bit 1 : MODLOK	Modulator
FFX7, Bit 4 : TEMES	Temperatur Endstufe
FFX7, Bit 2 : SERUE	Senderrücklauf

Schließlich gibt es noch einige Meldungen, die ebenfalls über die Störungsregister geführt werden. Bei ihrem Auftreten wird jedoch kein automatisches Einlatchen durchgeführt:

FFX6, Bit 7 : UMSCH	Umschaltebaugruppe 0 vorhanden
FFX7, Bit 1 : BGOK	Prüf Schleife: Baugruppen gesteckt
FFX7, Bit 0 : OSK-REL-ME	siehe Kapitel 4.2.9
FFX7, Bit 7 : OSK-RED	siehe Kapitel 4.2.9.

4.2.9 KOAX-Relais-Steuerung, Redundanz

Zwei OSK-Einsätze innerhalb einer Basisstation sind jeweils als Paar geschaltet: einer übernimmt die OSK-Funktionen, der andere läuft als SPK, kann aber bei Bedarf (z.B. bei Ausfall des ersten) auf OSK-Betrieb umgeschaltet werden. Dies geschieht mit Hilfe des KOAX-Relais. Die Stellung des KOAX-Relais kann über Adresse FFX7, Bit 0 abgefragt werden (Bild 33).

Die beiden OSK sind so zusammengeschaltet, daß das Ausgangssignal des symmetrischen Treibers OSK-REL-ST in den anderen OSK als Eingangssignal OSK-REL-QU über den symmetrischen Empfänger geführt wird. Dort kann es als Signal OSKRED abgefragt werden.

Die Sende- und Empfangsbausteine bilden mit einigen Gattern des einen und des anderen OSK ein Flipflop, das das KOAX-Relais steuert.

Bild 33 zeigt die Funktion der KOAX-Relais-Steuerung.

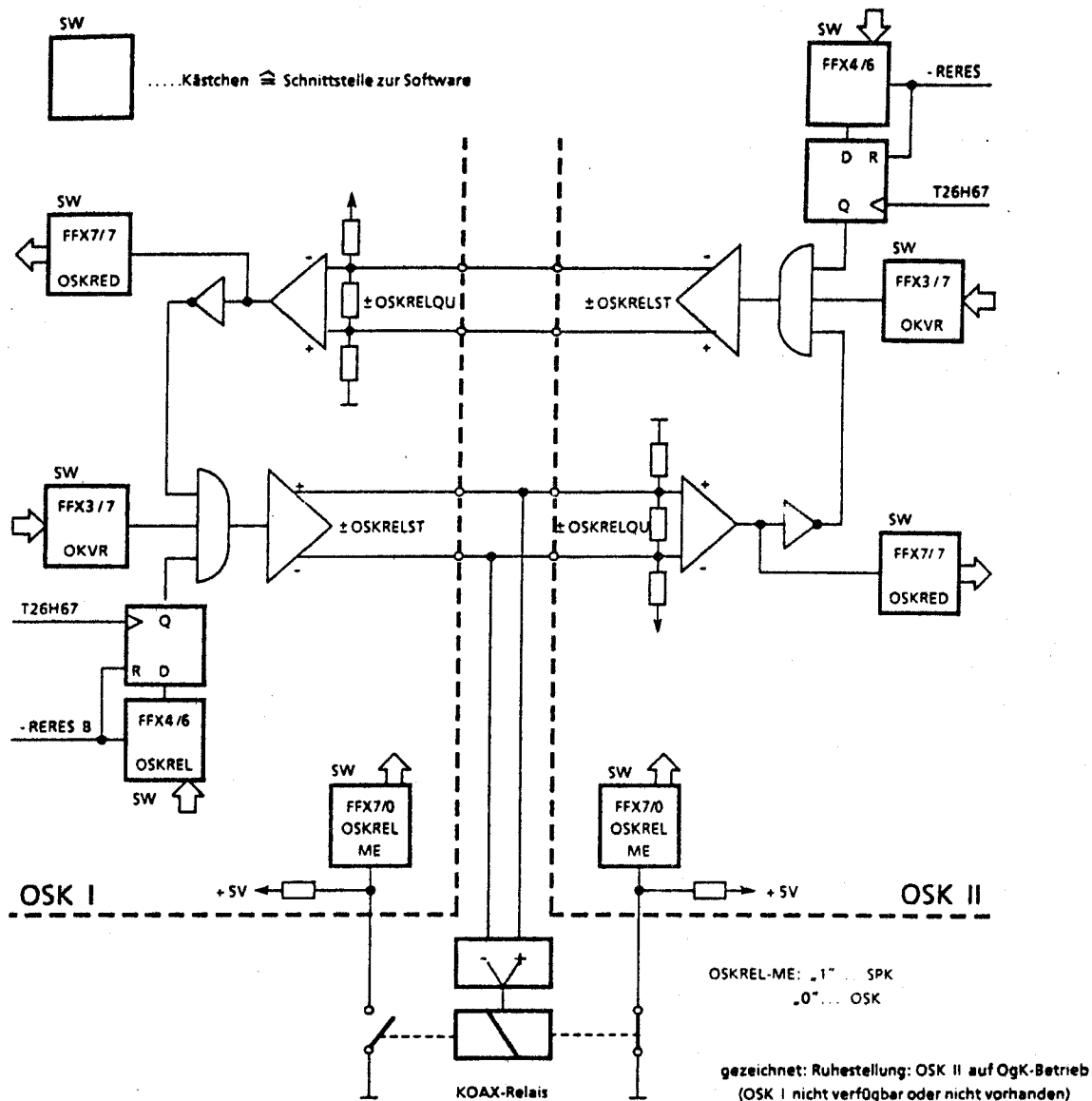


Bild 33 Übersichtsschaltplan KOAX-Relais-Steuerung

4.2.10 Sonstiges

Pegelanpassung 6,4MHz

Das von der Audio-Baugruppe kommende Signal T6,4MA wird mittels Transistor BCY58 und Schmitt-Trigger in ein TTL-Signal (T6M4) umgewandelt. Ein RC-Glied dient zum Verringern der Flankensteilheit (Verringern von Störeinflüssen).

-2,5-V-Versorgungsspannung für Audio-Teil

Die für die Audio-Baugruppe notwendigen -2,5 V werden mit einem Spannungskonverter (ICL7660) aus der 10-V-Spannung erzeugt.

5 Technische Daten

Betriebsspannung 1	U = +5 V
Stromaufnahme 1	I = 1,8 A
Leistungsaufnahme 1	P = 9 W
Betriebsspannung 2	U = +10 V
Stromaufnahme 2	I = 1,1 A
Leistungsaufnahme 2	P = 11 W
Betriebsspannung 3	U = -10 V
Stromaufnahme 3	I = 60 mA
Leistungsaufnahme 3	P = 600 mW
Betriebsspannung 4	U = 13,8 V
Stromaufnahme 4	I = 2,6 A
Leistungsaufnahme 4	P = 35,9 W
Referenzfrequenz	6,4 MHz > 0 dBm
Betriebsarten	1. Sprache klar/WT 2. Sprache verschleiert 3. NF-Schleifenschluß
Betriebsart	FM-Duplex
Frequenzhub bei	
Sprache klar/WT (mit Pre-/Deemphasis)	≤ 4 kHz
Sprache verschleiert	≤ 4 kHz
Signaldaten	2,5 kHz
Funkkanalabstand	20 kHz
einstellbare Frequenzschritte	10/12,5 kHz
Duplexabstand	10 MHz
Sendefrequenzbereich	460,0 MHz bis 465,74 MHz
Signalisierungsdatenübertragung	
Datenformat	NRZ binär
Bitrate	5,28 kbit/s
Empfangsfrequenzbereich	450,0 MHz bis 455,74 MHz

5.1 Empfänger

Betriebsspannung	$U = +10 \text{ V}$
Stromaufnahme	$I = 90 \text{ mA}$
Leistungsaufnahme	$P = 900 \text{ mW}$
Störabstand, bezogen auf Prüfmodulation	
Fremdspannungsabstand	$\geq 37 \text{ dB}$
Geräuschspannungsabstand nach CCITT	$\geq 45 \text{ dB}$
Datenausgang	
konzentrierte Daten	NRZ
verteilte Daten im Sprechkanal, 6 bit breiter Schlitz alle 12,5 ms	NRZ

5.2 Umschalter UM-EM

Betriebsspannung 1	$U = +5 \text{ V}$
Stromaufnahme 1	$I = 350 \text{ mA}$
Leistungsaufnahme 1	$P = 1,75 \text{ W}$
Betriebsspannung 2	$U = +10 \text{ V}$
Stromaufnahme 2	$I = 50 \text{ mA}$
Leistungsaufnahme 2	$P = 500 \text{ mW}$

5.3 Synthesizer

Betriebsspannung 1	$U = +5 \text{ V}$
Stromaufnahme 1	$I = 150 \text{ mA}$
Leistungsaufnahme 1	$P = 750 \text{ mW}$
Betriebsspannung 2	$U = +10 \text{ V}$
Stromaufnahme 2	$I = 200 \text{ mA}$
Leistungsaufnahme 2	$P = 2 \text{ W}$

5.4 Umschalter UM-MO

Betriebsspannung 1	$U = +5 \text{ V}$
Stromaufnahme 1	$I = 350 \text{ mA}$
Leistungsaufnahme 1	$P = 1,75 \text{ W}$
Betriebsspannung 2	$U = +10 \text{ V}$
Stromaufnahme 2	$I = 50 \text{ mA}$
Leistungsaufnahme 2	$P = 500 \text{ mW}$

5.5 Modulator

Betriebsspannung 1	$U = +5 \text{ V}$
Stromaufnahme 1	$I = 65 \text{ mA}$
Leistungsaufnahme 1	$P = 325 \text{ mW}$
Betriebsspannung 2	$U = +10 \text{ V}$
Stromaufnahme 2	$I = 180 \text{ mA}$
Leistungsaufnahme 2	$P = 1,8 \text{ W}$

5.6 Audio-Teil

Betriebsspannung 1	$U = +5 \text{ V}$
Stromaufnahme 1	$I = 2 \text{ mA}$
Leistungsaufnahme 1	$P = 10 \text{ mW}$
Betriebsspannung 2	$U = +10 \text{ V}$
Stromaufnahme 2	$I = 100 \text{ mA}$
Leistungsaufnahme 2	$P = 1 \text{ W}$

5.7 CPU

Betriebsspannung	$U = +5 \text{ V}$
Stromaufnahme	$I = 260 \text{ mA}$
Leistungsaufnahme	$P = 1,3 \text{ W}$

5.8 Audio-Interface

Betriebsspannung	$U = +5 \text{ V}$
Stromaufnahme	$I = 150 \text{ mA}$
Leistungsaufnahme	$P = 0,75 \text{ W}$

5.9 Endstufe

Betriebsspannung 1	$U = 5 \text{ V}$
Stromaufnahme 1	$I = 150 \text{ mA}$
Leistungsaufnahme 1	$P = 0,75 \text{ W}$
Betriebsspannung 2	$U = 10 \text{ V}$
Stromaufnahme 2	$I = 65 \text{ mA}$
Leistungsaufnahme 2	$P = 0,65 \text{ W}$
Betriebsspannung 3	$U = -10 \text{ V}$
Stromaufnahme 3	$I = 50 \text{ mA}$
Leistungsaufnahme 3	$P = 0,5 \text{ W}$
Betriebsspannung 4	$U = 13,8 \text{ V}$
Stromaufnahme 4	$I = 2,7 \text{ A}$
Leistungsaufnahme 4	$P = 37,26 \text{ W}$

6 Geräteübersicht

Bezeichnung	Sach-Nr.	Maße in mm (BxHxT)	Gewicht in kg
Funkmodem (OSK-K)	S42024-H150-	110x595x230	12
zugehörige Baugruppen:			
Anschlußverdrahtung	S42024-H412-...		
und			
Filterbaugruppe	S42024-H413-...	100x63x12	
Endstufe	S42024-H405-...	110x208x250	
Empfänger	S42024-H169-...	100x167x24	
Modulator	S42024-H167-...	100x167x24	
Synthesizer	S42024-H168-...	100x167x21	
Umschalter UM-EM	S42024-H385-...	100x167x21	
Umschalter UM-MO	S42024-H398-...	100x167x21	
Audio-Teil	S42024-H381-...	100x167x21	
CPU	S42025-H418-*1... + Software		
	S42025-H432-A150	100x167x12	
Audio-Interface	S42024-H382-...	100x167x12	

Die in der Beschreibung aufgeführten Sachnummern für Geräte oder Baugruppen sind im ausführungsspezifischen, variablen Teil des 3. Blocks der Sachnummer mit ... versehen.

Für jedes Gerät sind die genauen Sachnummern je nach Bestückung in der zugehörigen Bedienungsanleitung eingetragen. Die vorliegende Beschreibung hat für alle gelieferten Ausführungen Gültigkeit.

SIEMENS

Fu Tel C-Netz

Beschreibung

Funkmodem

FKM-SPK-D

S42023-H203-..

S42023-H203-E1-1-18

Herausgegeben vom Bereich Öffentliche Vermittlungssysteme
Hofmannstraße 51, D-8000 München 70
Verfasser: SÖ ETG 113 Wien

Weitergabe sowie Vervielfältigung dieser Unterlage, Verwertung
und Mitteilung ihres Inhalts nicht gestattet, soweit nicht aus-
drücklich zugestanden. Zuwiderhandlungen verpflichten zu Scha-
denersatz. Alle Rechte vorbehalten, insbesondere für den Fall der
Patenterteilung oder GM-Eintragung.
Technische Änderungen vorbehalten.

© Siemens AG 1990

Inhalt

	Seite	
1	Übersicht	5
1.1	Funkmodem (FKM-SPK) im Netz C 450	5
1.2	Funkmodem in der Basisstation	5
1.3	Funktionseinheiten des Funkmodems	7
2	Schnittstellen	11
2.1	Externe Schnittstellen	11
2.1.1	Schnittstelle zur Antennenanlage	11
2.1.2	Schnittstelle zum Frequenzverteiler	11
2.1.3	Schnittstelle zur Senderendstufe	11
2.1.4	Schnittstelle zum MSC	11
2.1.5	Serielle Schnittstelle zur Funkdatensteuerung (FDS)	12
2.1.6	Schnittstelle zur Gestellverdrahtung	12
2.1.7	Schnittstelle zur Stromversorgung	12
2.2	Interne Schnittstellen	12
3	Funkteil und Endstufe	14
3.1	Transceiver S42024-H450-...	14
3.1.1	Aufbau des Transceivers	14
3.1.2	Empfänger	15
3.1.3	Synthesizer	16
3.1.3.1	Prinzip des Synthesizers	16
3.1.3.2	Funktionseinheiten des Synthesizers	17
3.1.4	Modulator	19
3.1.5	HF-Interface	20
3.4	Audio-Teil S42024-H381-...	25

4	Funkkanalsteuerung	28
4.1	CPU S42025-H418-*1 + Software S42025-H432-A150	28
4.1.1	CPU-Baustein 80C85, Adressen- Daten- und Steuerbus	33
4.1.2	Speicher	36
4.1.3	Interruptsteuerung	37
4.1.4	Serielle Schnittstelle	38
4.1.5	VLSI-Bausteine	38
4.1.5.1	Takterzeugung	41
4.1.5.2	Teilerketten	42
4.1.5.3	Ablaufsteuerung	45
4.1.5.4	Überwachung und Rechnerreset	46
4.1.5.5	Korrelationsempfänger	47
4.1.5.6	Jittermesser	50
4.1.5.7	Offsetkorrektur	53
4.1.5.8	Decoder	55
4.1.5.9	Coder	57
4.2	Audio-Interface S42024-H382-...	60
4.2.1	Laufzeitkorrektur	63
4.2.2	Adressendecodierung	63
4.2.3	Abfrage der Gestelladresse	64
4.2.4	Ausgabeports	64
4.2.5	Umsetzung der Feldstärke	64
4.2.6	Offsetkorrektur	65
4.2.7	Power-on-Reset, Resettaste	65
4.2.8	Störungsregister	66
4.2.9	Sonstiges	66
5	Technische Daten	67
5.1	Transceiver	68
5.2	Audio-Teil	68
5.3	CPU	68
5.4	Audio-Interface	68
6	Geräteübersicht	69

1 Übersicht

1.1 Funkmodem (FKM-SPK) im Netz C450

Hauptaufgabe des Funkmodems (FKM-SPK) ist die funktechnische Übertragung von analogen Sprachsignalen oder Wechselstrom-Telegrafie (WT)-Signalen sowie die Übertragung von digitalen Signalisierungsdaten zwischen Basisstation und jeweils einer Mobilstation.

Die Sprachübertragung ist in den Betriebsarten "Verschleierte Sprache" oder "Klare Sprache" möglich. Als Signalisierungsdaten werden binäre digitale Signale verwendet, die der Organisation und Überwachung im Netz C450 dienen.

1.2 Funkmodem in der Basisstation (Bild 1)

Das Funkmodem (SPK) enthält einen Sende- und einen Empfangszug. Das HF-Empfangssignal gelangt von der Antenne über den Empfangskoppler an den Empfangszug des FKM. Das HF-Ausgangssignal gelangt an die Sendeendstufe, wo es verstärkt wird, danach zum jeweiligen Filterkoppler und an die Antenne.

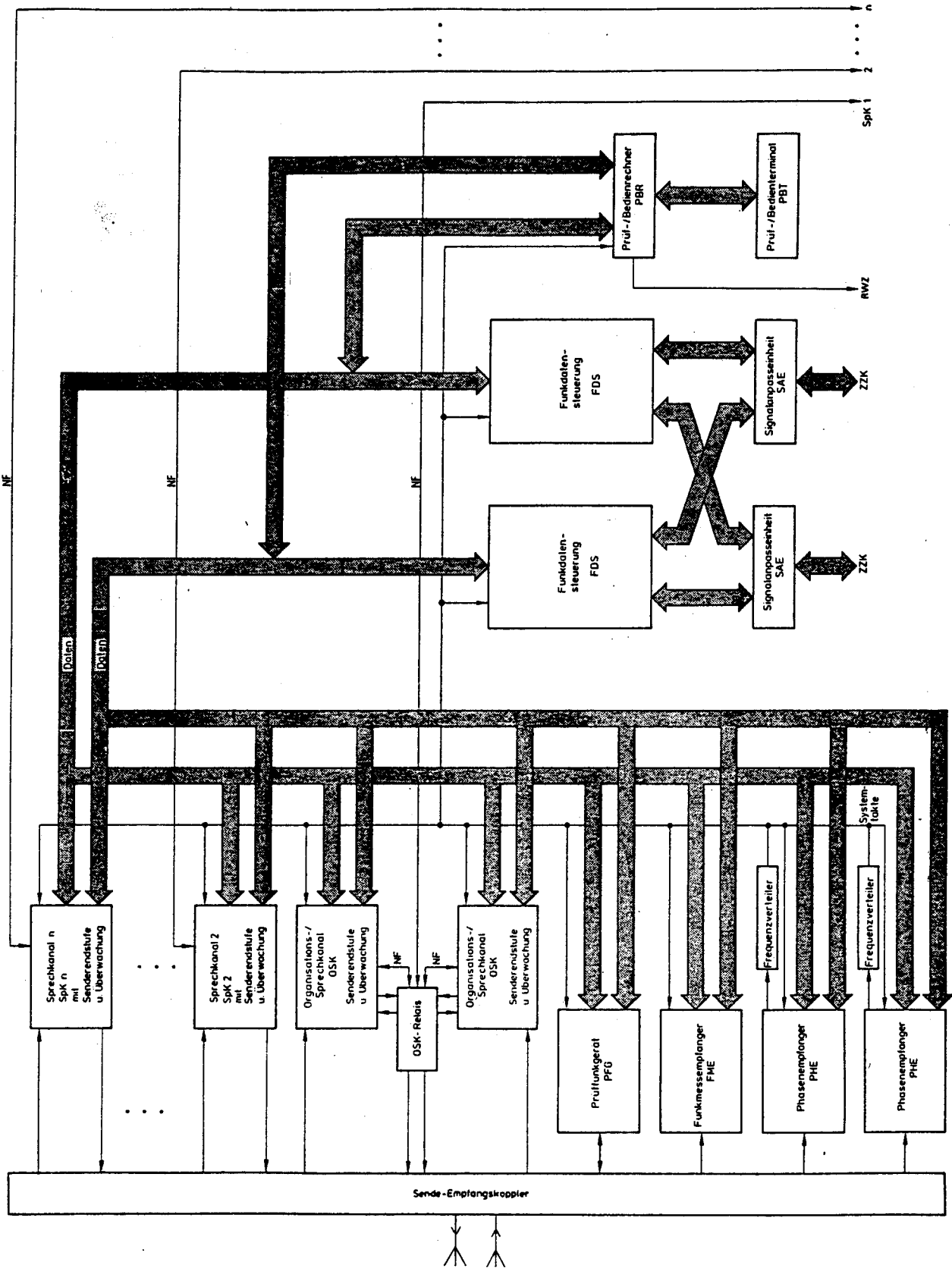


Bild 1 Übersichtsschaltplan Basisstation

1.3 Funktionseinheiten des Funkmodems (Bilder 2 und 3)

Funkteil

Der Funkteil besteht aus dem Synthesizer, Empfänger, Modulator und HF-Interface Transceiver (mit dem Audio-Teil).

Der Empfänger ist an den Trennverstärker des Empfängerkopplers angeschlossen. Das Empfangssignal wird in eine Zwischenfrequenzlage umgesetzt und demoduliert. Das demodulierte Signal wird einerseits zur Auswertung der Signalisierungsdaten und zur Signalbewertung der Funkkanalsteuerung zugeführt, andererseits zur Verarbeitung des NF-Anteils zum Audio-Teil geführt.

Der Modulator erzeugt ein frequenzmoduliertes HF-Signal zur Ansteuerung der Endstufe. Für die Modulation wird das NF-Signal aus dem Audio-Teil bzw. das Datensignal mit den Signalisierungsdaten aus der Funkkanalsteuerung herangezogen.

Der Synthesizer versorgt Empfänger und Modulator mit der erforderlichen Umsetzfrequenz. Die Einstellung der Frequenz wird über die Funkkanalsteuerung vorgenommen.

Funkkanalsteuerung

Die Funkkanalsteuerung besteht aus den beiden Baugruppen CPU und Audio-Interface.

Die CPU-Baugruppe enthält neben CPU (80C85), RAM und EPROM einen Zeitgeber und einen seriellen Ein-/Ausgabebaustein (USART) für block- und zeitplatzorientierten Datenaustausch zur Funkdatensteuerung sowie die beiden VLSI-Bausteine.

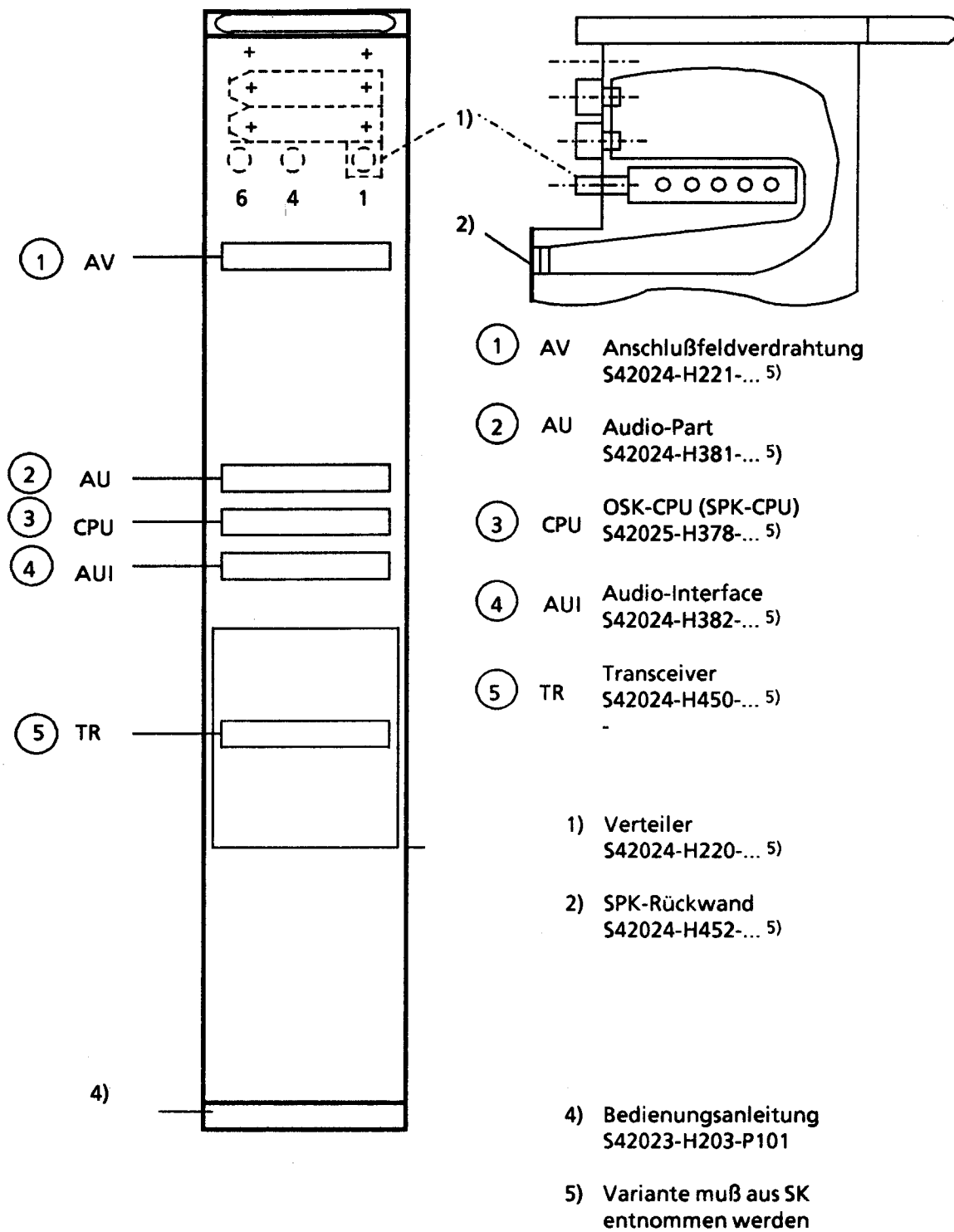
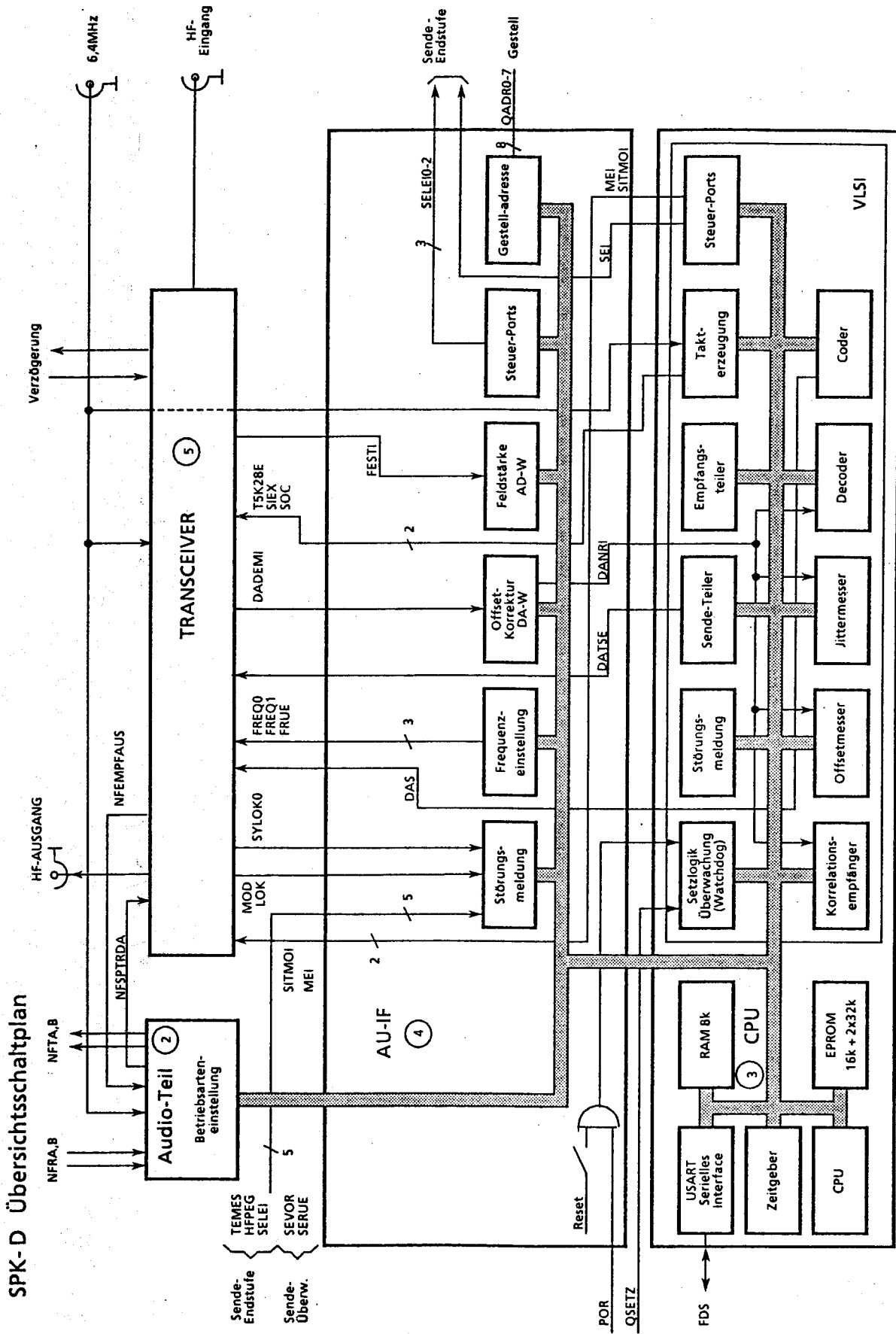


Bild 2 Aufbau des Funkmodems (SPK)



SPK-D Übersichtsschaltplan

Bild 3 Übersichtsschaltplan Funkmodem (SPK)

Die Baugruppe Audio-Interface enthält neben den Rechnerports zum Funkteil die Störungsregister sowie die Feldstärke-Umsetzschaltung und die Offsetkorrektur.

Die Signalbewertung ist in den VLSI-Bausteinen auf der CPU enthalten. Sie besteht aus drei Funktionseinheiten (Jittermesser, Offsetmesser, Korrelationsempfänger). Aus dem Barkercode des Empfangsdatenblockes werden Phase und Offset des empfangenen Teilnehmers ermittelt und an die Empfangsteilerkette und die Offsetkorrektur übergeben. Der Empfänger ist gleichspannungsgekoppelt. Jede Gleichspannungsablage beeinträchtigt die Lesesicherheit der Nutzinformation. Der Offsetmesser ermittelt die Ablage; daraufhin regelt der Rechner die Schwelle am Komparator der Offsetkorrektur nach. Damit kann mit Hilfe des Decoders (ebenfalls in den VLSI-Bausteinen) die Nutzinformation gelesen werden. Durch den Jittermesser wird über die blockweise oder unterrahmenweise summierten Zeichenwechseleränderungen der digitalen Signalisierungsdaten im Rechner der Geräuschspannungsabstand ermittelt. Dieser Wert gilt neben der Feldstärke als Maß für die Empfangsgüte.

Die VLSI-Bausteine enthalten eine Sende- und Empfangsteilerkette. Die Sendeteilerkette wird rahmenweise durch das Rahmensetzsignal QSETZ aus dem Phasenempfänger gesetzt. Beide Teilerketten werden von einer Überwachungseinheit überwacht.

2 Schnittstellen

2.1 Externe Schnittstellen

2.1.1 Schnittstelle zur Antennenanlage

Der Empfänger des Funkmodems erhält vom Trennverstärker in der Antennenanlage das HF-Signal FE zugeführt (Koaxialanschluß).

2.1.2 Schnittstelle zum Frequenzverteiler

Hier werden der Takt QT6,4M (Koaxialstecker) und das Rahmensetzsignal QSETZ (symmetrische Leitung), die vom Frequenzverteiler kommen, eingespeist. Über Koaxialleitungen gelangt der 6,4-MHz-Takt einerseits zum Synthesizer und zum Modulator, andererseits zum Audio-Teil, von wo er über die Rückwandplatine zum Audio-Interface geführt wird. Dort wird er zur Versorgung der Steuerung auf TTL-Pegel umgesetzt.

2.1.3 Schnittstelle zur Senderendstufe

Vom Modulator gelangt das HF-Signal über eine Koaxialleitung zur Endstufe. Die Steuerleitungen SEI (Sender ein) und SELEI 0-2 (Einstellung der Senderleistung) führen ebenfalls zur Endstufe.

Die Störungsmeldungen -SELEI (Sendeleistung), -TEMES (Endstufentemperatur überschritten) und -HFPEG (HF-Eingangspegel Senderendstufe) von der Endstufe und die beiden Störungsmeldungen -SEVOR (Vorlauf Sendeleistung unter Sollwert) und -SERUE (Rücklauf Sendeleistung > 8dB) von der S/E-Weiche gelangen zum Audio-Interface.

2.1.4 Schnittstelle zum MSC

Die Sprach-/WT-Signale werden als symmetrische Signale NFTA/NFTB und NFRA/NFRB vom MSC zum Audio-Teil bzw. in umgekehrter Richtung geführt.

2.1.5 Serielle Schnittstelle zur Funkdatensteuerung (FDS)

Über diese Schnittstelle, die aus symmetrischen Leitungen besteht, wird der Datenaustausch mit der FDS vorgenommen. Die Daten werden über jeweils zwei Treiberbausteine (Signale QSST1 und QSST2) gesendet und über zwei Empfangsbausteine (Signale QSSR1 und QSSR2) empfangen. Die Bausteine befinden sich auf der CPU.

2.1.6 Schnittstelle zur Gestellverdrahtung

An dieser Schnittstelle wird die durch die Gestellverdrahtung festgelegte Gestelladresse (auch als Kanaladresse bezeichnet) übergeben (Leitungen QADR 0-7, Auswertung auf Audio-Interface).

2.1.7 Schnittstelle zur Stromversorgung

Zur Generierung eines Power-on-Resets nach Spannungsausfall wird außer den Versorgungsspannungen +5 V und +10 V das Signal POR (-FKM) aus der Stromversorgung zugeführt.

2.2 Interne Schnittstellen

Im folgenden sind die Schnittstellensignale zwischen der Funkkanalsteuerung und den Baugruppen des Funkteils erläutert.

Der Transceiver:

Synthesizer

Die Frequenzeinstellung wird mit Hilfe der Signale FRUE(0) und FREQ 0-6 aus dem Audio-Interface vorgenommen. Der Synthesizer liefert im nicht gerasteten Zustand die Fehlermeldung -SYLOK(0).

Empfänger

Die Signale FESTI (Feldstärke) und DADEMI (demoduliertes Datensignal) werden im Audio-Interface verarbeitet. Mit dem Signal SQEI (aus dem Audio-Interface) wird das Prüfsignal Squelch (Rauschsperr) ein bzw. ausgeschaltet.

Modulator

Aus der CPU (VLSI-Bausteine) gelangen folgende Signale zum Modulator:

MEI	Modulator ein
SITMOI	Signaltor Modulator (Umschaltung Sprache/Daten im Sprechkanal)
SIDATI	Signaltor Daten
DATSE	Daten senden
DAS	Datensignal (Signalisierungsdaten)

Das Signal -MODLOK meldet das Einrastkriterium der Phasenregelschleife des Modulators an den Rechner (Audio-Interface), es wird low bei Fehler.

Audio-Teil

Der Audio-Teil ist an den Rechnerbus der CPU mit den Signalen -WRX0, -RDB,- WRB, ALEB, ADB0-7 angeschlossen.

Für die Komprimierung der Daten werden das Signal SIKO (Signaltor Komprimierung) und die Takte T38K40S und T42K24S, für die Expandierung SIEX (Signaltor Expandierung) sowie die Takte T38K40E und T42K24E aus der CPU (VLSI) zugeführt. Ebenfalls aus der CPU kommt das Signal SPRDA (Umschalten Sprache/Daten zur Sperre des NF-Weges).

Das Signal DYNKOMP (Dynamikkompandierung) dient für Testzwecke und kann über den Diagnosestecker der CPU (z.B. mit Hilfe des CPU-Adapters) gesteuert werden. (Das Signal ist auf der CPU nur vom Diagnose- zum Busstecker durchgeschleift).

3 Funkteil und Endstufe

3.1 Transceiver S42024-H450-

3.1.1 Aufbau des Transceivers

Die einzelnen Funktionskomplexe der Baugruppe sind auf insgesamt vier Leiterplatten untergebracht, die zu einer mechanischen Einheit, dem Transceiver, zusammengefaßt sind.

- HF-Interface

Alle Verbindungen zwischen den Baugruppen des Transceivers und Schnittstelle zur Funkkanalsteuerung, Squelch-Einrichtung und NF-Laufzeitfilter für Empfangsrichtung, Frequenznachführung des Modulators mit NF-Laufzeitfilter und Dateneinblendung für Senderichtung, Pegelanhebung und Filter für Sendesignal, Generierung der Eichtakte für Empfänger, Spannungsstabilisierung 8 V und 7,5 V.

- Empfänger

Selektion und Verstärkung des Empfangssignals im Unterband, Umsetzung auf erste und zweite Zwischenfrequenz mit Verstärkung und Selektion, Demodulation und Feldstärkemessung, DC-Offsetstabilisierung mit ziehbarem Diskriminatorkreis und Sample und Hold-Schaltung, Spannungsstabilisierung 5 V.

- Synthesizer

VCO mit Pufferverstärkern und Helixfiltern zur Speisung von Empfänger und Modulator, Synthesizerbaustein mit programmierbaren Teilern und Phasenvergleichern, Spannungsstabilisierung 5 V.

- Modulator

Modulierbarer VCO mit Pufferverstärker Umsetzer mit Verstärker und Filter, Erzeugung eines systemgenauen 21,4-MHz-Signales für die Empfängereichung.

3.1.2 Empfänger

Die Vorstufe in der die Spiegel- und Weitabselektion erfolgt, ist mit zwei Helixfiltern und einer dazwischengeschalteten Verstärkerstufe aufgebaut.

Dem zweiten Filter ist ein Ringmischer nachgeschaltet, der das Empfangssignal mit dem vom Synthesizer gelieferten Oszillatorsignal auf die erste ZF (21,4 MHz) umsetzt. Eine Impedanzwandlerstufe paßt die Ausgangsimpedanz des Mixers an das folgende Quarzfilter an, welches die Weitabselektion innerhalb der Schaltbandbreite, die statische Nachbarkanalselektion und die Spiegelselektion der zweiten ZF garantiert.

Die Verstärker in der Vorstufe und der Impedanzwandlerstufe sind mit einem Steuerungseingang (TAKT1) abschaltbar, wodurch Störungen während der Empfängereichung vermieden werden. Während der Eichung wird über einen zusätzlichen Eingang (ZF SCHLEIFE) ein vom Systemtakt (6,4 MHz) abgeleiteter und daher hochgenauer 21,4-MHz-Träger unmittelbar vor dem Quarzfilter eingespeist.

Bevor das Signal in einem bipolaren Mischer auf die zweite ZF umgesetzt wird, durchläuft es noch einen selektiven Verstärker. Als zweiter Oszillator wird im Mischer ein 21,855-MHz-Quarz verwendet, wodurch sich eine zweite ZF von 455 kHz ergibt. In einer weiteren Selektion mit Keramikfiltern wird das Signal von unerwünschten Mischprodukten befreit und dem Demodulatorbaustein zur Verfügung gestellt.

Im Demodulatorbaustein wird nun das Signal verstärkt, begrenzt, demoduliert und der Pegel des ZF-Eingangssignales logarithmisch ausgewertet. Über eine temperaturkompensierte Verstärkerschaltung wird das Auswertesignal auf den gewünschten Kurvenverlauf gebracht und steht am Ausgang FELDST zur Verfügung.

Ein ziehbarer Diskriminatorkreis ermöglicht es, den DC-Offset des NF-Ausganges zur Kompensation von alterungs- und temperaturbedingten Änderungen immer auf dem Sollwert zu halten. Dabei werden Vorstufe und erste ZF-Stufe abgeschaltet und über den Eingang ZF-Schleife ein hochgenauer, unmodulierter 21,4-MHz-Träger eingespeist.

Der DC-Pegel des demodulierten NF-Signals wird nun durch Verändern der Ziehspannung des Diskriminatorkreises auf den Sollwert geeicht. Die Eichung erfolgt nur dann, wenn keine Nutzinformation zu empfangen ist (Leerbits). In der restlichen Zeit wird in einer Sample & Hold-Schaltung, gesteuert über den Eingang TAKT2, die ermittelte Korrekturspannung konstant gehalten. Das demodulierte NF-Sprach/Datensignal steht am Ausgang NFEMPF zur Verfügung.

3.1.3 Synthesizer

3.1.3.1 Prinzip Synthesizer

Der Synthesizer erzeugt die für Sende- und Empfangsmischer benötigten Überlagerungsfrequenzen.

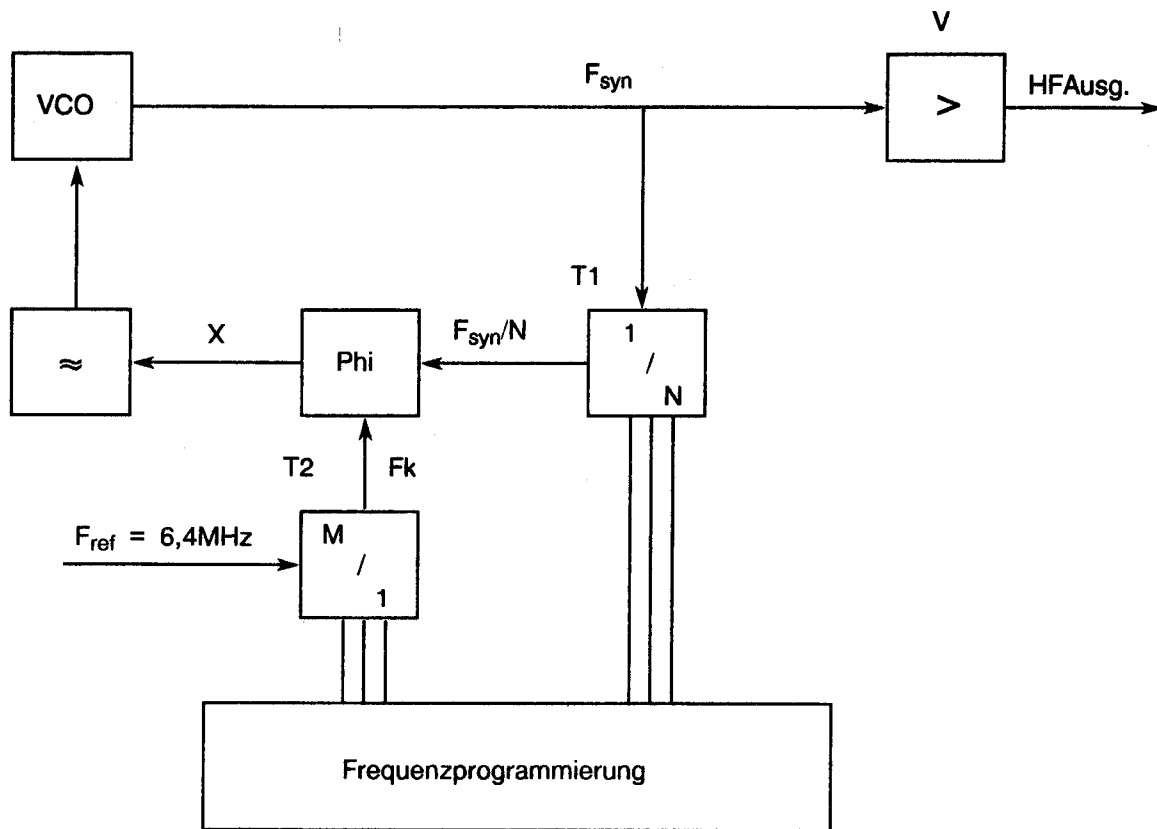


Bild 4

Der Frequenzteiler T2 dient zur Einstellung des Kanalarasters (10/12,5 kHz), dessen Ausgangsfrequenz F_k stellt die Referenz für die Phasenbrücke Phi dar. Der VCO ist ein spannungsgesteuerter Oszillator, der die Frequenzen von 428,60 MHz bis 434,34 MHz erzeugt. Der programmierbare Teiler T1 muß so eingestellt werden, daß $n \cdot F_k$ die gewünschte Frequenz F_{syn} ergibt. Am Ausgang der Phasenbrücke Phi entsteht eine Gleichspannung X die proportional der Phase von $F_k/(F_{syn}/n)$ ist. Weiterhin tritt die Frequenz F_k mit ihren Oberwellen auf. Diese Frequenzen werden mit dem folgenden Filter F_i unterdrückt.

Die Gleichspannung X dient als Steuersignal für den VCO und steuert diesen solange nach, bis F_k und (F_{syn}/n) gleich sind.

3.1.3.2 Funktionseinheiten des Synthesizers

VCO und Entkopplungsverstärker

Der spannungsgesteuerte Oszillator besteht aus dem Feldeffekttransistor 405 dem Rückkoppelkondensator 105, dem Schwingkreiselement bestehend aus einer ungefähr 85 mm langen 50 Ω Semirigidleitung sowie den über Kondensator 101 angekoppelten Kapazitätsdioden.

Um Rückwirkungen auf den Oszillator vom Ausgang und von den Frequenzteilern möglichst gering zu halten, ist ein zweistufiger Entkopplungsverstärker mit den Transistoren 406, 411 erforderlich. Das Dämpfungsglied, bestehend aus den Widerständen 345, 301 dient zur Erhöhung der Entkopplung und zur Anpassung der Ausgangsleistung.

Synthesizer-Baustein MC 145158 und Vorteiler SP 8719

In den Baustein integriert sind die Frequenzteiler für die Referenz (14 Bit-R-Teiler) und ein Teil der Frequenzteiler, welche die Ausgangsfrequenz auf die benötigte Rasterfrequenz von 10 kHz bzw. 12,5 kHz herunterteilen. Weiterhin sind zwei Phasendetektoren, ein Lockdetektor, eine Kontrollogik zur Steuerung eines externen Vorteilers und eine Programmlogik enthalten.

Der 7-Bit-A-Teiler der 10-Bit-N-Teiler, das externe IC 200, und die Kontrollogik bilden den kompletten Frequenzteiler T1. Das IC 200 ist ein 80/81-Vorteiler, der mit dem Modulus Kontrollsignal definiert umgeschaltet wird.

Frequenzprogrammierung

Die Frequenzprogrammierung geschieht über den Eingänge DATA (FREQ1), CLOCK (FRUE) und LATCH ENABLE (FREQO).

Das Signal LATCH ENABLE hat im Synthesizer folgende Bedeutung:

Log. 1 auf diesem Signal überträgt die Daten vom Schieberegister in die Referenzteiler-Latches (R) oder in die N-, A-Latches in Abhängigkeit vom Control-Bit: in die Referenzteiler-Latches, wenn das Control-Bit (siehe unten) 1 ist; in die N-, A-Latches , wenn das Control-Bit 0 ist. Eine 0 an LATCH ENABLE erlaubt die Daten der Schieberegister zu verändern, ohne daß die Zähler beeinflußt werden. Es können R-Teiler und A-, N-Teiler nicht gleichzeitig verändert werden. Das Setzen der Teiler muß hintereinander erfolgen.

Das Signal DATA hat im Synthesizer folgende Bedeutung:

Das Signal bedient den Daten-Eingang des Synthesizers. Bei jeder steigenden Flanke des CLOCK-Signales wird ein Bit des anstehenden Signals in ein 1-Bit-Schieberegister übertragen. Das letzte Datenbit bestimmt, welches Zähler-Latch aktiviert wird. Nach dem Eintakten des letzten Datenbits (= Control Bit) muß das Signal DATA auf 1 und wieder auf 0 gesetzt werden.

Control Bit: letztes FREQ1 auf 1: R-Zähler-Latch
 letztes FREQ1 auf 0: A-,N-Zähler-Latch

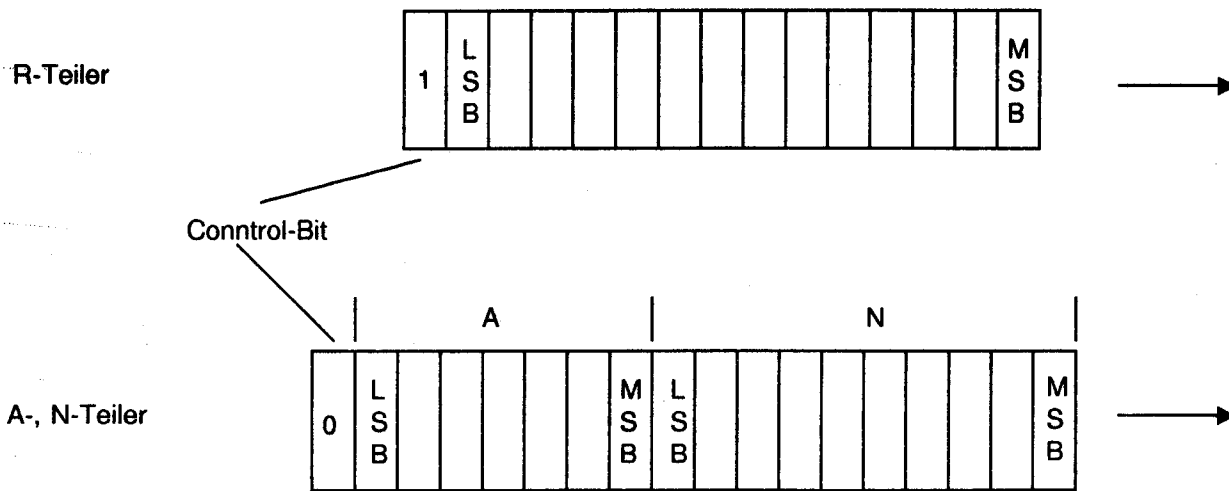


Bild 5 Datenformate

Das Signal FRUE bedient den Clock-Eingang des Synthesizerbausteines. Bei jeder steigenden Flanke wird das aktuell anstehende Bit des Signales DATA in das 1-Zellen-Schieberegister übertragen.

Die Daten der einzelnen Speicher stellen eine Binärzahl dar. Die Berechnung des Absolutwertes kann mit folgenden Formeln erfolgen.

$$\text{Teilungsverhältnis N-Teiler: } N = \text{INT} \left\lfloor \frac{F_{\text{syn}}}{F_{\text{ref}} \cdot 80} \right\rfloor \quad \text{INT (Integer) = ganze Zahl}$$

$$\text{Teilungsverhältnis A-Teiler: } A = \frac{F_{\text{syn}}}{F_{\text{ref}}} - 80 \cdot N$$

Teilungsverhältnis R-Teiler: $R = 6,4 \text{ MHz}/F_{\text{ref}}$

Gewünschtes Kanalraster (F_{ref}):R-Teiler

10 kHz 640 dezimal

12,5 kHz 512 dezimal

SYLOK ist die Fehlermeldung des Synthesizers;

Signal High: PLL gerastet (Baugruppe in Ordnung)

Signal Low: PLL nicht gerastet (Falsche Frequenzprogrammierung, 6,4 MHz
ausgefallen oder Baugruppe defekt)

Signalpegel: 5V C-MOS

Schleifenfilter

Zur Gewinnung der Steuerspannung für den VCO stehen noch zwei Phasendetektoren (A,B) zur Verfügung, von denen der Phasendetektor A verwendet wird. Die Ausgangsspannung des Phasendetektors dient zur Ansteuerung des VCO's. Das Netzwerk, bestehend aus Drossel 204 bis Widerstand 319 bildet das Schleifenfilter. Die Tiefpässe dienen zur Unterdrückung der Referenzfrequenz und deren Oberwellen. Die Bauteile sind so optimiert, daß kürzeste Einschwingzeit, minimales Geräusch und optimale Stabilität erreicht werden.

3.1.4 Modulator

Der Modulator liefert das mit Daten und Sprache modulierte Sendesignal im Oberband. Als Modulationselement dient ein mit Kapazitäts-Dioden modulierbarer Quarzoszillator, der in seiner Ruhelage auf der Sender-ZF von 31,4 MHz schwingt. Das ZF-Signal wird verstärkt, im nachgeschalteten Mischer mit der vom Synthesizer eingespeisten Oszillatorfrequenz in die HF-Lage umgesetzt und steht nach Durchlaufen eines Helixfilters am Ausgang F SEND zur Verfügung.

Zum Anschluß einer Frequenzstabilisierung besitzt die Baugruppe einen zusätzlichen entkoppelten Ausgang für die modulierte ZF (ZF-SENDER) über den das Signal der Stabilisierungsschaltung auf dem HF-Interface zugeführt wird. Über einen zweiten Modulationseingang (NF EMPF) erhält die Modulatorbaugruppe das Regelsignal für die Frequenznachführung.

Für die DC-Offset Eichung des Empfängers besitzt der Modulator eine Frequenzaufbereitungsschaltung, die aus einem vom Systemtakt von 6,4 MHz abgeleiteten 400-kHz-Signal (Eingang 400 KHZ REF) einen 21,4-MHz-Träger erzeugt.

Dabei wird aus dem 400-kHz-Signal durch Frequenzteilung ein 200-kHz-Rechtecksignal erzeugt. Durch Impulsformung entsteht nun ein sehr oberwellenreiches Spektrum, aus der die 107. Oberwelle (21,4 MHz) selektiert und verstärkt wird. Das Signal steht am Ausgang ZF SCHLEIFE zur Verfügung und kann über den Steuerungseingang TAKTI abgeschaltet werden.

3.1.5 HF-Interface

Das HF-Interface beinhaltet alle Schnittstellen zwischen den oben beschriebenen Baugruppen, der Funkkanalsteuerung und der Audiobaugruppe.

Basisbandaufbereitung für Empfänger

Das demodulierte Basisbandsignal NFEMPF wird nach einer Verstärkerstufe in einem Besselfilter 3. Ordnung auf etwa 4,5 kHz begrenzt. Anschließend durchläuft das Signal einen Allpaß, der die Einstellung der erforderlichen Sollaufzeit ermöglicht. Danach wird in Daten und NF-Weg aufgetrennt. Das Datensignal wird gleichspannungsgespeist auf seinen Sollwert verstärkt und steht am Ausgang DADEMI zur Verfügung.

Das Sprach-Signal gelangt über einen Schalter und einen Verstärker zum Ausgang NFEMPFAUS. Durch den Schalter können mit Hilfe einer Steuerschaltung kurzzeitige Störgeräusche unterdrückt werden (Squelcheinrichtung). In der Steuerschaltung wird der Rauschanteil des demodulierten NF-Signales oberhalb des Basisbandes bei etwa 12 kHz ausgewertet. Zu hoher Rauschpegel sperrt den NF-Weg. Durch die Squelch-Einrichtung wird eine Verbesserung der Sprachverständlichkeit erreicht. Kurze Störgeräusche, verursacht durch Feldstärkeeinbrüche oder Zündfunkenstörungen, werden "stummgeschaltet", wobei die Verbindung noch als bestehend erkennbar bleibt. Über den Eingang SQEI läßt sich die Einrichtung für Prüfzwecke abschalten.

Frequenzstabilisierung für Modulator

Um eine temperatur- oder alterungsbedingte Frequenzdrift des Modulators zu vermeiden, wird die Frequenz des modulierbaren Quarzoszillators (31,4 MHz) mit einer PLL an die Systemfrequenz von 6,4 MHz angebunden.

Die Phasenregelschleife besteht aus Phasenvergleich, steuerbaren Vorteilern, Frequenzverdopplerschaltung, Vorteiler für Referenzfrequenz, aktivem Tiefpaßfilter zur Umwandlung des digitalen Regelsignals in analoge Regelspannung, Erzeugung eines Steuersignals bei gerasteter Phasenregelschleife.

Für die oben genannten Modulationssignale ist eine Betriebsartenumschaltung nötig. Zur Ansteuerung dienen die Signale SIDAT(I), SITMO(I) und DATSE aus der Funkkanalsteuerung. Zur Decodierung der Ansteuersignale auf der Modulatorbaugruppe dient ein IC mit Logik-Funktionen. Die Umschaltung der Modulationssignale geschieht mit integrierten Analogschaltern.

Bei Datenbetrieb steuert das Modulationssignal einen Vorteiler der Phasenregelschleife. Durch diese Maßnahme wird vermieden, daß modulationsbedingte Frequenzänderungen des Oszillators durch die Phasenregelschleife ausgeregelt werden.

Betriebsartenumschaltung

- Signalisierungsdaten (NRZ) 4 Bit Datenburst alle 12,5ms bei verteilter Signalisierung (Betrieb im Sprechkanal).
- Signalisierungsdaten (NRZ) Konzentriertes Datensignal 5,28 KBd (bei Betrieb im Organisationskanal).

Bei Betrieb im Sprechkanal wird der Datenburst dem im Audioteil komprimierten Modulationssignal zum Zeitpunkt des Komprimierungsschlitzes zugeschaltet.

Aus der nachfolgenden Tabelle sind Betriebsart, Zustand der Steuereingänge und der Signalweg des Modulationssignals zu entnehmen:

Betriebsart	Zustand der Steuereingänge			Signalweg
	SIDAT(I)	SITMO(I)	DATSE	
Komprimierte Sprache	-	"L"	"L"	Von b17 über Verstärker 655, Schalter 654 zum Verstärker 652
Signalisierungsdaten	"L"	"H"	"L"	Von b18 über Schalter 653, Schalter 654 zum Verstärker 655
Modulation AUS	-	-	" H "	Schalter 6 54 trennt alle Signalwege auf

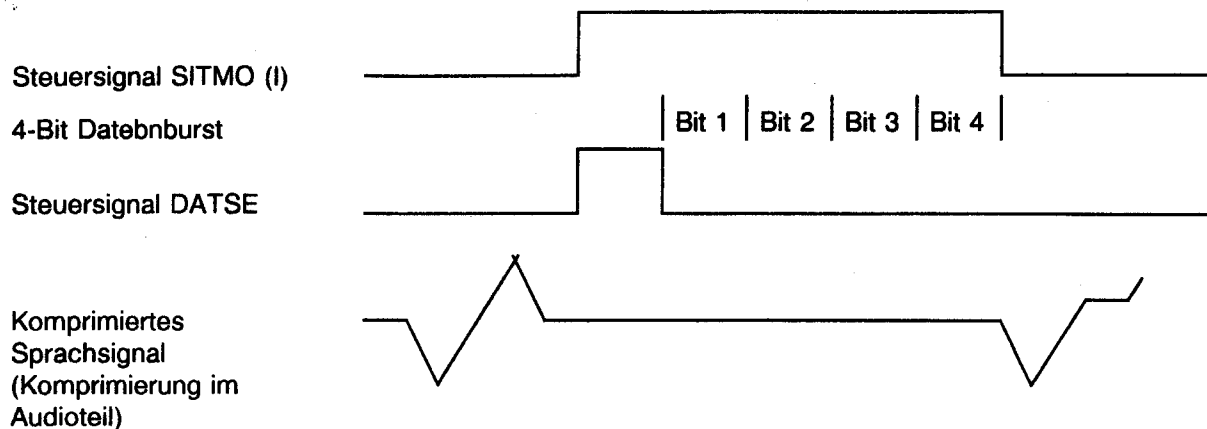


Bild 6 Zuschaltung des Datenburst

Aktives NF-Filter

Das aktive NF-Filter besteht aus dem Bauteil IC652, den Widerständen R158 bis R167 und den Kondensatoren C363 bis C371. Das Filter ist lauffzeitgebet (Besselcharakteristik). Es hat die Aufgabe der Frequenzbegrenzung der ankommenden Modulationssignale.

Das Datensignal und das im Audio-Teil amplitudenbegrenzte Sprachsignal würden ohne Frequenzbegrenzung eine unzulässig große Störung im Nachbarkanal hervorrufen.

Die Gruppenlaufzeit des Filters läßt sich mit R159 abgleichen. Für Entfernungsmessungen zwischen Mobil- und Feststation ist es wichtig, daß die Gruppenlaufzeit des Filters konstant bleibt. Es werden deshalb Präzisionswiderstände und -Kondensatoren eingesetzt.

Modulationsgesteuerte Phasenregelschleife

Der Oszillator wird mittels einer Phasenregelschleife geregelt, die ihre Referenzfrequenz von einem hochstabilen 6,4 MHz Generator erhält.

Die Phasenregelschleife besteht aus einem einstellbaren Vorteiler IC666, einem digitalen Frequenzaufbereitungsbaustein IC664 und einem Tiefpaß IC665 zur Erzeugung der analogen Regelspannung. Als erstes wird die Modulation des 31,4 MHz Oszillators mit Sprach- bzw. WT-Signal betrachtet.

Ist die Regelzeit der Phasenregelschleife (Zeit, welche die Schleife benötigt, um eine sprunghafte Frequenzänderung am Oszillator auszuregeln) wesentlich länger als der Kehrwert der unteren Grenzfrequenz des zu übertragenden Signals (300 Hz), so wird die Nutzmodulation von der Regelspannung der Phasenregelschleife nicht beeinflusst.

Nur langsame Frequenzänderungen, wie sie durch Temperaturschwankungen und Alterung der Bauteile auftreten, werden wie gewollt von der Phasenregelschleife ausgeregelt.

Als zweites wird die Modulation des 31,4-MHz-Oszillators mit Daten (NRZ) betrachtet.

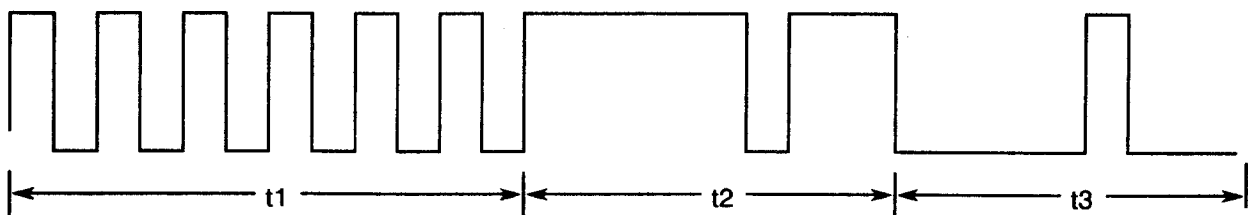


Bild 7 Modulation des 31,4-MHz-Oszillators

Wird das dargestellte Signal auf die Modulationsdiode gegeben, ergibt sich:

Während t1: Symmetrischer Wechsel der Oszillatorfrequenz um die Mittenfrequenz von 31,4 MHz ($31,4 \text{ MHz} \pm 2,5 \text{ kHz}$).

Während t2: Die Oszillatorfrequenz nimmt häufiger den Wert $31,4 \text{ MHz} + 2,5 \text{ kHz}$ an.

Während t3: Die Oszillatorfrequenz nimmt häufiger den Wert $31,4 \text{ MHz} - 2,5 \text{ kHz}$ an.

Unter der Voraussetzung, daß t2 und t3 größer sind als die vorher erwähnte Regelzeit der Phasenregelschleife, wird die Nutzmodulation durch die Phasenregelschleife ausgeregelt. Dies wird durch eine Steuerlogik IC657, 661 vermieden, die in Abhängigkeit vom Modulationssignal die programmierbaren Teiler der Phasenregelschleife so umschaltet, daß das Modulationssignal nicht mehr beeinflusst wird. Durch diese Maßnahme ist der Modulator datenfest.

Die steuerbaren Vorteiler IC666 und Hauptteiler (im IC664) der Phasenregelschleife arbeiten nach dem "Swallow-Teiler" Prinzip. Für das störungsfreie Arbeiten der modulationsgesteuerten Umschaltung der Zähler ergibt sich die Forderung, daß die Vergleichsfrequenz am Phasenvergleichler (im IC664) höher ist, als die höchste Bitfrequenz des Datensignals. Im Modulator beträgt die Vergleichsfrequenz 5 kHz, die höchste Bitfrequenz 2,64 kHz.

Da die Vergleichsfrequenz den Frequenzhub bei Datenmodulation bestimmt und dieser im Netz $C \pm 2,5$ kHz betragen soll, wird zwischen den Ausgang der Oszillatorstufe und den Eingang des Vorteilers eine Frequenzverdopplerstufe geschaltet.

Pegelanhebung des Sendesignales

Um das HF-Ausgangssignal des Modulators auf den für die Sendeendstufe notwendigen Pegel von +11 dBm anzuheben, ist ein zweistufiger Verstärker zwischengeschaltet. Bevor das Sendesignal die Baugruppe verläßt, wird es noch in einem Helixfilter von unerwünschten Nebenlinien befreit. Der Verstärker ist, wie auch die Verstärkerstufen auf dem Modulator, mit dem Signal SEND EIN abschaltbar.

Anpassung des Ausgangssignals des Empfangsfeldstärkemessers

Eine Operationsverstärkerschaltung ermöglicht die Anpassung des vom Empfänger gelieferten Signales FELDST an den von der Funkkanalsteuerung benötigten Verlauf. Am Ausgang FESTI steht das angepaßte Signal zur Verfügung.

Taktaufbereitung

Die Taktaufbereitung erzeugt die zur Eichung von Empfänger und Modulator notwendigen Takte. Die Empfängereichung erfolgt in jedem Unterrahmen im ersten Funkblock zu jenem Zeitpunkt an dem Leerbits zu empfangen sind. Das dazu notwendige Umschalten der Takte 1 und 3 auf Low und Takt 2 auf High wird in einer Logik von den Empfangstakten SOC, SIEX und T5K28E bewerkstelligt. Die dazu benötigte Logik ist in einem programmierbaren Logikbaustein (IC 663) untergebracht.

Über den Steuereingang FREQ4 muß die Empfängereichung immer dann aktiviert werden, wenn kein Gespräch über den SPK geführt wird. Die Eichung muß insbesondere auch während des SPK-Anlaufes aktiviert werden.

3.4 Audio-Teil S42024-H381-...

Das Audio-Teil (Bild 11) hat in den Sprechkanälen der Basisstation folgende Aufgaben :

- Die von der Drahtseite kommenden Nutzsignale (Sprache, Wechselstromtelegraphie) für den Sendezweig der Basisstation aufzubereiten.
- Die vom Empfänger kommenden Nutzsignale (Sprache, Wechselstromtelegraphie) für die Drahtseite aufzubereiten.
- Die von der Steuerung bestimmten Betriebsarten durch Umschalten auf unterschiedliche Signalwege zu realisieren.

Die Signalaufbereitung besteht im wesentlichen aus folgenden Teilen:

Sprache und Wechselstromtelegraphie

Amplituden-Frequenzgangkorrektur durch Pre- und Deemphasis bei "Sprache klar".

Dynamik-Komprimierung und -Expandierung: dabei handelt es sich um eine Dynamikkompression des Sendesignals von 2 zu 1 (z.B. von 60 dB auf 30 dB) und eine Dynamikexpansion des Empfangssignals von 1 zu 2 (z.B. von 30 dB auf 60 dB); für Meßzwecke über DYNKOMP (siehe Diagnosestecker der CPU) abschaltbar.

Sendeseitige Signalamplitudenbegrenzung, um den Modulationsspitzenhub von ± 4 kHz nicht zu überschreiten.

Verschleierter oder klarer Sprachbetrieb, durch Zu- bzw. Abschalten einer Invertierungs- bzw. einer Reinvertierungsschaltung. Dabei handelt es sich um die Spiegelung des Sprachbandes von 300 Hz bis 3 kHz an einem Hilfsträger von 3,3 kHz (Signal S1S bzw. S2S und S1E bzw. S2E in folgender Tabelle).

Zeitkomprimierung auf der Sendeseite, um einen Zeitschlitz zu erzeugen, in den im Modulator Signalisierungsdaten eingefügt werden. Zeitexpandierung auf der Empfangsseite zum Beseitigen des vorher beschriebenen Zeitschlitzes. Diese Maßnahme ermöglicht Signalisierungsdaten (NRZ), die zur Verbindungsüberwachung notwendig sind, ohne zusätzlichen Schaltungsaufwand (Umformer, Hilfsträger) zu übertragen.

Spezielle Betriebsarten

Continuity Check

Zum Überprüfen der Verbindung MSC-Sprechkanal.

NF-Schleifentest (NF-Schleife) für Testzwecke, in Verbindung mit dem Prüffunkgerät.

Sprach- bzw. WT-Test

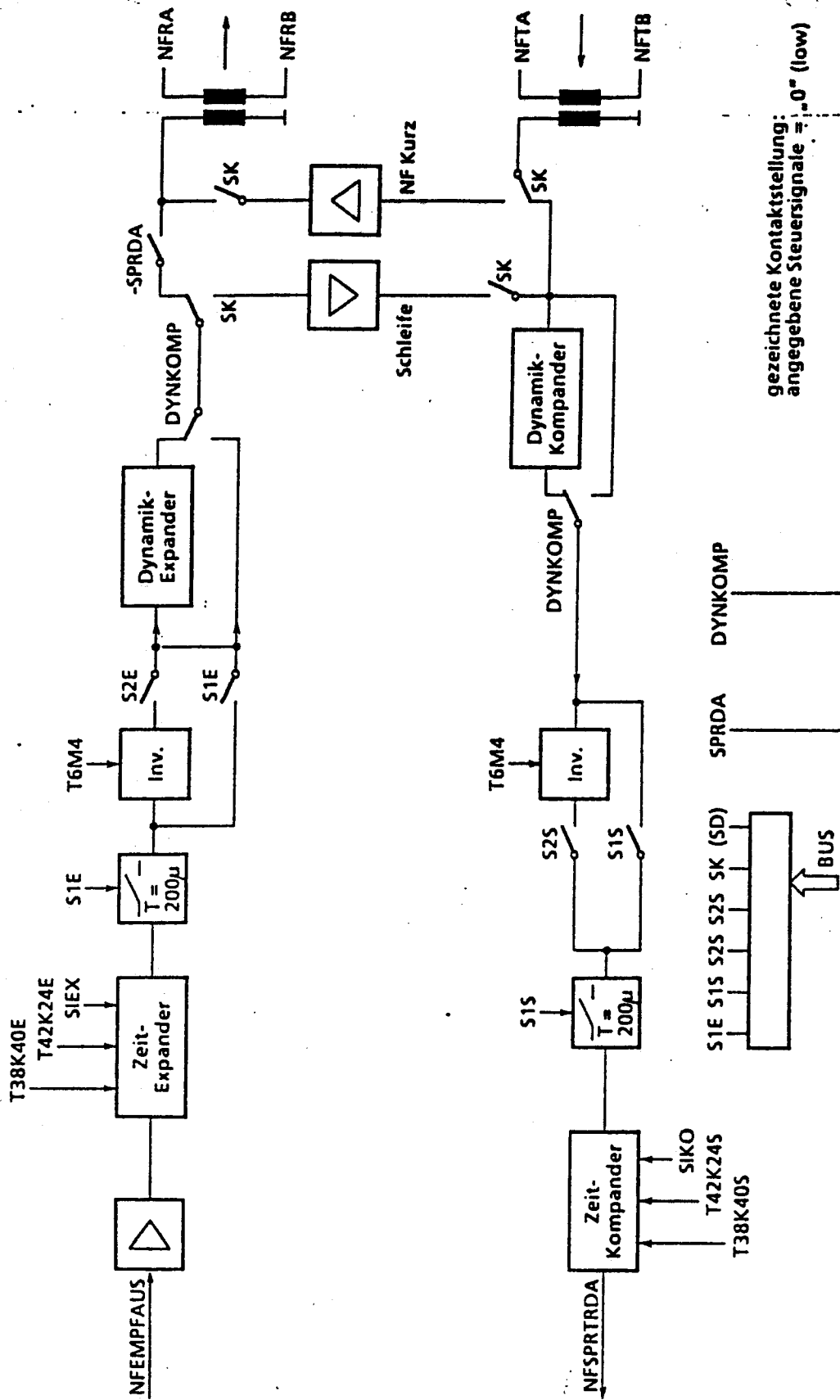


Bild 8 Übersichtsschaltplan Audio-Teil

Beide Betriebsarten werden mit dem Signal SK (siehe folgende Tabelle) gleichzeitig realisiert.

Referenzfrequenz 6,4 MHz (Koaxialeingang)

Die Referenzfrequenz wird auf der Baugruppe Audio-Teil verstärkt und dem integrierten Filter- und Invertierungsbausteinen als Taktfrequenz zugeführt. Außerdem wird die Referenzfrequenz über ein Anpaßglied den Steuerungsbaugruppen zugeführt.

Betriebsarten (BART 0-5)

Die Betriebsarten werden mittels Schreibbefehl -WRX0 per Programm (Adresse FFX0) in ein Latch geschrieben: Belegung der Bits: BART 0-5 auf Bit 0-5, Bit 6 und 7 unbenützt. Über Pegelumsetzer gelangen die Signale, sowohl normal als auch invertiert, zu den einzelnen Schaltern, siehe folgende Tabelle.

	Befehle aus der Steuerung				
Bezeichnung der Steuereingänge	BART0 (S1S)	BART2 (S2S)	BART3 (SK)	BART4 (S1E)	BART5 (S2E)
Sprache klar					
Senden	H	L	L	L	L
Empfangen	L	L	L	H	L
Sprache invertiert					
Senden	L	H	L	L	L
Empfangen	L	L	L	L	H
Continuity Check	L	L	H	L	L
NF-Schleifentest					
Continuity Check und Sprache klar	H	L	H	H	H
Continuity check und Sprache invertiert	L	H	H	L	H

Signal BART 1 = L

4 Funkkanalsteuerung

4.1 CPU S42025-H418-*1

Die CPU-Baugruppe (Bild 12) wird in allen Einsätzen der Funkperipherie in der Basisstation verwendet. Der Rechner übernimmt Aufgaben der Betriebs-, Vermittlungs-, Funk- und Sicherheitstechnik, die innerhalb des jeweiligen Systems über die Schnittstellen zur Funkdatensteuerung und der Funkebene abgewickelt werden.

Dazu gehören folgende Aufgaben:

- Steuerung des Datendialoges über serielle Schnittstelle zur FDS und die Funkschnittstelle (Datensicherungsverfahren).
- Verarbeitung der Empfangskriterien aus der Rechnerperipherie (Feldstärke, Jitter, Offset, Phasenlage, Entfernungsbewertung).
- Steueranweisungen und Einstellungen für das Funkgerät (Synthesizer, Sendeleistung, Offsetkorrektur).
- Auswerten und Umsetzen der internen Störungssignalisierungen.

Die Baugruppe enthält folgende Funktionseinheiten, die in den einzelnen Unterabschnitten näher erläutert sind:

- 80C85 Prozessor
- Speicherbereich
EPROM: Grundbereich 16k, zwei Bänke à 32k
RAM: 8k
- USART für serielle Schnittstelle
- TIMER für Interrupterzeugung
- zwei VLSI-Bausteine mit den Funktionen:
Erzeugen aller Takte für Funkkanalsteuerung und Funkgerät.
Erkennen des Zeitbezugs aus den empfangenen Signalisierungsdaten (Korrelationsempfänger).
Aufbereiten der Signalisierungsdaten (Codieren) zum gesicherten Aussenden.
Empfangen der Signalisierungsdaten mit Fehlerkorrektur (Decodieren).

Ermitteln der Signalgüte der empfangenen Signalisierungsdaten.

Messen des Geräuschabstandes (Jittermesser).

Messen der Gleichspannungsablage des Analogsignals und Ausgabe des Offsetkorrekturwertes.

Entfernungsmessung

Fehlerüberwachung

fehlendes Setzsignal

Fehler Sendeteilerkette

Synchronlauf Sende- und Empfangsbaustein

Watchdog.

Die CPU-Baugruppe hat einen Diagnosestecker, dessen Belegung für alle in der Basisstation verwendeten Rechnersysteme gleich ist. Der Diagnosestecker enthält den gepufferten Adressen-, Daten- und Steuerbus für den Betrieb des Prozeßverfolgers sowie auch die ungepufferten Anschlüsse des CPU-Bausteines (für externen Betrieb mit dem ICE).

Diese Seite bleibt aus redaktionellen Gründen frei.

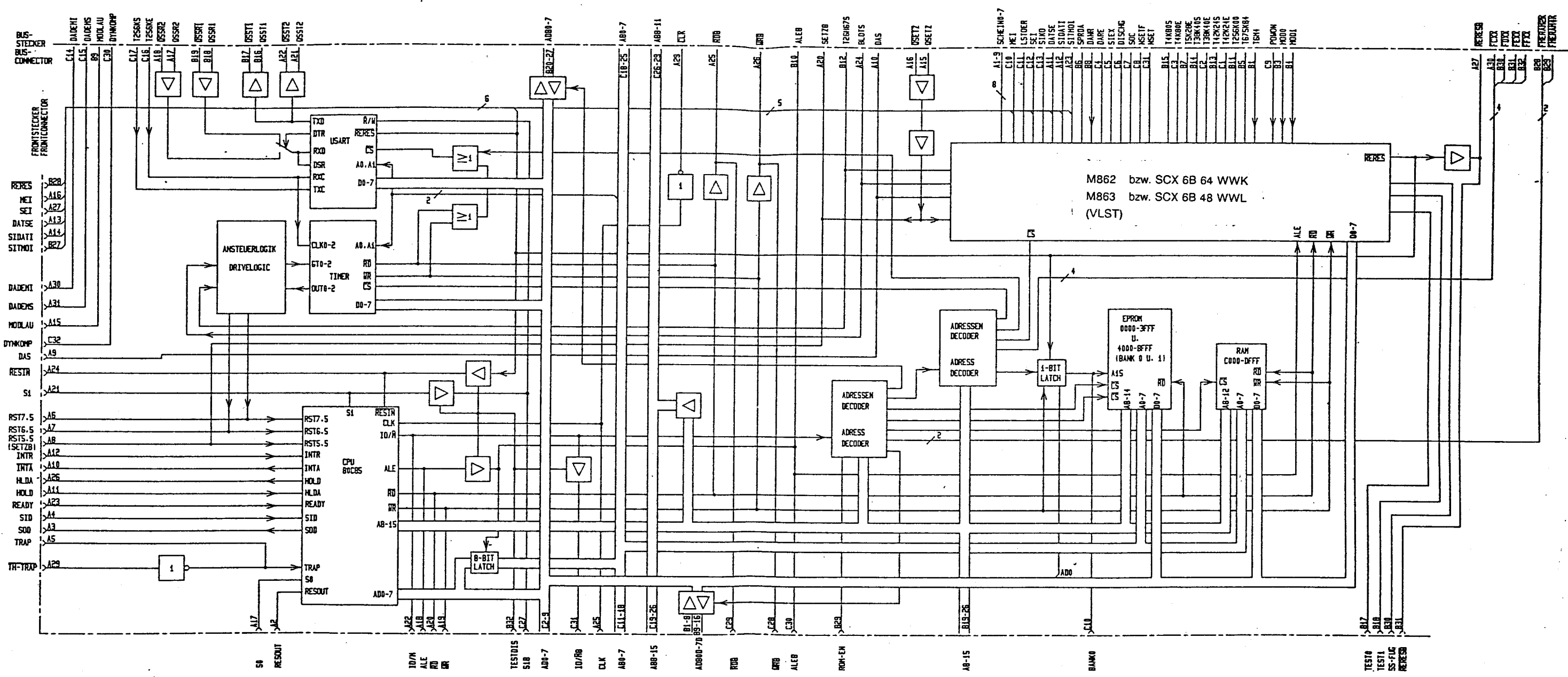


Bild 8 Übersichtsschaltplan CPU

S42023-H203-E1-1-18



4.1.1 CPU-Baustein 80C85, Adressen-, Daten- und Steuerbus

Bild 9 zeigt die einzelnen Steuersignale der CPU, die vom 80C85-Baustein zu den Steckern sowie zu den Funktionseinheiten geführt werden.

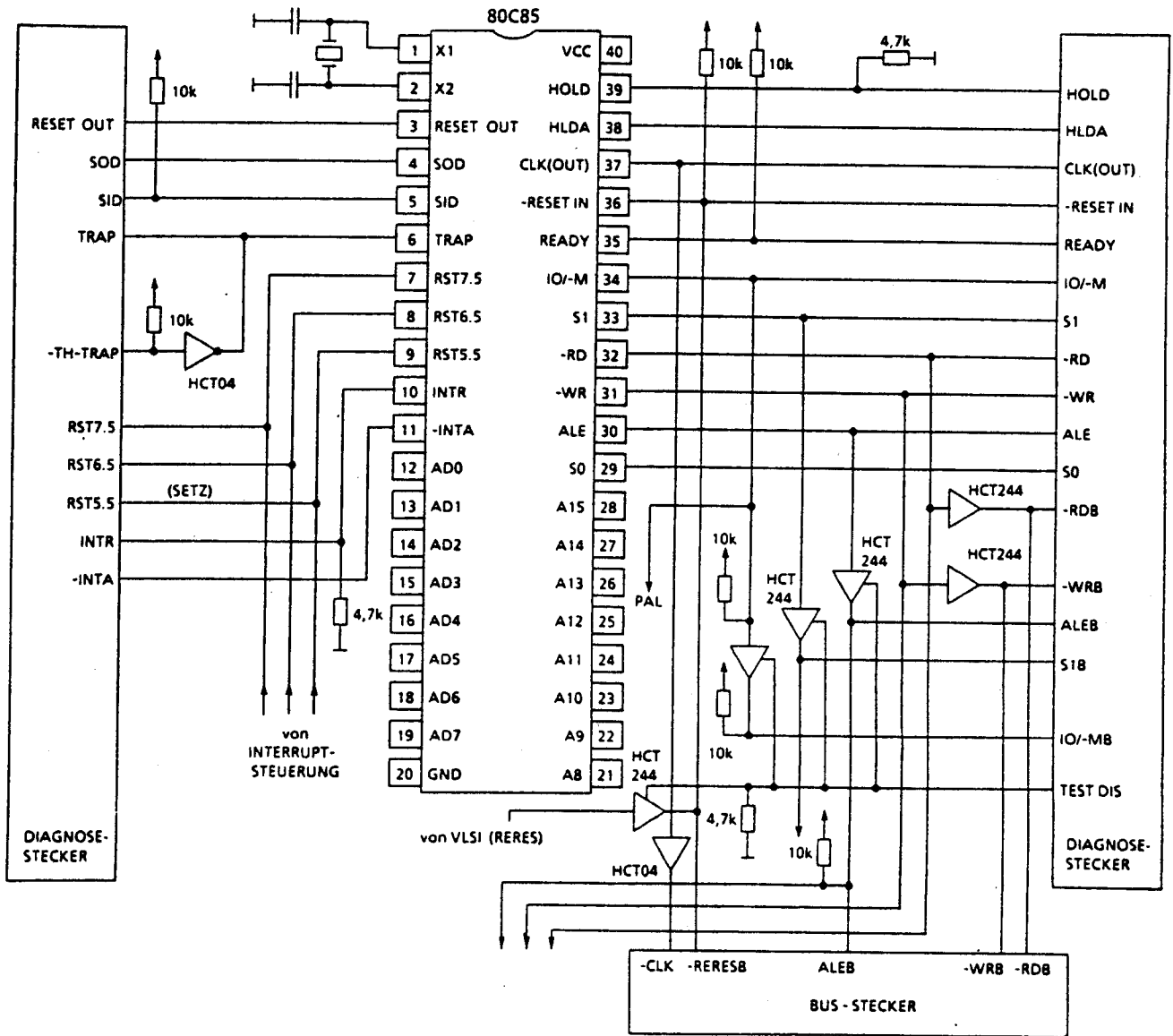


Bild 9 "80C85"- Steuersignale

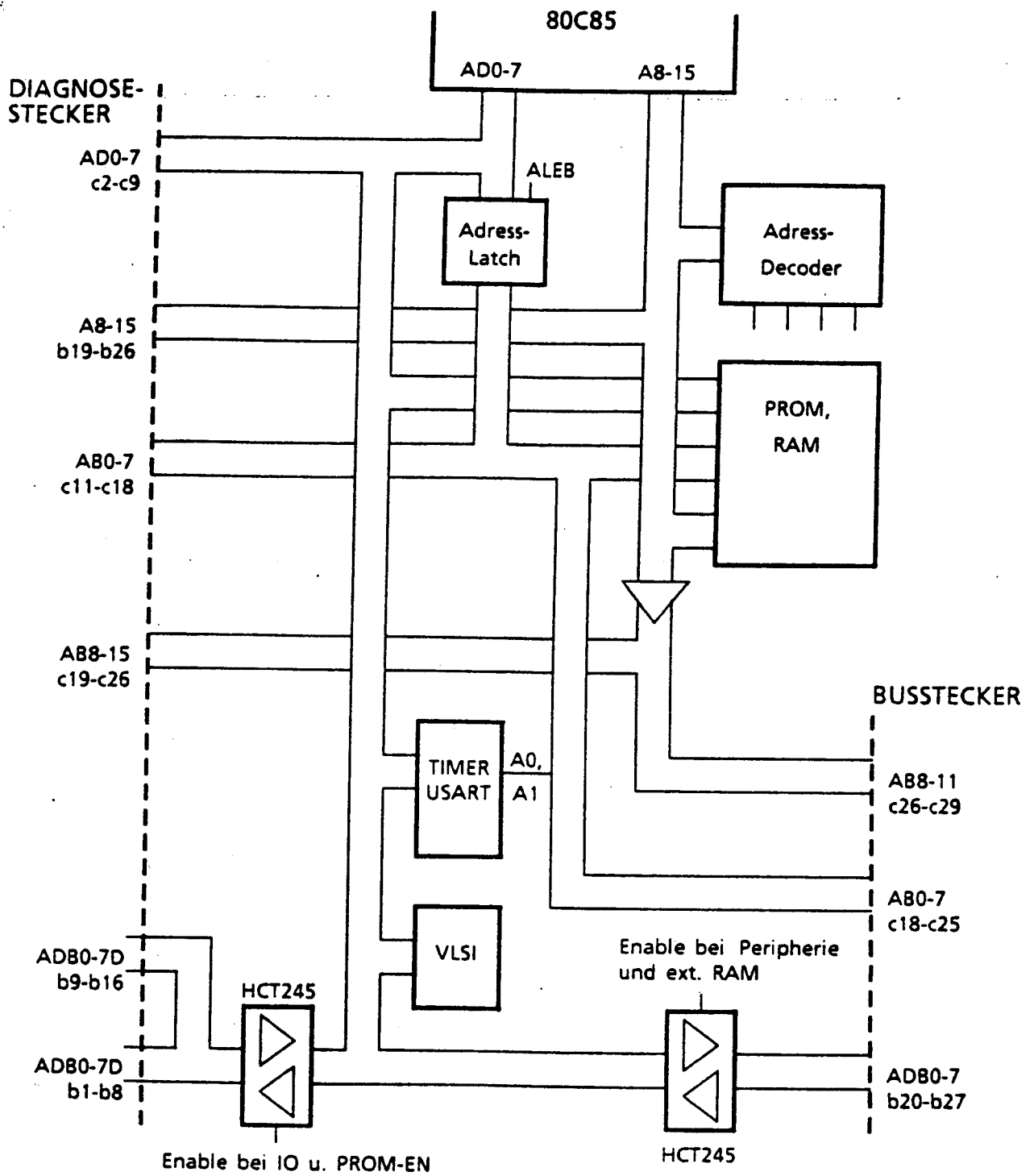
Wie Bild 9 zeigt, sind alle CPU-Signale grundsätzlich direkt zum Diagnosestecker geführt, da ja über diesen der Betrieb eines ICE (z.B. mit Hilfe des ICE-B-Adapters) möglich sein muß. Eingangsleitungen (also Leitungen mit Signalen, die zur 80C85 gehen) sind je nach Erfordernis mit einem Pull-up- oder einem Pull-down-Widerstand versehen, um definierte Pegel zu erreichen, wenn der Diagnosestecker nicht benützt ist (SID = "1", INTR = "0", HOLD = "0", READY = "1", -TH-TRAP = "1"). Um einen TRAP auszulösen, muß der Eingang -TH-TRAP benützt werden.

Ein Teil der Signale wird gepuffert (über HCT244) weitergeführt, sowohl auf den Diagnosestecker (zusätzlich zu den ungepufferten), als auch auf den Busstecker (Buchstabe B nach dem Signalnamen bedeutet "gepuffert": ALEB, -WRB, -RDB, RERESB).

Das Signal RERESB (identisch mit dem RESET IN des 80C85) wird vom VLSI-Sensendaustein erzeugt (als RERES, geführt über einen Treiber HCT244). Außerdem wird noch das CLK-Signal der CPU zum Busstecker geführt, allerdings über einen Inverter HCT04 und ein RC-Glied (Verringern der Flankensteilheit um Störeinflüsse zu vermindern). Auf der Baugruppe selbst werden benötigt: ALEB, -RD, -WR, S1B, IO/-M für Speicher und Peripherie.

So wie für die Steuerleitungen, gilt auch hier, daß die Adressen- und Datenleitungen AD0-7 und A8-A15 des 80C85 direkt auf den Diagnosestecker geführt sind.

Bild 10 zeigt, in welcher Weise die gepufferten Busleitungen weitergeführt sind. Die Datenleitungen (ADB0-7) zum Busstecker sind über einen bidirektionalen Treiber HCT245 geführt, dessen Richtung durch das RD-Signal gesteuert wird. Der Treiber wird mittels Adressenbereichs-Auswahl-Signal aus einem PAL-Baustein aktiviert.



A.....Adr. Bus
 AD...Adr. - Datenbus
 AB....Adr. Bus, gepuffert
 ADB.Adr. - Datenbus, gepuffert

Bild 10 Schema der Adressen- und Datenleitungen

Die Datenleitungen für den Diagnosestecker sind ebenfalls über einen HCT245 (IC 39) geführt. Die Richtungssteuerung wird wieder mit dem RD-Signal vorgenommen. Ein Signal vom PAL (IC 32/19) sorgt wieder für die Aktivierung (Bereich 0-FF, IO adressiert und bei PROM-EN von 0-BFFF, Memory adressiert).

Eine grobe Adressendecodierung für die einzelnen Komplexe wird zunächst mit dem PAL (IC 32) vorgenommen, das die Signale IO/-M, ROM-EN und die Adressenleitungen A10-A15 entsprechend decodiert. ROM-EN ist ein Signal, das vom Diagnosestecker kommt und von außen – z.B. auf dem CPU-Adapter – auf "0" gelegt werden muß, wenn anstelle des Speichers auf der CPU-Baugruppe ein externer Speicher (z.B. auf dem CPU-Adapter) benutzt werden soll. Die IO/-M-Leitung sorgt dafür, daß mit IO-Befehlen nur Peripherie, die am Diagnosestecker angeschlossen ist, angesprochen werden kann.

4.1.2 Speicher

Der PROM-Bereich ist unterteilt in einen Grundbereich von 0000 bis 3FFF (auf IC-Platz 36 ist dafür ein 16k-EPROM eingesetzt; es kann auch ein 32k-EPROM gesteckt werden, allerdings muß das Programm auf der oberen EPROM-Hälfte stehen) und in den Bankbereich.

Der Bankbereich 4000-BFFF wird mittels Bankumschaltung doppelt verwendet. Als Speicherbaustein dient ein 64k-EPROM (IC 35). Die Bankumschaltung wird durch Schreiben einer "0" (für Bank 0) oder einer "1" (für Bank 1) auf Adresse FB00, Bit 0 durchgeführt. Wird die Bankumschaltung nicht benützt, so ist auch ein 32k-EPROM verwendbar. Es muß jedoch auf Bank 1 geschaltet werden, damit $V_{pp} = \text{high}$ ist (siehe Baustein-Spezifikationen).

Um ein gegebenenfalls extern auf dem CPU-Adapter gelegenes EPROM (oder RAM) ebenfalls bankmäßig ansteuern zu können, wird das Bankumschaltesignal ("Bank 0") auch auf den Diagnosestecker geführt, und zwar invers.

Der RAM-Bereich liegt von C000 bis DFFF.

4.1.3 Interruptsteuerung

Standardmäßig werden die Interrupts RST5,5, RST6,5 und RST7,5 verwendet. Der TRAP kann über den Diagnosestecker für Testzwecke benützt werden.

Der RST5,5 wird durch das Setzsignal ausgelöst, das über den Empfangsbaustein SN75173 aus der Gestellverdrahtung (vom Frequenzverteiler) kommt.

Der RST6,5 tritt im Blockraster auf: mit steigender Flanke des Signals BLOTS ("Blocktor senden" aus VLSI, zu Beginn Bit 191 Sendeteilerkette) wird der Interrupt gesetzt, mit steigender Flanke des Taktes T26H67S (aus dem VLSI) – das ist zu Blockwechsel – wird er wieder zurückgenommen (siehe Bild 11).

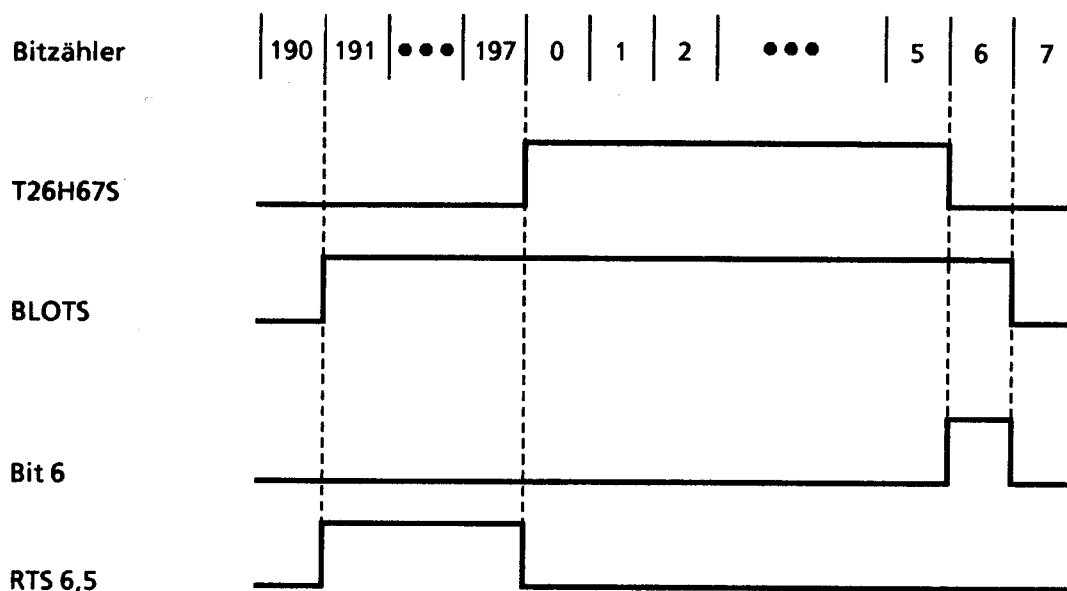


Bild 11 Interrupterzeugung

Der RST7,5 wird mit Hilfe des Timerbausteins 82C54 erzeugt. Durch entsprechende Programmierung des Bausteins werden bis zu drei verschiedene Interrupts RST7,5 während eines Blockes generiert.

Der Timer wird mit den Adressen FA00 bis FA03 adressiert.

4.1.4 Serielle Schnittstelle

Der Datenaustausch über die serielle Schnittstelle zur Funkdatensteuerung geschieht innerhalb eines Funkblocks (37,5 ms) in jeweils zeitprogrammierten Sende- und Empfangsschlitzen. Die Datengeschwindigkeit innerhalb dieser Signalisierungsbursts beträgt 256 kBd. Für den Datenaustausch auf dieser Schnittstelle wird der USART Baustein 2661, für die Festlegung des Zeitpunktes dieses Dialogs der Baustein 82C54 eingesetzt, der am Rechner einen Interrupt (RST7,5) erzeugt (siehe Abschnitt 4.1.3). Der Baustein 2661 wird mit einer Bitrate von 256 kBd synchron mit dem Empfangstakt T256KE und dem Sendetakt T256KS aus der Interfacekarte betrieben. Der Sendetakt T256KS hat einen Vorlauf, der ungefähr die doppelte Laufzeit der Verbindungskabellänge ausmacht (fest eingestellt), so daß in der Funkdatensteuerung für Sende- und Empfangseinrichtung derselbe 256-kHz-Takt verwendet werden kann. Als Adressenbereich für den USART wird F900-F903 verwendet.

Die beiden Treiberbausteine (im 74ALS1631N) werden parallel vom USART angesteuert; für die Empfangseinrichtung sind es ebenfalls zwei Bausteine (im SN75173). Je nachdem, welche der beiden FDS in Betrieb ist, wird über die DTR-Leitung der eine oder der andere Baustein zum USART durchgeschaltet.

4.1.5 VLSI-Bausteine

Die beiden 48poligen C-MOS-Bausteine M862 bzw. SCX6B64 WWK und M863 bzw. SCX6B48 WWL (mit VLSI-Baustein bezeichnet) enthalten wesentliche Funktionen der Funkkanalsteuerung. Sie haben eine 8085-kompatible Busschnittstelle, die die Signale AD0-7 (8-bit-Adressen-Daten-Bus), ALE (Address Latch Enable), -RD (Read), -WR (Write) umfaßt. Mit Hilfe des Decoderbausteins (HCT138) auf der CPU wird das Chip-Select-Signal (-CS) erzeugt, das den Ansprechbereich der VLSI-Bausteine auf F800 bis F8FF festlegt. Die niederen acht Adressenbits werden mit Hilfe des ALE-Signals über AD0-7 in die VLSI-Bausteine gespeichert.

Die Pins MOD0, MOD1 sowie TEST0 und TEST1 legen die Betriebsarten der Bausteine fest. Für den OSK liegen MOD0 und MOD1 auf "0". TEST0 und TEST1 sind "0" bei Normalbetrieb. Für Testzwecke kann mit TEST0 = 0 und TEST1 = 1 die verteilte Signalisierung abgeschaltet werden (geschieht über den Diagnosestecker mit Hilfe des CPU-Adapters).

Das Bild 12 zeigt die wesentlichsten Funktionsblöcke der VLSI-Bausteine. Alle Funktionsblöcke werden über die Busschnittstelle bedient (im folgenden werden die beiden Bausteine als Einheit betrachtet, so daß auch nur von einer Busschnittstelle gesprochen wird, obwohl natürlich jeder Baustein eine eigene Schnittstelle hat).

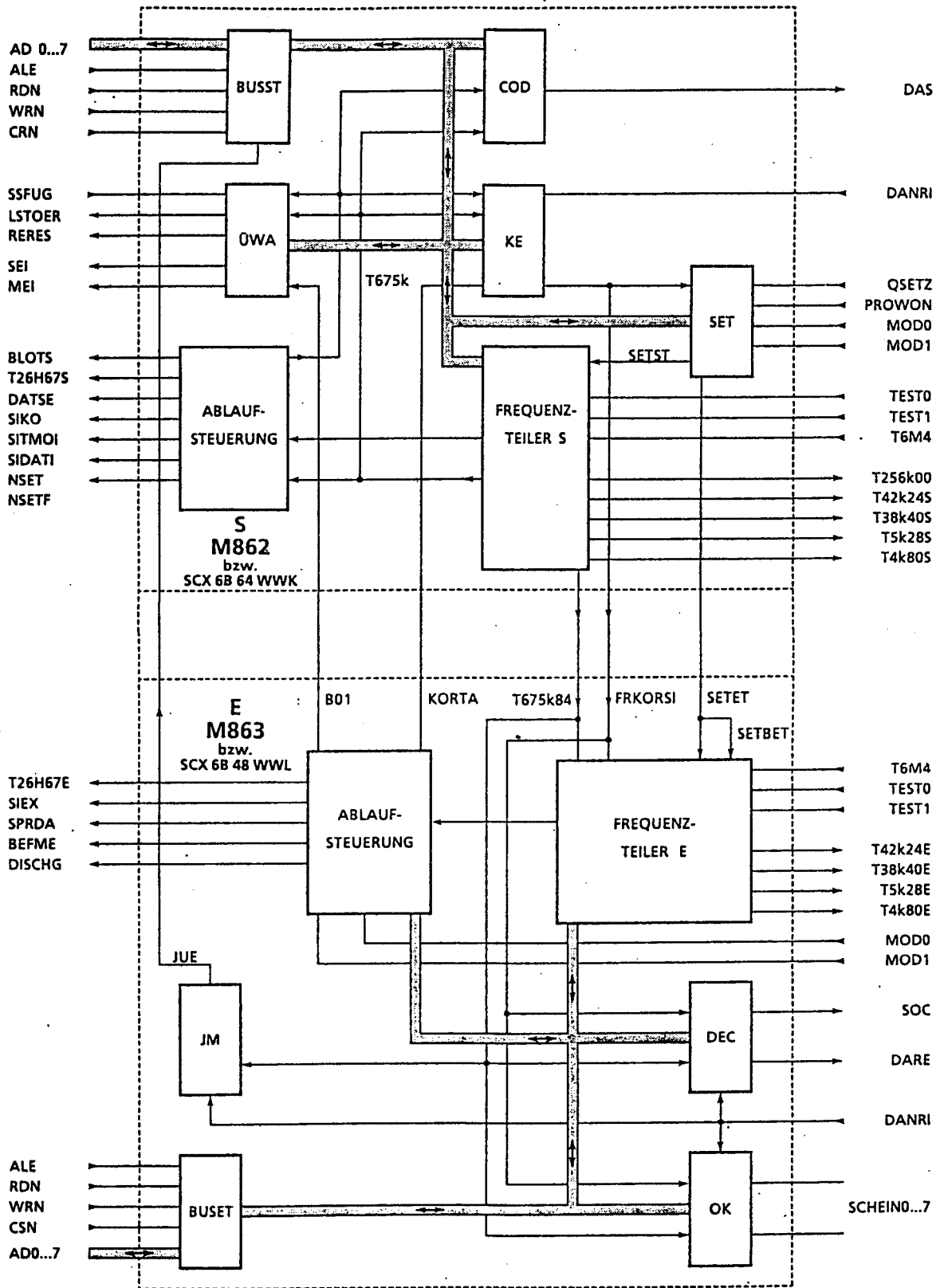


Bild 12 Übersichtsschaltplan der Bausteine M862 bzw. SCX6B64 WWK und M863 bzw SCX6B48 WWL

Das Bild 13 zeigt die über die Pins geführten Signale und ihre Einbettung innerhalb der CPU-Baugruppe.

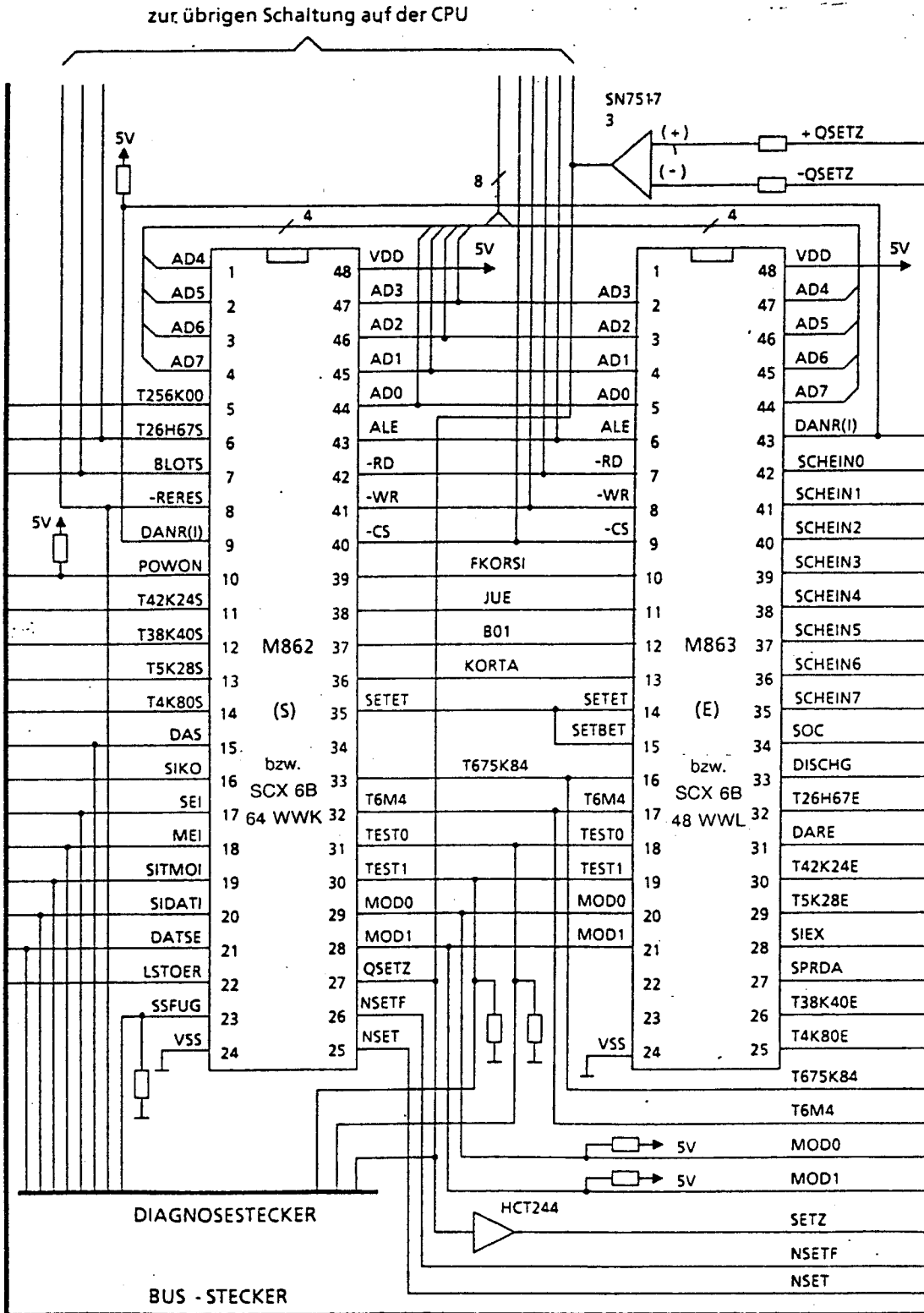


Bild 13 Anschlußschema der VLSI-Bausteine

4.1.5.1 Takterzeugung

Grundlage aller erzeugten Takte ist der Eingangstakt 6,4MHz. Von diesem werden die einzelnen Takte abgeleitet. Die Signalnamen der Takte setzen sich aus den Buchstaben T und der Frequenzangabe zusammen, wie aus folgendem Schema ersichtlich ist (Bild 14).

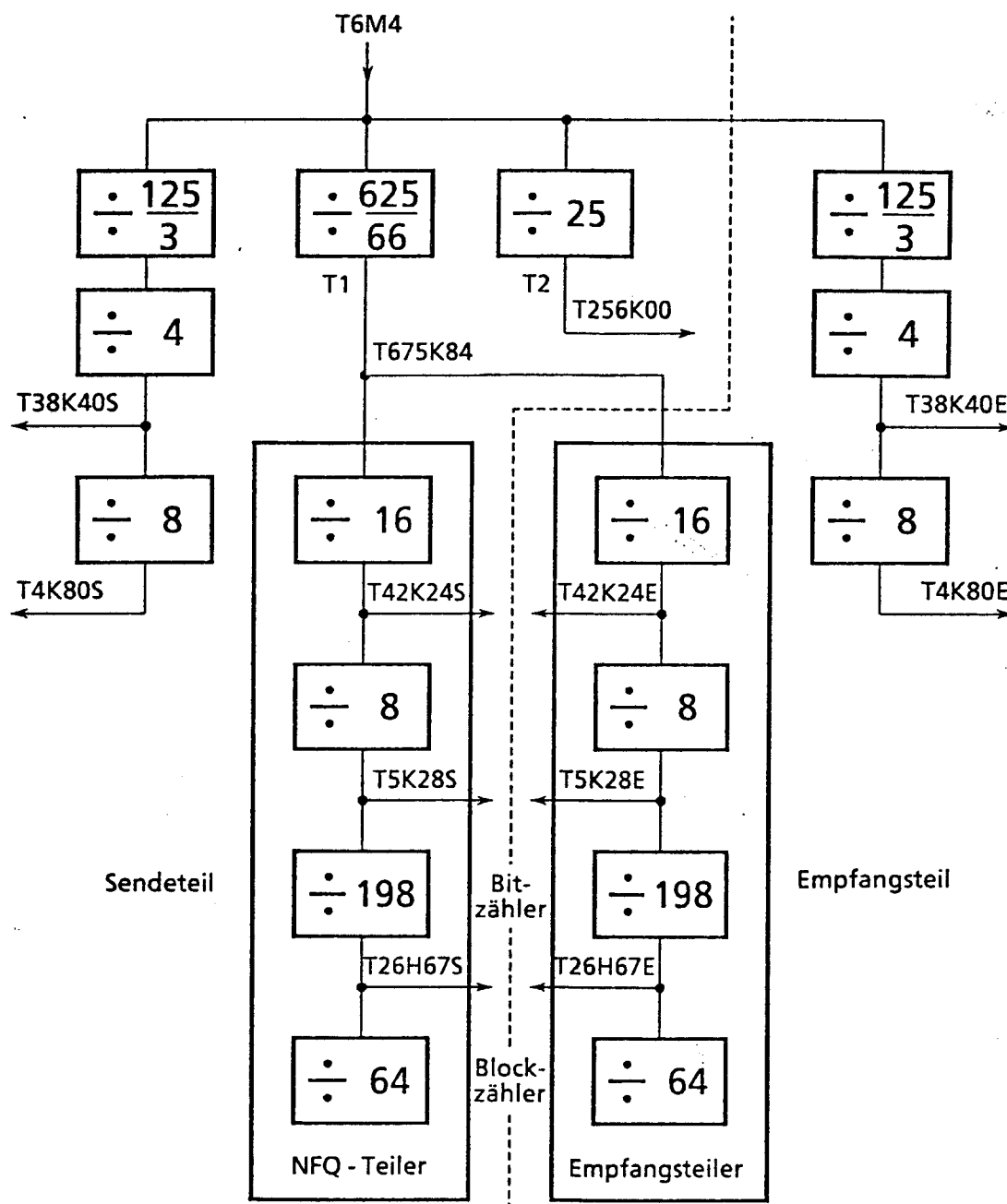


Bild 14 Übersichtsschaltplan der Frequenzteiler für Sende- und Empfangsteil

Da Sende- und Empfangsrahmen zueinander zeitversetzt sein können, ist ein Großteil der Takte zweimal vorhanden: S für Sendeseite, E für Empfangsseite. Ein Teil der Takte läßt sich nicht durch rationale Teilerverhältnisse erzeugen und weist daher einen Jitter auf (siehe folgende Tabelle).

Taktname	erzeugt aus	Teilungsfaktor	Phasenjitter
T675K84	T6M4	625/66	- 78,15 - 146,78 ns
T256K00	T6M4	25	0
T42K24S,E	T675K	16	- 4,7 - 146,78 ns
T5K28S,E	T42K24S,E	8	- 4,7 - 146,78 ns
T26H67S,E	T5K28S,E	198	0
T38K40S,E	T6M4	500/3	104,17 ns

Außerhalb der VLSI-Bausteine werden folgende Takte verwendet:

T675K84: Taktung für A/D-Wandler für Feldstärke

T256K00: Takt für serielle Schnittstellen

T26H67S: Einlatchen von Port-Signalen

T38K40S,E

und T42K24S,E: Takte für Komprimierung und Expandierung der Sprache.

4.1.5.2 Teilerketten

Mit T675K84 werden die beiden Teilerketten (Sendeteiler und Empfangsteiler) getaktet. Mittels Teilung durch 128 entsteht der Bittakt von T5K28S bzw. E (siehe auch obige Tabelle), eine weitere Teilung durch 198 ergibt den Blocktakt T26H67S bzw. E, mit dem schließlich der Blockzähler gezählt wird. 64 Blöcke zu je 37,5 ms bilden einen Rahmen, der demnach 2,4 s lang ist.

Der Bitzählerstand der Sendeteilerkette kann über die Busschnittstelle gelesen werden (Adresse F815), ebenso der Stand des Sendeblockzählers (Adresse F81C).

Beide Teilerketten können über verschiedene externe und interne Signale auf bestimmte Werte gesetzt werden.

Externe Signale

POWON entsteht bei Einschalten der Spannung oder bei RESET erzeugt internes POP-Signal (power-on-puls).

QSETZ Rahmensetzsignal erzeugt mit Rückflanke internes Setzsignal QSET.

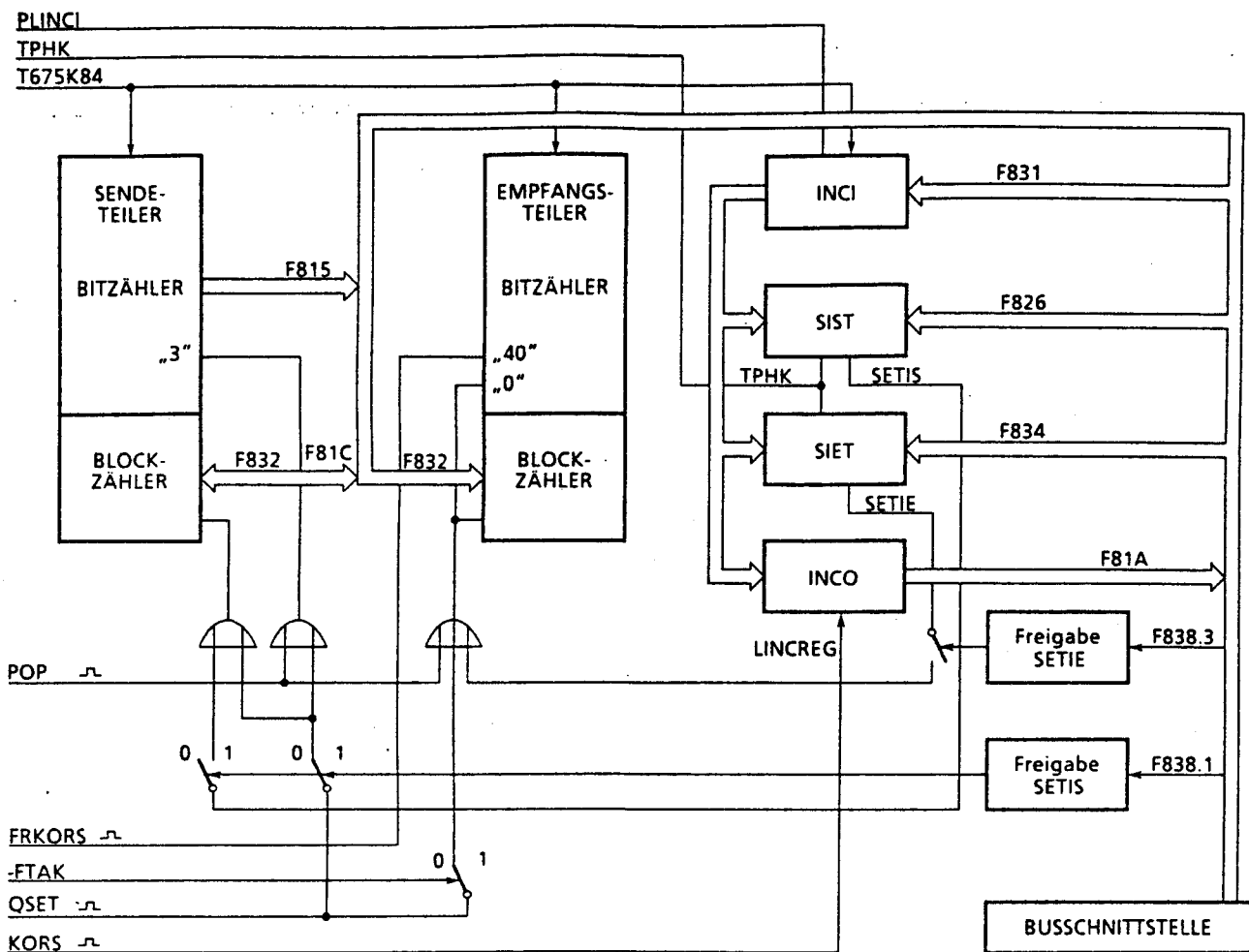
Beide Signale setzen alle Teiler einschließlich Teilerkette.

Interne Signale

FRKORS ("freigegebenes Korrelationssignal") und die Setzsignale **SETIS**, **SETIE** (indirektes Setzen) aus dem Inkrementierungszähler setzen die beiden Teilerketten (ab T675k84).

Mit **FRKORS** wird der Bitzählerstand der Empfangsteilerkette auf 40, mit den anderen Setzsignalen auf 0 gesetzt. Die Sendeteilerkette wird auf Bit 3 gesetzt.

Einzelheiten dazu zeigt Bild 15.



- LINCRES** Laden Incrementierungsregister (INCO)
- SIST, SETIS** Setzen indirekt, Sendeteiler
- SIET, SETIE** Setzen indirekt, Empfangsteiler
 SIET und SIST sind die Vergleichswerte für die Phase, die auf den Adressen F826 und F834 eingespeichert werden. Bei Gleichheit mit dem Stand des Incrementierungszählers werden die Impulse SETIS bzw. SETIE erzeugt, die die Teilerketten setzen, falls die Impulse über F838.1 und F838.3 freigegeben sind
- TPHK** Tor Phasenkorrektur (2 bit lang)
- PLINCI** Laden Incrementierungszähler

Bild 15 Teilerketten setzen

4.1.5.3 Ablaufsteuerung

Die Ablaufsteuerung erzeugt Signaltore für die einzelnen Funktionsblöcke und für externe Anschlüsse. Die zeitliche Lage der Signaltore ist zum Teil von der Betriebsart abhängig, und zwar im wesentlichen vom Zustand konzentrierte/verteilte Signalisierung.

Konzentrierte Signalisierung: Organisationskanal (Datentrieb), Aussenden der Signalisierungsinformation innerhalb eines Blocks.

Verteilte Signalisierung: Sprachbetrieb, Aussenden der Signalisierungsinformation in Zeitschlitzten während eines Unterrahmens = 16 Blöcke.

Das Steuerbit F838.2 (SDOT) (F832.2 bedeutet Adresse F832, Bit 7) bestimmt den Zustand konzentrierte / verteilte Signalisierung. SDOT wird blockweise getaktet, beim Sendebaustein mit T26H67S, beim Empfangsbaustein mit T26H67E. Das getaktete Signal heißt SPRDA (SPRDA = "0": verteilte Signalisierung).

Alle Signaltore sind beim Sendebaustein synchron zum Takt T5K28S und beim Empfangsbaustein synchron zum Takt T5K28E.

Folgende Signale werden aus den VLSI-Bausteinen nach außen geführt und im SPK verwendet:

T26H67S Takt 26,67Hz, von Beginn Bit 0 bis Ende Bit 5 jedes Blocks auf "1", sonst "0".

BLOTS "Blocktor senden", von Beginn Bit 191 jeden Blocks bis Ende Bit 6 des folgenden Blocks auf "1", sonst "0".

SOC "Start of Conversion" wird aus dem internen Signal STD gewonnen, das im Decoder am Beginn jedes Decodiervorganges erzeugt wird. Es startet die Verschlüsselung im A/D-Wandler für die Umsetzung der Feldstärke.

DISCHG "Discharge": Entladeimpuls für Ladekondensator (Feldstärkemessung), zu Beginn jedes Blocks bei konzentrierter Signalisierung, zu Beginn jedes Unterrahmens bei verteilter Signalisierung.

Weitere in der Ablaufsteuerung erzeugte Signale werden VLSI-intern verwendet und z.T. in den weiteren Kapiteln erwähnt (z.B. LOFF, SINTO, SDEC usw.).

4.1.5.4 Überwachung und Rechnerreset

Zur Programmlaufkontrolle gibt es einen Watchdog, der mindestens einmal je Block retriggert werden muß. Das geschieht durch Schreiben einer "1" auf F82A.2. Ist das nicht der Fall, wird die Störungsmeldung WADOG erzeugt. Außerdem erscheint am Ausgang RERES-(Rechner-Reset) ein "0"-Impuls, der den 80C85-Baustein sowie einige Peripheriebausteine zurücksetzt. Der Watchdog wird ferner in einen passiven Zustand versetzt; er wird erst wieder durch die nächste Retriggerung aktiviert.

Bei Störung oder Ausfall der Versorgungsspannung oder bei Betätigen der Reset-Taste, was bei POWON = "0" signalisiert wird, wird ebenfalls ein Reset-Signal (Ausgang RERES = "0") erzeugt.

Zum Überwachen der Teilerketten gibt es weitere Fehlermeldungen ("0" bei Fehler):

FTAK Fehler Teilerkette außer Kontrolle
FQSET fehlendes QSET
FSTK Fehler Sendeteilerkette.

FTAK tritt auf, wenn Sendeteilerkette und Empfangsteilerkette um mehr als ± 1 bit auseinanderliegen (Überwachung nur im Block 0, es müssen daher auch beide Blockzähler synchron laufen).

FQSET tritt auf, wenn während eines Rahmens kein QSETZ festgestellt wird.

FSTK tritt auf, wenn die negative Flanke von QSETZ nicht mehr in den Bereich Bit 2,5 bis Bit 3,5 der Sendeteilerkette fällt.

Bei Einschalten der Versorgungsspannung (PPOWON = "0") werden **FTAK** und **FQSET** in den Zustand "0" (d.h. Fehler) gebracht, **WADOG** auf "1" (kein Fehler). Der Zustand der Fehlermeldungen kann in ein Störungsregister übernommen werden, das über die Busschnittstelle mit Adresse F816 auslesbar ist:

Bit 0: **FTAK**
Bit 1: **WADOG**
Bit 2: **FQSET**
Bit 7: **FSTK**.

Die Übernahme in das Störungsregister geschieht entweder beim Auftreten einer Störungsmeldung – wenn noch keine andere Störungsmeldung vorliegt – oder durch kurzes Einschreiben einer "1" auf Adresse F82A ("Laden Störungsregister").

In beiden Fällen erscheint am externen Anschluß **LSTOER** ein kurzer "1"-Impuls, mit dem die außerhalb der VLSI-Bausteine liegenden Störungsregister am Audio-Interface geladen werden.

4.1.5.5 Korrelationsempfänger

Der Korrelationsempfänger empfängt die nicht regenerierten (Signalisierungs-) Daten DANR (I). Am Anfang jedes Signalisierungsblocks befindet sich der Barkercode, der sich dreimal wiederholt. Aus dem empfangenen Barkercode ermittelt der Korrelationsempfänger den Zeitbezug für die Empfangsteilerkette und erzeugt das Zeitzeichen KORS (Korrelationssignal).

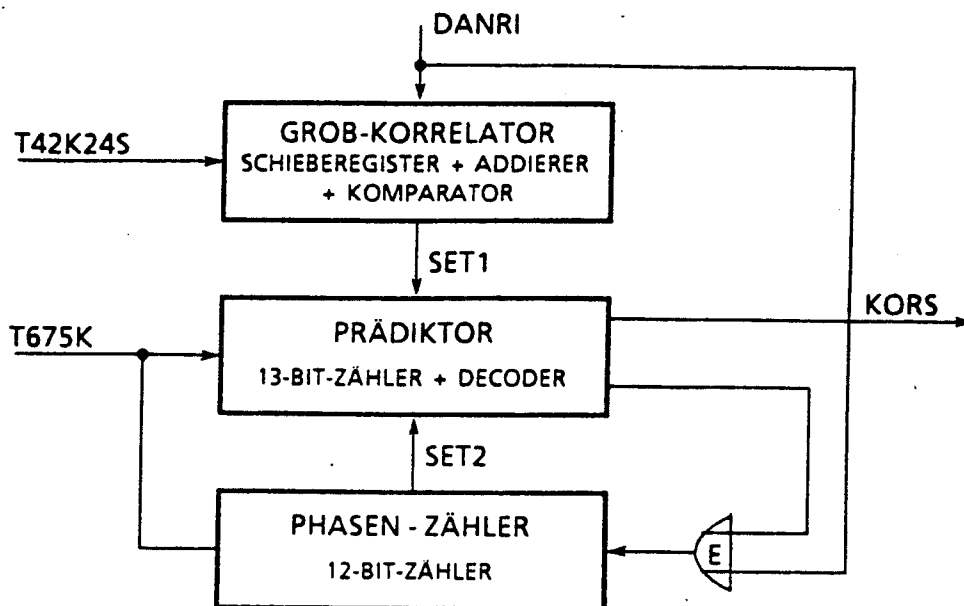


Bild 16 Übersichtsschaltplan des Korrelationsempfängers

Der Grobkorrelator taktet die einlaufenden Signalisierungsdaten mit 42,24kHz ab (acht Proben je Signalisierungsbit). Der Grobkorrelator erkennt den Barkercode, wenn

- im zeitlichen Abstand von $t = 1/T5K28$ jedes Signalisierungsbit mindestens die Pulsbreite $t = 1/T42K24$ hat

und

- der Barkercode höchstens einen Bitfehler enthält (siehe Bild 17).

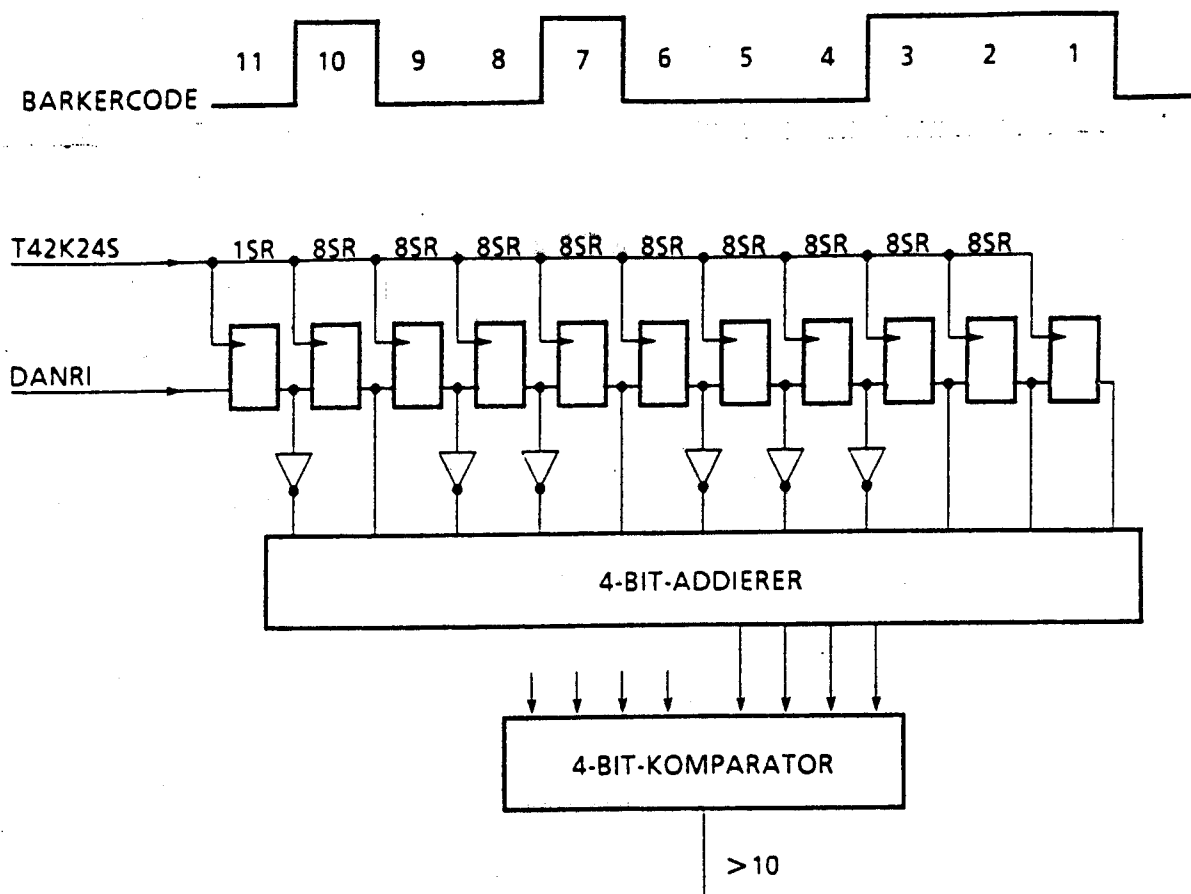


Bild 17 Grobkorrelator mit 81-bit-Schieberegister, 4-bit-Addierer und 4-bit-Komparator

Hat der Grobkorrelator den ersten Barkercode erkannt, dann setzt er einen Prädiktor, der ebenfalls den Barkercode erzeugt. Der Prädiktor vergleicht den eigenen mit dem empfangenen Barkercode und ermittelt dessen Phasenabweichungen.

Der zweite und dritte Barkercode enthalten insgesamt 12 Flankenwechsel. Nach vier Flankenwechseln und dann nach weiteren acht Flankenwechseln paßt sich der Prädiktor zeitlich dem empfangenen Barkercode an (schrittweise Annäherung). Der Korrelationsempfänger erzeugt ein Korrelationssignal KORS, wenn

- der Grobkorrelator drei aufeinanderfolgende Barkercodes erkannt hat
- und
- der zweite und dritte Barkercode im zeitlich richtigen Abstand zum ersten Barkercode stehen.

Der Zeitpunkt des Korrelationssignales ist:

$0,5 \cdot t_{675K}$ nach Bitmitte des dem Barkercode folgenden "Leerbits".

Die Betriebsarten des Korrelationsempfängers sind:

- Suchlauf (im OSK nicht verwendet)
- Normalbetrieb konzentrierte Signalisierung.

Die Betriebsarten werden über die Busschnittstelle eingestellt, und zwar auf Adresse F82C (beide Signale sind aktiv "1"):

F82C.7 Suchlauf Korrelationsempfänger

F82C.6 Freigabe Korrelationsempfänger.

Die Ausgangssignale des Korrelationsempfängers sind:

KORS (siehe oben)

FRKORS Freigabe Korrelationssignal
(UND-Verknüpfung von KORS und F82C.6)

KORSER (F819.7) Korrelationssignal erkannt

KORSZE (F819.6) Korrelationssignal im Erwartungszeitraum.

Einen Takt T5K28 vor dem Aussenden des Barker codes wird der Registerinhalt F82C.7 (Suchlauf) in ein internes Register SU des Korrelationsempfängers übernommen, und es werden die Signale KORSER und KORSZE zurückgesetzt.

Die Ablaufsteuerung erzeugt Zeittore für das Erkennen der Korrelation:

SYNT Synchronisations-Erwartungstor.
Zeittor für das Erkennen des ersten Barker codes durch den Grobkorrelator.
Dieses Zeittor ist 3 bit breit (2 bit: Bereich der Funklaufzeit,
1 bit: maximale Breite der Grobkorrelation).

SYKON Synchronisationskontrolle.
Zeittor für das Korrelationssignal KORS, dieses Zeittor ist 2 bit breit.

In der Betriebsart Normalbetrieb muß der erste erkannte Barkercode innerhalb des Zeittores SYNT liegen, damit der Prädiktor gesetzt und freigegeben wird.

Es gilt für die Ausgangssignale:

Tor SYNT	dritter Barkercode erkannt	Tor SYKON	F82C.6 Freigabe Korrelationsempfänger	KORS	FRKORS	F819.7 KORSER	F819.6 KORSZE
ja	ja	ja	L	H	L	H	H
ja	ja	ja	H	H	H	H	H
ja	ja	nein	X	L	L	H	L
ja	nein	-	X	L	L	L	L
nein	-	-	X	L	L	L	L

Im Normalbetrieb gibt das Zeittor KORTA der Empfangsfrequenzteilerkette den Korrelationsempfänger frei.

4.1.5.6 Jittermesser

Mit Hilfe des Jittermessers wird über die Auswertung der Zeichenwechsel-Veränderungen der Geräuschabstand im Basisfrequenzband ermittelt. Die Jittermessung bewertet die Veränderung aller gleichpolarer Zeichenwechseländerungen (negative Flanken) im vorgegebenen Bewertungsintervall. Das Bewertungsintervall erstreckt sich bei konzentrierter Signalisierung über eine Blocklänge, bei verteilter Signalisierung über einen Unterrahmen (0,6 sec.). Der Jittermesser besteht im wesentlichen aus einem Auf-/Abwärtszähler (UD-Zähler), der als Modulo-Bit-Zähler arbeitet und mit dem Systemtakt (128fachen Bittakt) betrieben wird (siehe Bild 18).

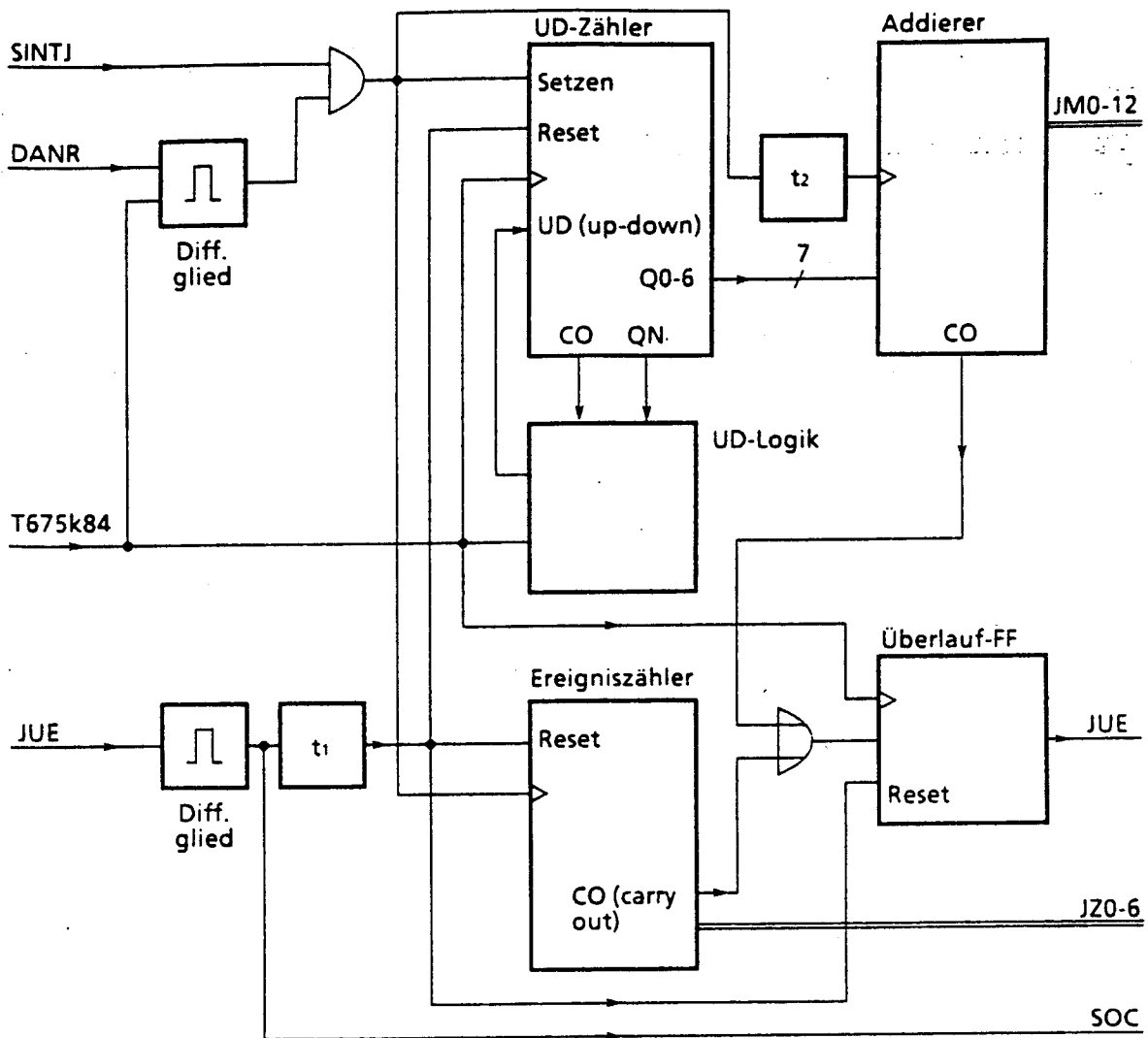


Bild 18 Übersichtsschaltplan Jittermesser

Seine Zählrichtung wird jeweils beim Zählerstand 0 und 63 umgekehrt. Mit dem ersten negativen Flankenwechsel des innerhalb des Bewertungszeitraums (SINTJ) einlaufenden Dateneingangssignals (DANR) wird der Zähler auf den Wert 1 geladen und der Bewertungsvorgang gestartet. Mit jedem negativen Flankenwechsel werden die jeweiligen Zählerstände des Auf-/Abwärtszählers in einen Addierer übernommen und aufaddiert. Gleichzeitig wird der Zähler auf den Wert 1 geladen und der Bewertungsvorgang neu gestartet. Nur bei störungsfreier Datenübertragung erreicht der Zähler am Ende jedes Bewertungsvorgangs zwischen zwei negativen Flankenwechseln den Wert 0 (siehe Bild 19). Ist der Abstand zweier aufeinanderfolgender negativer Flanken größer oder kleiner als die n -fache Bitbreite ($n > 1$), so ergibt sich aus dem Zählerstand des Modulo-Bit-Zählers der Absolutwert der zeitlichen Abweichung vom Sollwert als Jitterwert (siehe Bild 19), der in den Addierer addiert wird.

Ein Ereigniszähler registriert die Anzahl aller negativen Flanken innerhalb des Bewertungszeitraums (7 bit). Nach Ablauf des Bewertungszeitraums werden mit dem Signal STD (Stop Decoder) der im Addierer aufaddierte Jitterwert (JM) und der Zählerstand des Ereigniszählers (JZ) abgespeichert, und sie stehen zum Auslesen über die Busschnittstelle zur Verfügung. Unter der Adresse F849 läßt sich die Anzahl der negativen Flankenwechsel auslesen. Über die Adressen F84A und F84C kann auf den Jitterwert zugegriffen werden, wobei unter Adresse F84A das MSB (5 bit) und unter Adresse F84C das LSB (8 bit) abgespeichert sind.

Ebenfalls vom Signal STD abgeleitet wird ein Rücksetzsignal, mit dem UD-Zähler, Akkumulator und Ereigniszähler zurückgesetzt werden; diese sind somit für einen neuen Bewertungsvorgang vorbereitet.

Übersteigt der akkumulierte Jitterwert innerhalb eines Bewertungszeitraums den Wert $2^{13} = 8192$ oder ist die Anzahl der Zeichenwechsel größer als $2^7 = 128$, so steht am Ausgang Jittermesser-Überlauf (JUE) ein H-Pegel an. Das Signal JUE wird im Sendebaustein weiter verarbeitet und kann über die Busschnittstelle (Adresse F819.2) ausgelesen werden.

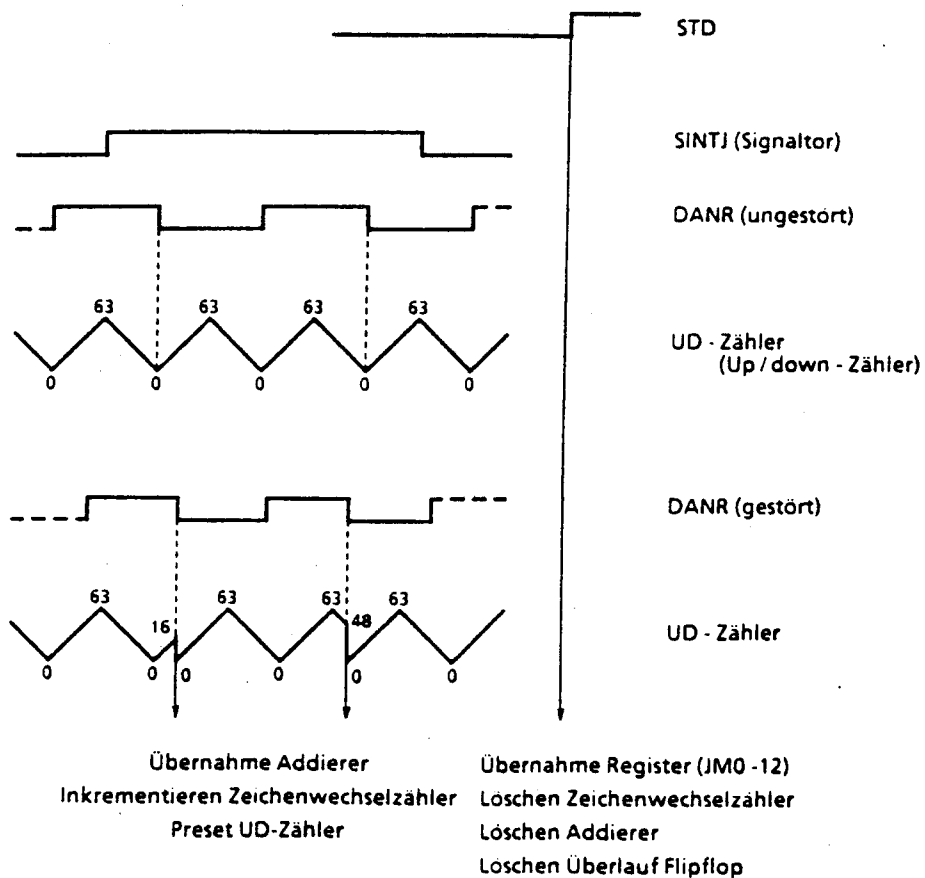


Bild 19 Funktion des Jittermessers

4.1.5.7 Offsetkorrektur

Die Offsetkorrektur wird mit Hilfe der im Bild 20 dargestellten Schaltung durchgeführt; sie besteht aus dem Offsetmesser im VLSI und der Schwellen-Vergleichsschaltung am AU-IF (siehe auch Kapitel 4.2). Weist das vom Empfänger kommende Signal DADEMI eine vom Mittelwert abweichende Gleichspannungsablage auf, so sind die "0"- und "1"-Bits des DANR-Signales nicht mehr gleich lang.

Funktionsweise des Offsetmessers

Der 128fache Bittakt (T675K84) zählt während des Bewertungszeitraums $SINTO = 1$ (das ist während des Barkercodes, Bit 11 bis einschließlich Bit 32) in einen 12-bit-UD-Zähler (Up/down-Zähler) ein.

Das Signal DANR (Daten nicht regeneriert) bestimmt die Zählrichtung: Signallage "0" entspricht der Zählrichtung abwärts, "1" aufwärts.

Außerdem ist zu beachten, daß am Beginn der Offsetmessung der D/A-Wandler mit dem Initialwert 80H (OFFE0-7 = SCHEIN0-7 auf Mittenwert) versorgt sein muß, so daß die Gleichspannungsablage des DADEMI-Signals den Flankenverschiebungen des DANR-Signals entspricht. Am Beginn des Bewertungszeitraums wird der Zähler auf 2304 eingestellt, d.i. um 2×128 über dem Mittenwert des Zählers $4096/2 = 2048$. Damit ist die Tatsache berücksichtigt, daß der Barkercode zwei "0"-Bit mehr als "1"-Bit enthält.

Durch den auf 2304 voreingestellten Zähler ist erreicht, daß im Idealfall (keine Gleichspannungsablage) der Zähler am Ende des Bewertungsintervalls auf 2048, also in Zählermitte steht. Mit dem Signal LOFF (Laden Offsetkorrektur) aus der Ablaufsteuerung wird der Zähler auf den Voreinstellwert gesetzt. SINTO gibt den Zähler frei. Der Zähler zählt nun entsprechend der Zeichendauer und des Zeichenzustandes aufwärts oder abwärts. Am Ende der Messung werden die acht höchsten Bits des Zählers abgespeichert und können über Adresse F846 vom Rechner gelesen werden (OFFA).

Die gelesenen Meßwerte der Offsetkorrektur werden im Rechner verarbeitet und daraus ein Wert für die SchwellwertEinstellung gewonnen. Dieser Wert kann über die Busschnittstelle (Adresse F864) eingeschrieben werden (OFFE) und erscheint als binäres Signal an den Ausgängen SCHEIN0-7.

Mit dem Signal FRKORS (aus M862 bzw. SCX 6B64 WWK) wird das Ergebnis der Offsetmessung als Korrekturwert auf die Ausgänge SCHEIN0 - SCHEIN7 gelegt. Mit dem nächsten Signal LOFF wird der betreffende Multiplexer jedoch umgesteuert und der Rechner übernimmt die SchwellwertEinstellung.

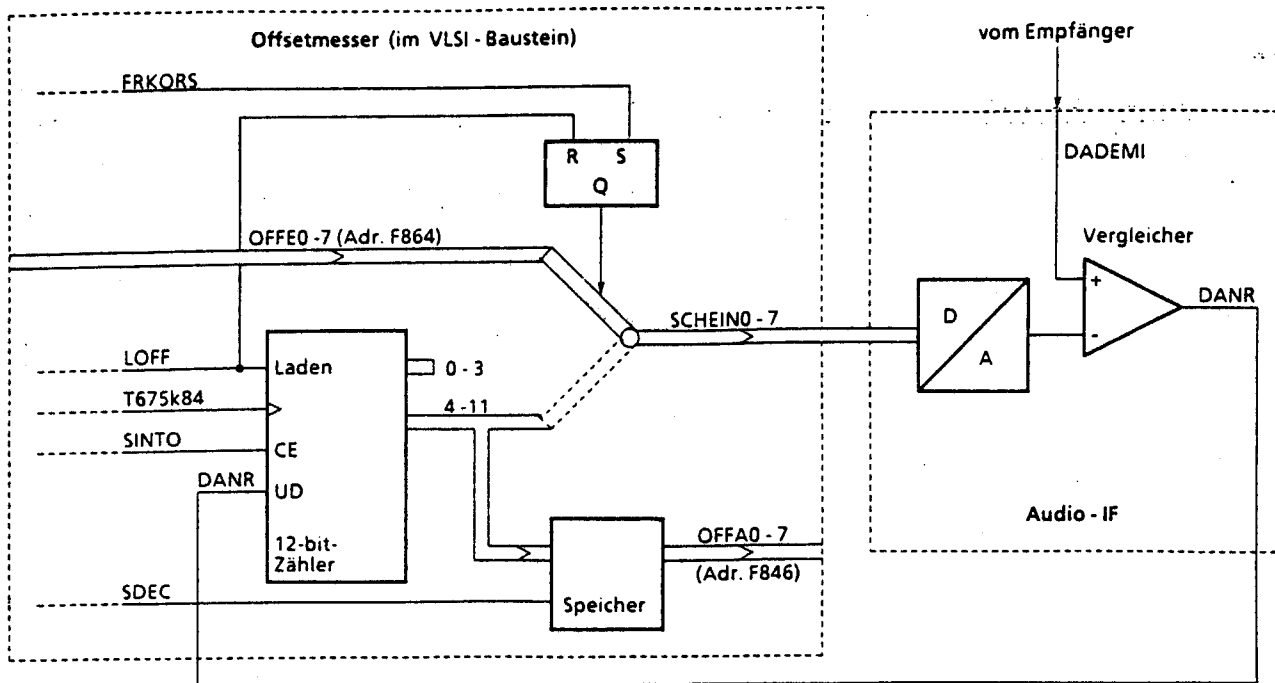


Bild 20 Offsetkorrektur

Anstelle des Initialwertes 80H (entspricht Zählerstand 2048) gelangt der Schwellwert SCHEIN0-7 an den Eingang des D/A-Wandlers an AU-IF (nur bei Ablage Null würde SCHEIN0-7 mit dem Initialwert identisch sein).

Damit ist der Vergleichswert am Vergleicher so eingestellt, daß die Gleichspannungsablage vom DADEMI-Signal kompensiert wird und das DANR-Signal genaue Bit-Längen aufweist (siehe Bild 21).

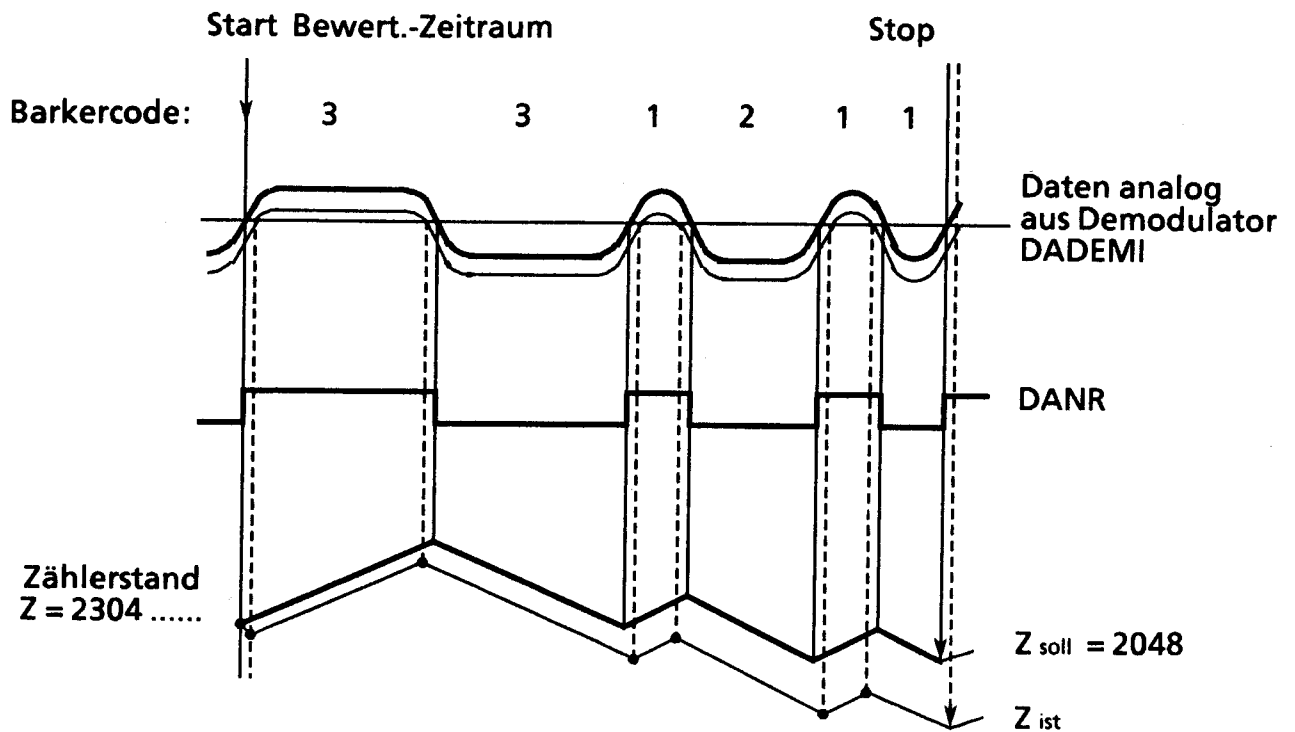


Bild 21 Offsetkorrektur Barkercode

4.1.5.8 Decoder

Der Decoder stellt die Signalisierungs-Schnittstelle zwischen dem Empfänger und dem Rechner dar, seine Aufgaben sind:

- Zwischenspeichern der vom Funkteil gelieferten Daten
- Decodieren der empfangenen Nachricht
- Durchführen von Fehlererkennung und Fehlerkorrektur.

Der Decoder empfängt über den Eingang DANR(I) die nicht regenerierten Signalisierungsdaten. Sie werden mit dem Bit-Takt (T5K28E) abgetaktet und erscheinen am Ausgang DARE (Daten regeneriert). Mit Hilfe der Impulse DECB (Bittakt vom Bit 41, d.i. nach dem Barkercode, bis einschließlich Bit 190) werden die Nutzdaten von den Synchronisierungsdaten (Barkercode) getrennt und entsprechend der zeitlichen Verschachtelung in 15 Worten à 10 bit spaltenweise in ein RAM eingelesen.

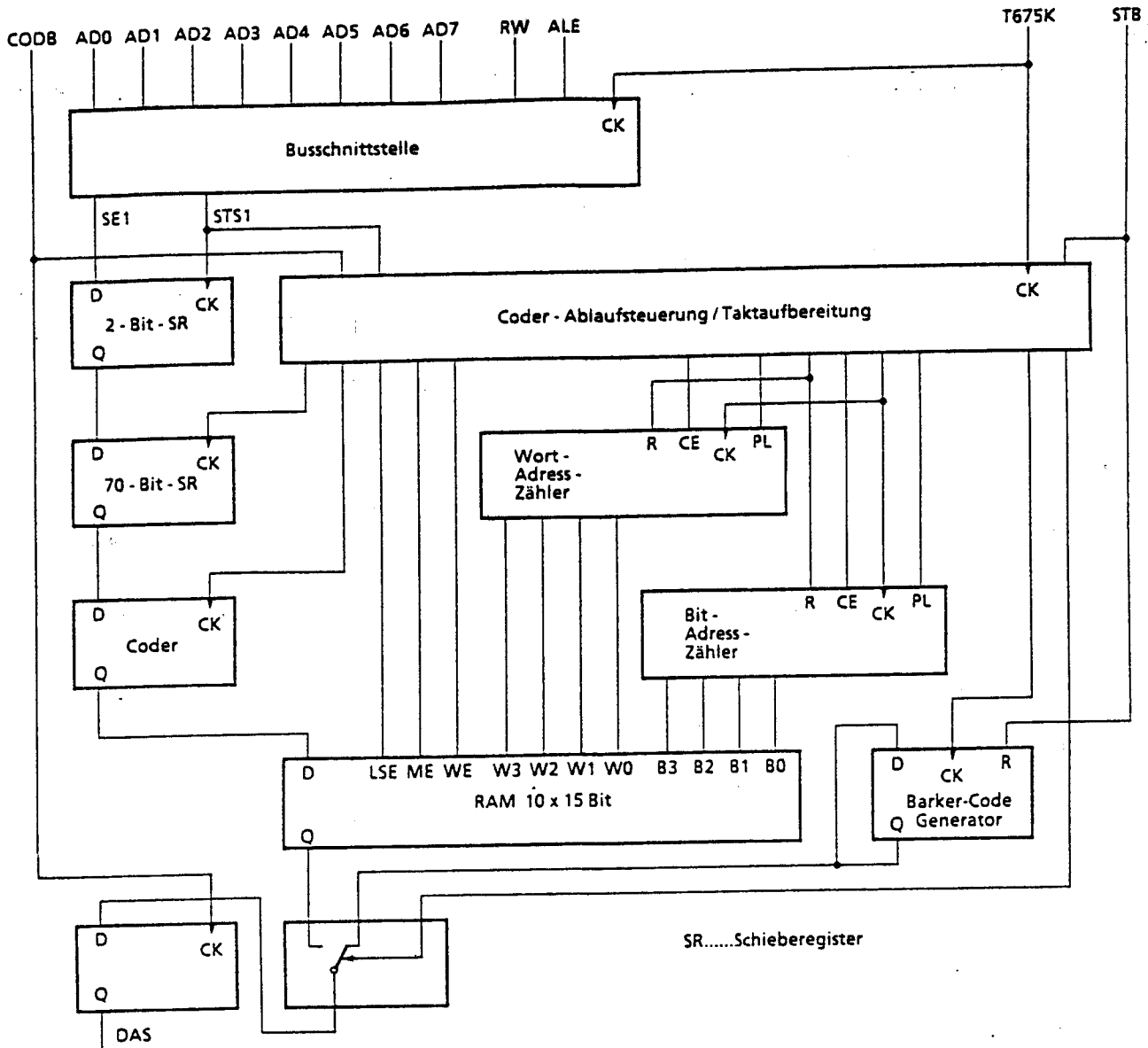


Bild 22 Übersichtsschaltplan Decoder

Zuvor wird die Schaltung mit dem Signal SDEC (Start Decoder, siehe auch Abschnitt 4.1.5.6) aus der Ablaufsteuerung zurückgesetzt und auf den Vorgang Daten einlesen/decodieren vorbereitet. Ebenso kann die Schaltung durch das Signal FRKORS aus dem Korrelationsempfänger während des Einlesevorgangs zurückgesetzt werden. Der Einlesevorgang wird dann mit DECB neu gestartet. Nach Beenden des Einlesevorgangs mit der fallenden Flanke des letzten Taktes DECB (Bit 190.5) wird

der Decodiervorgang gestartet. Gleichzeitig wird über den Ausgang STD ein Signal geliefert, das zur weiteren Verarbeitung im Schaltungsteil Jittermesser zur Verfügung steht (siehe Abschnitt 4.1.5.6).

Der Decodierer läuft mit dem halben Systemtakt (T_{675K}). Die im RAM gespeicherten Daten werden zeilenweise (10 Worte à 15 bit) ausgelesen, decodiert und anschließend seriell in einem 70-bit-Schieberegister abgespeichert. Wird bei einem Wort eine Fehlerkorrektur durchgeführt, so wird dies durch Eintragen einer "1" in einem 10-bit-Schieberegister an der entsprechenden Stelle vermerkt. Gleichzeitig wird das Statusbit BLF (Blockfehler, Adresse F843.3) gesetzt. Wird die Korrekturschwelle überschritten, bei drei und mehr Fehlern, wird zusätzlich das Statusbit KSF (Adresse F843.2) gesetzt. Der Decodiervorgang ist nach 600 Takten T_{675K} ($t_{DEC} = 600 \times t_{675K} = 888 \mu s$) beendet. Nach Abschluß des Decodiervorgangs, etwa fünf Bit-Takte nach Einlesen des letzten Signalisierungsbits stehen die decodierten Daten zum Auslesen an der Busschnittstelle (Adresse F845) bereit. Die Daten werden in 10 Worten à 8 bit ausgelesen. Nach jedem READ-Zugriff wird die Busschnittstelle durch Nachschieben der nächsten acht Bits für einen weiteren READ-Zugriff vorbereitet. Daraus ergibt sich als Zeitbedingung für zwei aufeinanderfolgende READ-Zugriffe $t_{READ} \geq 10 \times t_{T675K} = 14,8 \mu s$.

Der Datenblock enthält in den READ-Zugriffen 1 bis 8 und im 9. READ-Zugriff (Bit 0 bis 5) die Signalisierungsdaten und im 9. READ-Zugriff (Bit 6 und 7) sowie im 10. READ-Zugriff das Fehlerkorrekturwort. Die Statusbits "Fehler erkannt" (BLF) und "Korrekturschwelle überschritten" (KSF) lassen sich ebenfalls über die Rechner-schnittstelle (Adresse F843) abfragen (siehe oben).

4.1.5.9 Coder

Der Coder bildet die Schnittstelle zwischen dem Rechner, der die zu sendenden Daten ermittelt und dem Modulator, der die codierten Daten dem Träger aufmoduliert.

Die Aufgaben des Coders sind:

- Zwischenspeicherung
- und
- Codieren der zu sendenden Nachricht durch Hinzufügen der Barkercodebits (3x11 Bit) sowie der Redundanzbits.

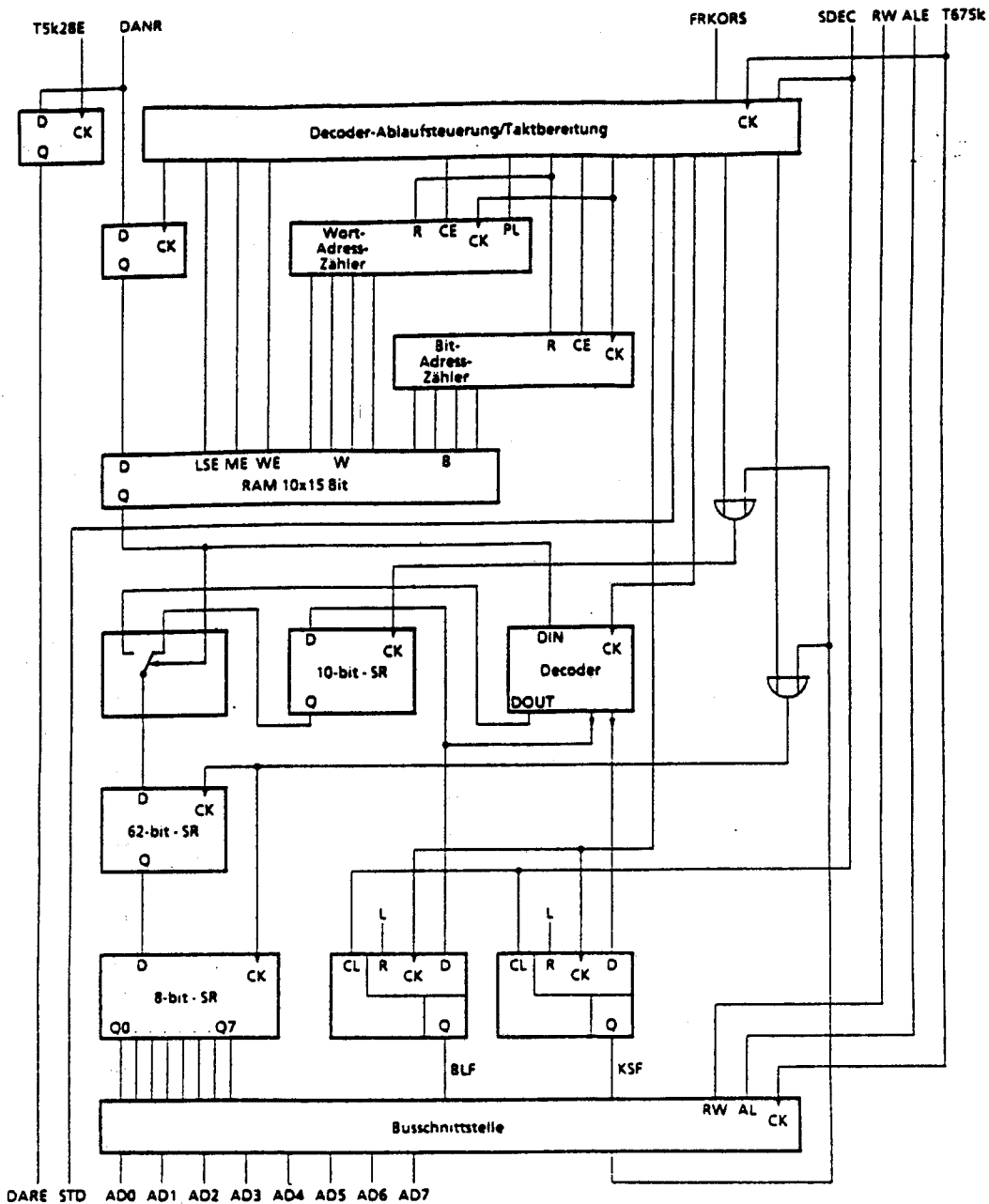


Bild 23 Übersichtsschaltplan Coder

Der im Rechner generierte Datenblock besteht aus 70 Nutz-Bits. Diese Daten werden über die Busschnittstelle (Adresse F829) in den Sendebaustein in neun aufeinanderfolgenden Write-Zugriffen eingeschrieben. Nach jedem Write-Zugriff wird die parallele Busschnittstelle, beginnend mit dem LSB, seriell ausgelesen und die Information in einem 70-bit-Schieberegister zwischengespeichert. Das Abräumen der Busschnittstelle geschieht mit dem Systemtakt (T675K) und wird mit der steigenden Flanke von WRN gestartet. Daraus ergibt sich als Zeitbedingung für zwei aufeinanderfolgende Write-Zugriffe: $t_{WRITE} \geq 10 \times t_{T675K} = 14,8 \mu s$.

Mit dem Signal STC (Start Coder) aus der Ablaufsteuerung wird der Codiervorgang gestartet. Die zwischengespeicherten Daten werden in zehn Blöcken zu 7 bit aus dem 70-bit-Schieberegister ausgelesen und nach dem sogenannten BCH-Code codiert, wobei jedes 7-bit-Wort mit einem Syndrom von 8 bit Länge versehen wird. Die so entstehenden Worte von 15 bit Länge werden zeilenweise in ein 10x15 bit großes RAM eingelesen und zwischengespeichert. Der Codiervorgang läuft mit dem halben Systemtakt (T_{675K}) ab und ist nach 300 Takten ($t_{COD} = 300 \times t_{675K} = 444 \mu s$) abgeschlossen. Das angewandte Codierverfahren erlaubt bei der Decodierung sowohl eine Fehlererkennung als auch eine Korrektur von maximal zwei Fehlern je Wort.

Mit dem Signal STB (Start Barker) aus der Ablaufsteuerung wird der Vorgang "Daten senden" gestartet.

Mit dem gefensterten Bittakt T_{5K28} ($CO_{DB} = 184$ Takte T_{5K28}) liegen die Sendedaten am Datenausgang (DAS) an. Zunächst startet der Barkercodegenerator und erzeugt eine Bitfolge von 3 mal 11 bit (11100010010) und ein Leerbit (1). Danach werden die zeilenweise gespeicherten und codierten Daten spaltenweise (15 Worte à 10 bit) aus dem RAM ausgelesen.

In der konzentrierten Signalisierung entsteht so ein Signalisierungsblock von $33 + 1 + 150 = 184$ bit; in der verteilten Signalisierung werden die Daten verteilt über einen Unterrahmen in 46 Schlitzen zu je 4 bit gesendet (ein Unterrahmen besteht aus 16 Blöcken zu je drei Schlitzen; die beiden ersten Schlitze enthalten keine Information).

4.2 Audio-Interface S42024-H382-...

Die Baugruppe Audio-Interface (Bild 24) bildet zusammen mit der CPU-Baugruppe die Funkkanalsteuerung im OSK, SPK und PFG.

Sie enthält folgende Funktionen:

- Erzeugen von Sende- und Empfangstakt für die serielle Schnittstelle (Laufzeitkorrektur)
- Adressendecodierung für Ein- und Ausgabeports
- Abfrage der Gestelladresse
- Ausgabeports für Ansteuerung der Umschalter und Synthesizer, Steuerung der Sendeleistung; ferner Ausgabe der Signale für die Betriebsarten und Ansteuerung der Verfügbar-LED (Signal OKVR)
- Erfassen (Umsetzen) der Feldstärke
- Offsetkorrektur durch Vergleich des empfangenen Signals mit eingestellter Schwelle
- Erzeugen des Power-on-Resets; Reset-Taste
- Erfassen von Störungsmeldungen bzw. Statusmeldungen
- Pegelanpassung für 6,4MHz
- Erzeugen der -2,5-V-Versorgung für den Audio-Teil.

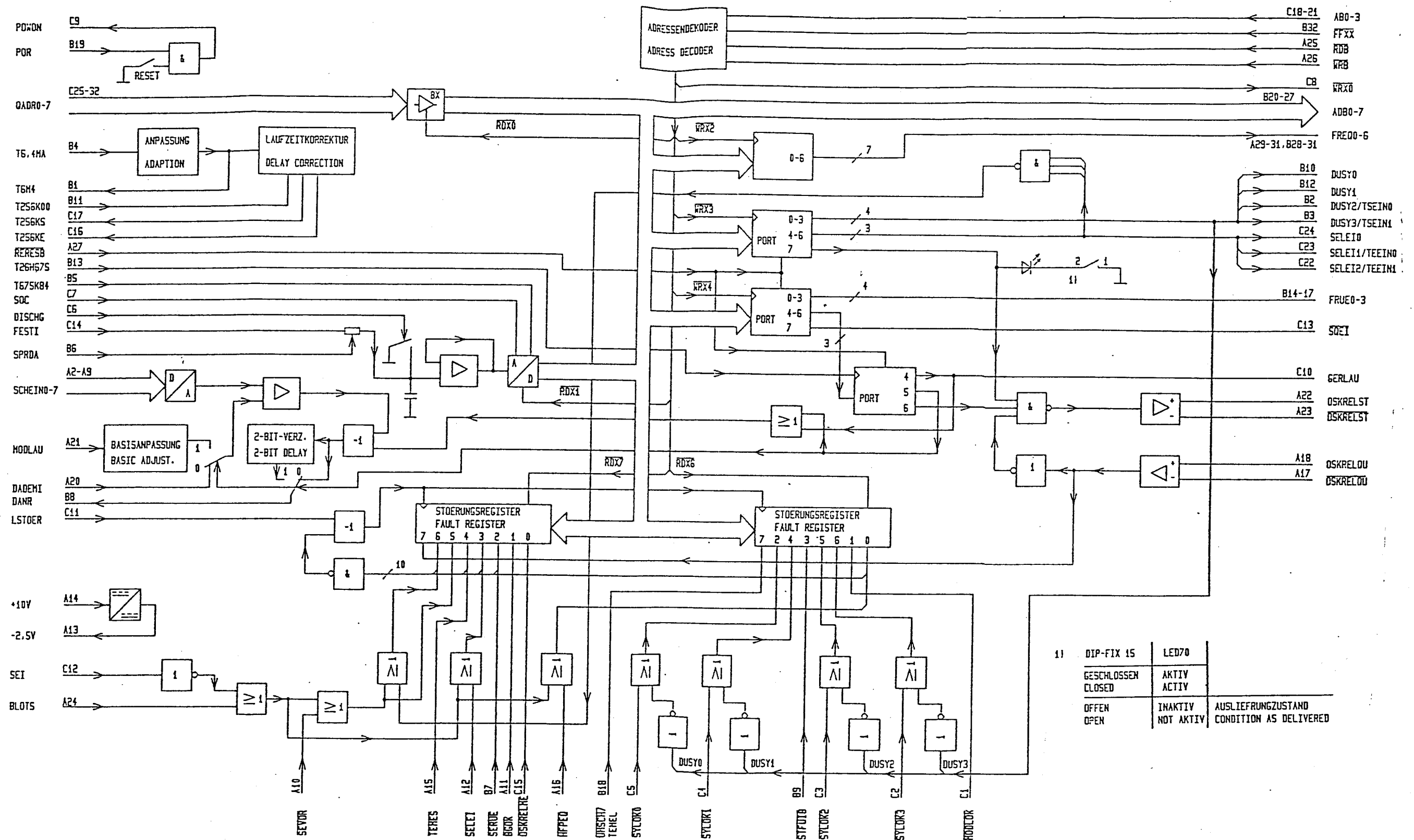


Bild 24 Übersichtsschaltplan Audio-Interface

S42023-H203-E1-1-18



4.2.1 Laufzeitkorrektur

Aus dem 256-kHz-Takt (Signal T256k00 aus dem VLSI) werden die beiden Signale T256kS und T256kE mit Hilfe von zwei Schieberegistern erzeugt, die Signale sind gegenüber dem T256k00 phasenverschoben. Als Schiebetakt wird T6,4M verwendet. T256kS ist um 12 Takte, T256kE um 16 Takte gegenüber T256k00 verschoben. Der Vorhalt des Sendetaktes von vier Takten (etwa 0,7 μ s) dient zum Ausgleich von Kabellaufzeiten zwischen Funkmodem und Funkdatensteuerung (Bild 25).

Die Verschiebung des Taktes T256kE gegenüber T256k00 dient zur Korrektur der Phasenlage gegenüber QSETZ.

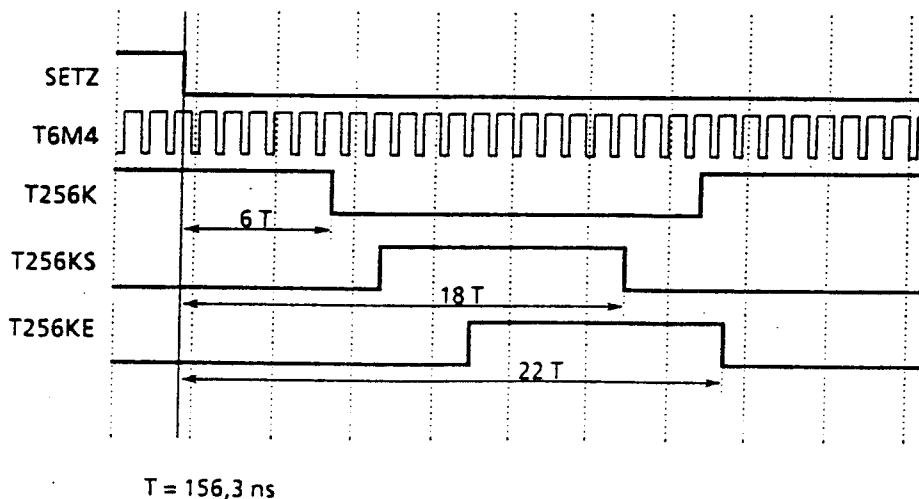


Bild 25 Laufzeitkorrektur

4.2.2 Adressendecodierung

Die von der CPU kommenden Adressenleitungen AB0 bis AB3 werden mit Hilfe der Decoder HCT138 decodiert. Durch Verknüpfen mit dem Bereichssignal -FFXX (dieses ist für Speicherbereich FF00 bis FFFF aktiv) sowie dem Schreibsignal -WRB bzw. dem Lesesignal -RDB werden die Signale -WRX0, -WRX2 bis -WRX4 sowie -RDX0, -RDX1, -RDX6 und -RDX7 erzeugt; das X bedeutet, daß die Adress-Bits 4 bis 7 bei der Decodierung nicht berücksichtigt werden. Ein Schreibbefehl auf Adresse FF02 hat beispielsweise die gleiche Wirkung wie auf FF12, FF22 usw., es wird WRX2 aktiviert).

4.2.3 Abfrage der Gestelladresse

Der Zustand der acht Leitungen QADR0-7, der durch Verdrahtung im Gestell festgelegt ist, wird über Software abgefragt. Die Abfrage geschieht mit einem Lesebefehl auf Adresse FFX0 (kombiniertes Lese- Adressen-Signal RDX0 vom Adressendecoder).

4.2.4 Ausgabeports

Vier Latch-Bausteine dienen zur byteweisen Ausgabe einiger Signale durch die Software nach folgender Tabelle:

Adresse	D7	D6	D5	D4	D3	D2	D1	D0
FFX2	-	FREQ0-6						
FFX3	OVKR	SELEI2	SELEI1	SELEI0	-	-	-	DUSY0
FFX4	-	-	-	-	-	-	-	FRUE0

Erläuterungen:

FREQ0-6	Informationen für Frequenzeinstellung der Synthesizer
OKVR	Verfügbarmeldung vom Rechner (SW)
SELEI0-2	Sendeleistung: mit diesen Signalen wird die Endstufe angesteuert
DUSY0	Maskierung der Synthesizer-Fehlermeldung
FRUE0	Übernahmesignal für Frequenzeinstellung des Synthesizers
SQEI	Steuerung Squelch ein/aus.

4.2.5 Umsetzung der Feldstärke

Das vom Empfänger kommende Feldstärkesignal FESTI (0-2,5 V) wird mittels RC-Kombination integriert: bei Sprachbetrieb (SPRDA = 0) über eine Unterrahmenlänge, das sind 0,6 s; bei Datenbetrieb (SPRDA = 1) über eine Blocklänge, das sind 37,5 ms.

Das integrierte Signal gelangt über einen Op. Amp. LM258 an den AD-Umsetzer. Dieser wird mit T675k84 betrieben und erhält das Startsignal für die Verschlüsselung aus dem VLSI (Signal SOC, Start of Conversion). Wenn die Verschlüsselung beendet ist, wird mit dem Signal EOC (End of Conversion) das Ergebnis in ein Latch eingespeichert. Anschließend wird der Kondensator mit dem ebenfalls aus dem VLSI kommenden Signal DISCHG entladen.

4.2.6 Offsetkorrektur

Der vom VLSI-Baustein M863 bzw. SCX 6B48 WWL gelieferte, digitale Schwellwert (SCHEIN0-7) wird mit Hilfe des D/A-Wandlers in einen Analogwert umgewandelt und über die Op.Amps LM258 dem Vergleicher LM311 zugeführt.

Am anderen Eingang des Vergleichers liegt das Signal DADEMI.

Am Ausgang des Vergleichers erscheint das Signal DANR (Daten nicht regeneriert), das zu den VLSI-Bausteinen M862 bzw. SCX 6B64 WWK und M863 bzw. SCX 6B48 WWL zur weiteren Verarbeitung geführt wird.

4.2.7 Power-on-Reset, Resettaste

Die betriebsspannungsabhängige Rücksetzschaltung im Stromversorgungsteil liefert das Signal POR, das bei langsam ansteigender Versorgungsspannung sowie bei Spannungseinbrüchen ein Rücksetzen der Hardware bewirkt. Das Signal POR wird über Gatter in das Signal POWON umgesetzt, das bei Wechsel von LOW nach HIGH im VLSI ein Reset-Signal generiert.

Das gleiche geschieht bei Drücken der Resettaste, wobei eine Schaltung zur Entprellung vorgesehen ist.

4.2.8 Störungsregister

Der Inhalt der beiden Störungsregister, die als Speicher für einige Störungsmeldungen dienen, kann mit Hilfe von Lesebefehlen auf die Adresse FF06 bzw. FF07 gelesen werden.

Die an den D-Eingängen anliegenden Signale werden mit Hilfe des Signals LSTOER (aus dem VLSI auf der CPU-Baugruppe) oder bei Auftreten einer Störungsmeldung (letzteres geschieht jedoch nur, wenn bei Auftreten der Störungsmeldung keine andere Störungsmeldung ansteht) eingespeichert. Deshalb werden die Störungsmeldungen über ein UND-Gatter verknüpft.

Einige Störungsmeldungen können unter gewissen Umständen gesperrt werden:

FFX6, Bit 0: HFPEG HF-Pegel
FFX7, Bit 3: SELEI Sendeleistung
FFX7, Bit 6: SEVOR Sendervorlauf

Die Meldungen können nur für SEI = "1" und BLOTS = "0" wirksam werden, für SEVOR muß zusätzlich gelten: SELEI 0,1,2 = "1".

Die Störungsmeldung des Synthesizers SYLOK0 (FFX6, Bit 2) wird nur dann wirksam, wenn das Signal DUSY0 (Durchschalten der Synthesizerfrequenz) auf "1" liegt.

Weitere Störungsmeldungen sind:

FFX6, Bit 1: MODLOK Modulator
FFX7, Bit 4: TEMES Temperatur Endstufe
FFX7, Bit 2: SERUE Senderrücklauf

Schließlich gibt es noch eine Meldung, die ebenfalls über die Störungsregister geführt wird. Bei ihrem Auftreten wird jedoch kein automatisches Einlatchen durchgeführt.

FFX6, Bit 1: BGOK Prüfschleife: Baugruppen gesteckt

4.2.9 Sonstiges

Pegelanpassung 6,4 MHz

Das von der Audio-Baugruppe kommende Signal T6,4MA wird mittels Transistor BCY58 und Schmitt-Trigger in ein TTL-Signal (T6M4) umgewandelt. Ein RC-Glied dient zum Verringern der Flankensteilheit (Verringern von Störeinflüssen).

-2,5-V-Versorgungsspannung für Audio-Teil

Die für die Audio-Baugruppe notwendigen -2,5V werden mittels eines Spannungskonverters (ICL7660) aus der 10-V-Spannung erzeugt.

5 Technische Daten

Betriebsspannung 1	U = +5 V
Stromaufnahme 1	I = 0,65 A
Leistungsaufnahme 1	P = 3,25 W
Betriebsspannung 2	U = +10 V
Stromaufnahme 2	I = 0,53 A
Leistungsaufnahme 2	P = 5,3 W
Referenzfrequenz	6,4 MHz > 0 dBm
Betriebsarten	1. Sprache klar/WT 2. Sprache verschleiert 3. Schleifenschluß
Betriebsart	FM-Duplex
Frequenzhub mit Pre-/ Deemphasis bei	
Sprache klar/WT	≤ 4 kHz
Sprache verschleiert	≤ 4 kHz
Signaldaten	2,5 kHz
Funkkanalabstand	20 kHz
einstellbare Frequenzschritte	10/12,5 kHz
Duplexabstand	10 MHz
Sendefrequenzbereich	460,0 MHz bis 465,74 MHz
Signalisierungsdaten	
Datenformat	NRZ binär
Bitrate	5,28 kbit/s
Empfangsfrequenzbereich	450,0 MHz bis 455,74 MHz

5.1 Transceiver

Betriebsspannung	U1 = +5 V
	U2 = +10 V
Stromaufnahme	I _{5V} = 26 mA
	I _{10V} = 390 mA
Fremdspannungsabstand mit Deemphasis	≥ 43 dB
Geräuschspannungsabstand mit Deemphasis und CCITT	≥ 45 dB

5.2 Audio-Teil

Betriebsspannung 1	U = +5 V
Stromaufnahme 1	I = 2 mA
Leistungsaufnahme 1	P = 10 mW
Betriebsspannung 2	U = +10 V
Stromaufnahme 2	I = 100 mA
Leistungsaufnahme 2	P = 1 W

5.3 CPU

Betriebsspannung	U = +5 V
Stromaufnahme	I = 260 mA
Leistungsaufnahme	P = 1,3 W

5.4 Audio-Interface

Betriebsspannung	U = +5 V
Stromaufnahme	I = 150 mA
Leistungsaufnahme	P = 0,65 W

6 Geräteübersicht

Gegenstand	Bezeichnung	Maße in mm (BxHxT)	Gewicht in g
Funkmodem FKM-SPK	S42023-H203-...	100x595x197	5800
zugehörige Baugruppen:			
Anschlußfeldverdrahtung	S42024-H412		
und			
Filterbaugruppe	S42024-H413-...	100x63x12	
Transceiver	S42024-H450-...	100x167x75	
Audio-Teil	S42024-H381-...	100x167x21	
CPU	S42025-H418-B*1	100x167x12	
.....	+ Software S42025-H432-A150		
Audio-Interface	S42024-H382-...	100x167x12	

Die in der Beschreibung aufgeführten Sachnummern für Geräte oder Baugruppen sind im ausführungsspezifischen, variablen Teil des 3. Blocks der Sachnummer mit ... versehen.

Für jedes Gerät sind die genauen Sachnummern je nach Bestückung in der zugehörigen Bedienungsanleitung eingetragen. Die vorliegende Beschreibung hat für alle gelieferten Ausführungen Gültigkeit.



SIEMENS

Fu Tel C-Netz
Beschreibung

Funkmodem
FKM-SPK-E
S42023-H204-..

S42023-H204-E1-1-18

Herausgegeben vom Bereich Öffentliche Vermittlungssysteme
Hofmannstraße 51, D-8000 München 70
Verfasser: SÖ ETG 113 Wien

Weitergabe sowie Vervielfältigung dieser Unterlage, Verwertung
und Mitteilung ihres Inhalts nicht gestattet, soweit nicht aus-
drücklich zugestanden. Zuwiderhandlungen verpflichten zu Scha-
denersatz. Alle Rechte vorbehalten, insbesondere für den Fall der
Patenterteilung oder GM-Eintragung.
Technische Änderungen vorbehalten.

© Siemens AG 1990

Inhalt

	Seite	
1	Übersicht	5
1.1	Funkmodem (SPK-K) im Netz C450	5
1.2	Funkmodem in der Basisstation	5
1.3	Funktionseinheiten	7
2	Schnittstellen	11
2.1	Externe Schnittstellen	11
2.1.1	Schnittstelle zum Sendeempfangskoppler	11
2.1.2	Schnittstelle zum Frequenzverteiler	11
2.1.3	Schnittstelle zum MSC	11
2.1.4	Serielle Schnittstelle zur Funkdatensteuerung	11
2.1.5	Schnittstelle zur Gestellverdrahtung	11
2.1.6	Schnittstelle zur Amtsbatterie	12
2.2	Interne Schnittstellen	12
3	Funkteil und Endstufe	14
3.1	Transceiver S42024-H450-...	14
3.1.1	Aufbau des Transceivers	14
3.1.2	Empfänger	15
3.1.3	Synthesizer	16
3.1.3.1	Prinzip des Synthesizer	16
3.1.3.2	Funktionseinheit des Synthesizer	17
3.1.4	Modulator	19
3.1.5	HF-Interface	20
3.4	Audio-Teil S42024-H381-...	25
3.5	HF-Endstufe S42024-H405-...	28
3.5.1	Verstärker	28
3.5.2	Überwachung	30
3.5.3	Regelung	31
3.5.3.1	D/A-Wandler	31
3.5.3.2	Besselfilter	31
3.5.3.3	Regelverstärker, Sollwertumschalter	31
3.5.3.4	Leistungsabgleich, Leistungseinstellung	32
3.5.3.5	Regelbereichserkennung	32
3.5.3.6	Vorlaufspannung, Umschaltung	32
3.5.3.7	Referenzspannungsquelle +5 V _{ref}	32
3.5.3.8	Fehlermeldungen	33

4	Funkkanalsteuerung	35
4.1	CPU S42025-H418-*1 + Software S42025-H432-A150	35
4.1.1	CPU-Baustein 80C85, Adressen- Daten- und Steuerbus	39
4.1.2	Speicher	42
4.1.3	Interruptsteuerung	43
4.1.4	Serielle Schnittstelle	44
4.1.5	VLSI-Bausteine	44
4.1.5.1	Takterzeugung	48
4.1.5.2	Teilerketten	49
4.1.5.3	Ablaufsteuerung	52
4.1.5.4	Überwachung und Rechnerreset	53
4.1.5.5	Korrelationsempfänger	54
4.1.5.6	Jittermesser	57
4.1.5.7	Offsetkorrektur	60
4.1.5.8	Decoder	62
4.1.5.9	Coder	64
4.2	Audio-Interface S42024-H382-...	67
4.2.1	Laufzeitkorrektur	68
4.2.2	Adressendecodierung	68
4.2.3	Abfrage der Gestelladresse	71
4.2.4	Ausgabeports	71
4.2.5	Umsetzung der Feldstärke	71
4.2.6	Offsetkorrektur	72
4.2.7	Power-on-Reset, Resettaste	72
4.2.8	Störungsregister	72
4.2.9	Sonstiges	73
5	Stromversorgung	74
6	Technische Daten	75
6.1	Empfänger	75
6.2	Synthesizer	76
6.3	Modulator	76
6.4	Audio-Teil	76
6.5	CPU	76
7	Geräteübersicht	77

1 Übersicht

1.1 Funkmodem (SPK-E) im Netz C450

Hauptaufgabe des Funkmodems (SPK-E) ist die funktechnische Übertragung von analogen Sprachsignalen bzw. Wechselstrom-Telegrafie (WT)-Signalen sowie die Übertragung von digitalen Signalisierungsdaten zwischen der Basisstation und jeweils einer Mobilstation.

Die Sprachübertragung ist in den Betriebsarten "verschleierte Sprache" oder "klare Sprache" möglich. Als Signalisierungsdaten werden binäre digitale Signale verwendet, die der Organisation und Überwachung im Netz C dienen.

Der SPK-E wird in Basisstationen von Kleinleistungszonen eingesetzt. Stromversorgung und HF-Endstufe sind bereits Bestandteile des Funkmodems.

1.2 Funkmodem in der Basisstation (Bild 1)

Das Funkmodem (SPK-E) enthält einen Sende- und einen Empfangszug und überträgt die Information mit Hilfe der Schmalband-Frequenzmodulation. Das HF-Empfangssignal gelangt von der Antenne über den Empfangskoppler an den Empfangszug des SPK-E. Das HF-Ausgangssignal gelangt an die Sendeendstufe, wo es verstärkt und überwacht wird, danach an den Sendekoppler und von dort an die Antenne.

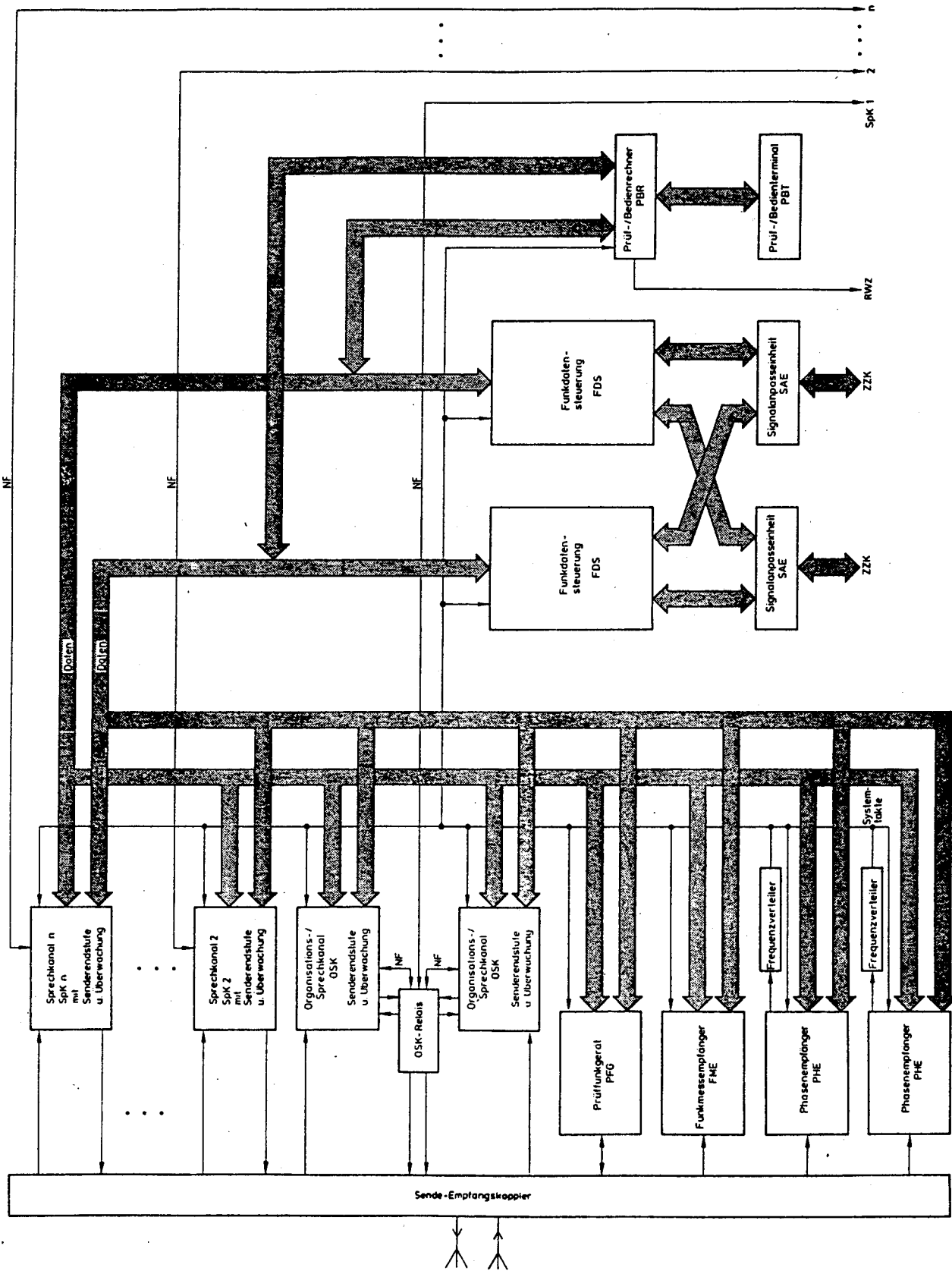


Bild 1 Übersichtsschaltplan Basisstation (Kleinzone)

1.3 Funktionseinheiten

Der SPK-K (Bilder 2 und 3) besteht aus dem Funkteil, der Funkkanalsteuerung (FKS), der Endstufe und dem Stromversorgungsteil.

Funkteil

Der Funkteil besteht aus dem Transceiver (mit Synthesizer, Empfänger und Modulator) sowie dem Audio-Teil.

Der Empfänger ist an den Trennverstärker des Empfängerkopplers angeschlossen. Das Empfangssignal wird in eine Zwischenfrequenzlage umgesetzt und demoduliert. Das demodulierte Signal wird einerseits zur Auswertung der Signalisierungsdaten und zur Signalbewertung der Funkkanalsteuerung zugeführt, andererseits zur Verarbeitung des NF-Anteils zum Audio-Teil geführt.

Der Modulator erzeugt ein frequenzmoduliertes HF-Signal zur Ansteuerung der Endstufe. Für die Modulation wird das NF-Signal aus dem Audio-Teil bzw. das Datensignal mit den Signalisierungsdaten aus der Funkkanalsteuerung herangezogen.

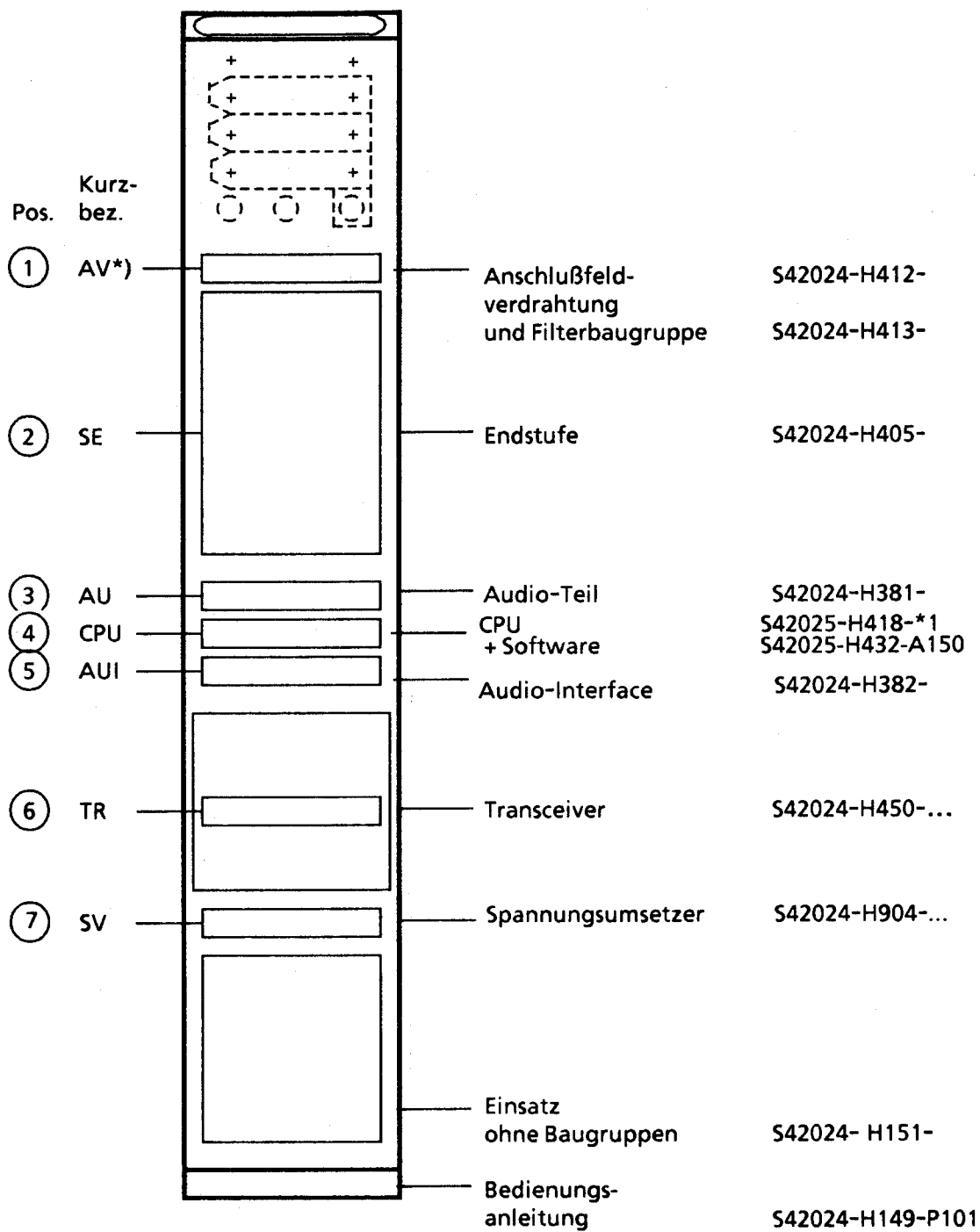
Der Synthesizer versorgt Empfänger und Modulator mit der nötigen Umsetzfrequenz. Die Einstellung der Frequenz wird über die Funkkanalsteuerung vorgenommen.

Funkkanalsteuerung

Die Funkkanalsteuerung besteht aus den beiden Baugruppen CPU und Audio-Interface.

Die CPU-Baugruppe enthält neben CPU (80C85), RAM und EPROM einen Zeitgeber und einen seriellen Ein-/Ausgabebaustein (USART) für block- und zeitplatzorientierten Datenaustausch zur Funkdatensteuerung sowie die beiden VLSI-Bausteine.

Die Baugruppe Audio-Interface enthält neben den Rechnerports zum Funkteil die Störungsregister sowie die Feldstärke-Umsetzschialtung und die Offsetkorrektur.



* Bestandteil des Leereinsatzes

Bild 2 Aufbau des Funkmodems (SPK-E)

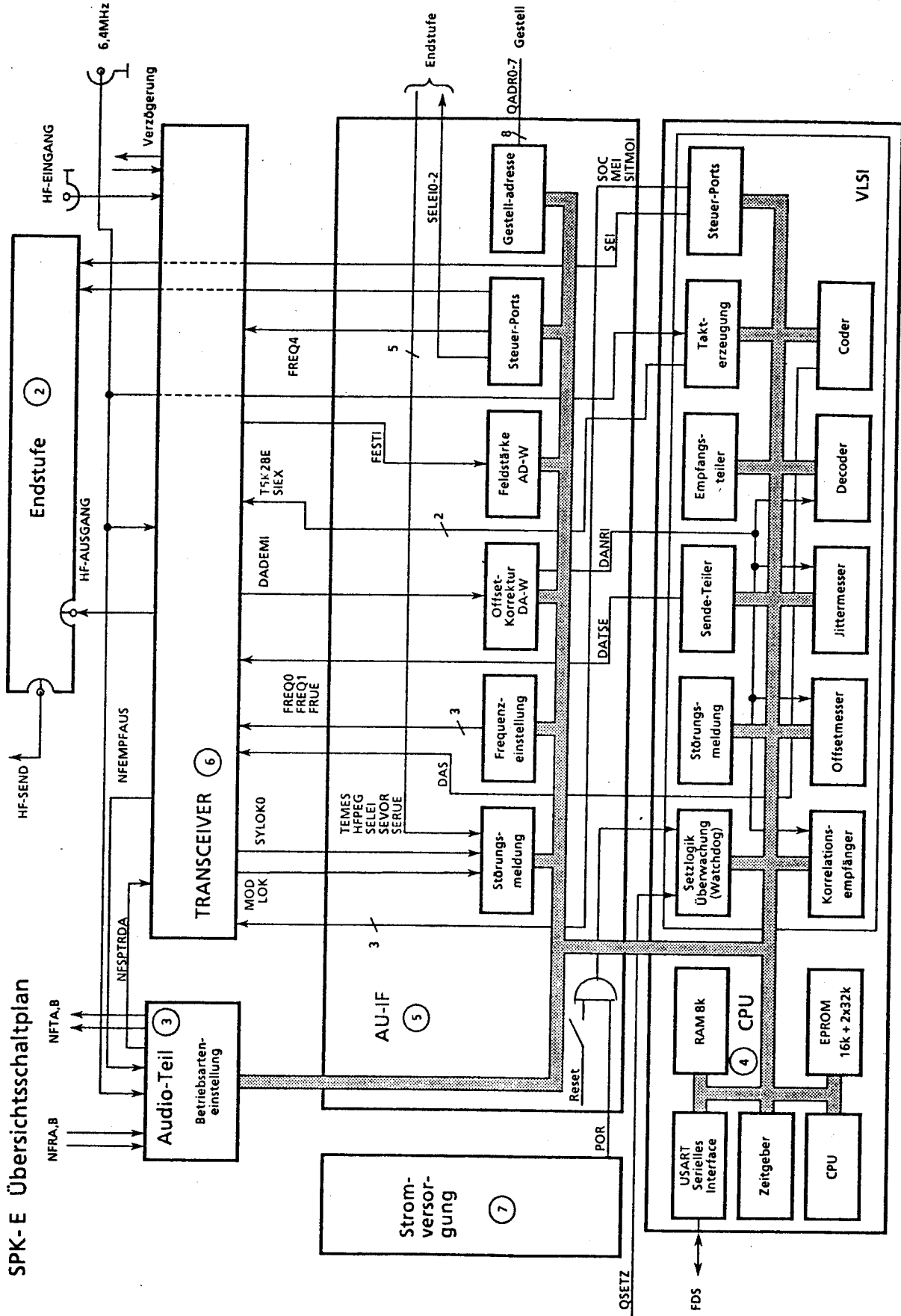


Bild 3 Übersichtsschaltplan Funkmodem (SPK-E)

Die Signalbewertung ist in den VLSI-Bausteinen auf der CPU enthalten. Sie besteht aus drei Funktionseinheiten: Jittermesser, Offsetmesser, Korrelationsempfänger.

Aus dem Barkercode des Empfangsdatenblockes werden Phase und Offset des empfangenen Teilnehmers ermittelt und an die Empfangsteilerkette und die Offsetkorrektur übergeben. Der Empfänger ist gleichspannungsgekoppelt. Jede Gleichspannungsablage beeinträchtigt die Lesesicherheit der Nutzinformation. Der Offsetmesser ermittelt die Ablage; daraufhin regelt der Rechner die Schwelle am Komparator der Offsetkorrektur nach. Damit kann mit Hilfe des Decoders (ebenfalls in den VLSI-Bausteinen) die Nutzinformation gelesen werden. Durch den Jittermesser wird über die block- bzw. unterrahmenweise summierten Zeichenwechselveränderungen der digitalen Signalisierungsdaten im Rechner der Geräuschspannungsabstand ermittelt. Dieser Wert gilt neben der Feldstärke als Maß für die Empfangsgüte.

Die VLSI-Bausteine enthalten eine Sende- und Empfangsteilerkette. Die Sendeteilerkette wird rahmenweise durch das Rahmensetzsignal QSETZ aus dem Phasempfänger gesetzt. Beide Teilerketten werden von einer Überwachungseinheit überwacht.

Endstufe

Die Endstufe verstärkt das vom Modulator kommende HF-Signal auf die gewünschte Sendeleistung. Die Funktion der Endstufe, deren Temperatur und die von der Antenne rücklaufende Leistung werden überwacht. Bei Fehlverhalten werden entsprechende Fehlermeldungen abgegeben.

Stromversorgung

Für die Versorgung der einzelnen Baugruppen mit den nötigen Betriebsspannungen (+5V, +10V, -10V, +13,8V) gibt es eine Stromversorgungsbaugruppe im SPK-Einsatz.

2 Schnittstellen

2.1 Externe Schnittstellen

2.1.1 Schnittstelle zum Sendeempfangskoppler

Der Empfänger des Funkmodems erhält vom Trennverstärker in der Antennenanlage das HF-Signal FE zugeführt (Koaxialanschluß).

Das Sendesignal aus der Endstufe wird zum Sendekoppler geführt.

2.1.2 Schnittstelle zum Frequenzverteiler

Hier werden der Takt QT6,4M (Koaxialstecker) und das Rahmensetzsignal QSETZ (symmetrische Leitung), die vom Frequenzverteiler kommen, eingespeist.

Über Koaxialleitungen gelangt der 6,4-MHz-Takt einerseits zum Synthesizer und zum Modulator, andererseits zum Audio-Teil, von wo er über die Rückwandplatine zum Audio-Interface geführt wird. Dort wird er zur Versorgung der Steuerung auf TTL-Pegel umgesetzt.

2.1.3 Schnittstelle zum MSC

Die Sprach-/WT-Signale werden als symmetrische Signale NFTA/NFTB und NFRA/NFRB vom MSC zum Audio-Teil bzw. in umgekehrter Richtung geführt.

2.1.4 Serielle Schnittstelle zur Funkdatensteuerung

Über diese Schnittstelle, die aus symmetrischen Leitungen besteht, wird der Datenaustausch mit der FDS vorgenommen. Die Daten werden über jeweils zwei Treiberbausteine (Signale QSST1 und QSST2) gesendet und über zwei Empfangsbausteine (Signale QSSR1 und QSSR2) empfangen. Die Bausteine befinden sich auf der CPU.

2.1.5 Schnittstelle zur Gestellverdrahtung

An dieser Schnittstelle wird die durch die Gestellverdrahtung festgelegte Gestelladresse (auch als Kanaladresse bezeichnet) übergeben (Leitungen QADR0-7, Auswertung auf Audio-Interface).

2.1.6 Schnittstelle zur Amtsbatterie

Die Betriebsspannung der Stromversorgung kann zwischen 37,5 V und 75 V liegen.

2.2 Interne Schnittstellen

Im folgenden sind die Schnittstellensignale zwischen der Funkkanalsteuerung und den Baugruppen des Funkteils, der Endstufe bzw. der Stromversorgung erläutert.

Transceiver:

Synthesizer

Die Frequenzeinstellung wird mit Hilfe der Signale FRUE(0) und FREQ0-6 aus dem Audio-Interface vorgenommen. Der Synthesizer liefert im nicht gerasteten Zustand die Fehlermeldung -SYLOK(0).

Empfänger

Die Signale FESTI (Feldstärke) und DADEMI (demoduliertes Datensignal) werden im Audio-Interface verarbeitet. Mit dem Signal SQEI (aus dem Audio-Interface) wird das Prüfsignal Squelch (Rauschsperr) ein- bzw. ausgeschaltet.

Modulator

Aus der CPU (VLSI-Bausteine) gelangen folgende Signale zum Modulator:

MEI	Modulator ein
SITMOI	Signaltor Modulator (Umschaltung Sprache/Daten im Sprechkanal)
SIDATI	Signaltor Daten
DATSE	Datentor senden
DAS	Datensignal (Signalisierungsdaten)

Das Signal -MODLOK meldet das Einrastkriterium der Phasenregelschleife des Modulators an den Rechner (Audio-Interface), es wird low bei Fehler.

Audio-Teil

Der Audio-Teil ist an den Rechnerbus der CPU mit den Signalen -WRX0, -RDB, -WRB, ALEB, ADB0-7 angeschlossen.

Für die Komprimierung der Daten werden das Signal SIKO (Signalor Komprimierung) und die Takte T38K40S und T42K24S, für die Expandierung SIEX (Signalor Expandierung), T38K40E und T42K24E aus der CPU (VLSI) zugeführt. Ebenfalls aus der CPU kommt das Signal SPRDA (Umschalten Sprache/Daten zur Sperre des NF-Weges).

Das Signal DYNKOMP (Dynamikkompandierung) dient für Testzwecke und kann über den Diagnosestecker der CPU (z.B. mit Hilfe des CPU-Adapters) gesteuert werden. (Das Signal ist auf der CPU nur vom Diagnose- zum Busstecker durchgeschleift).

Endstufe

Vom Modulator gelangt das HF-Signal über eine Koaxialleitung zur Endstufe. Die Steuerleitungen SEI (Sender ein) und SELEI 0-2 (Einstellung der Senderleistung) führen ebenfalls zur Endstufe. Die Störungsmeldungen -SELEI (Sendeleistung), -TEMES (Endstufentemperatur überschritten), -HFPEG (HF-Eingangspegel Senderendstufe), -SEVOR (Vorlauf Sendeleistung unter Sollwert) und -SERUE (Rücklauf Sendeleistung > 8 dB) von der Endstufe gelangen zum Audio-Interface.

Stromversorgung

Das Signal POR (Power on Reset) wird am Audio-Interface weiterverarbeitet.

3 Funkteil und Endstufe

3.1 Transceiver S42024-H450-..

3.1.1 Aufbau des Transceivers

Die einzelnen Funktionskomplexe der Baugruppe sind auf insgesamt vier Leiterplatten untergebracht, die zu einer mechanischen Einheit, dem Transceiver, zusammengefaßt sind.

- HF-Interface

Alle Verbindungen zwischen den Baugruppen des Transceivers und Schnittstelle zur Funkkanalsteuerung, Squelch-Einrichtung und NF-Laufzeitfilter für Empfangsrichtung, Frequenznachführung des Modulators mit NF-Laufzeitfilter und Dateneinblendung für Senderichtung, Pegelanhebung und Filter für Sendesignal, Generierung der Eichtakte für Empfänger, Spannungsstabilisierung 8 V und 7,5 V.

- Empfänger

Selektion und Verstärkung des Empfangssignals im Unterband, Umsetzung auf erste und zweite Zwischenfrequenz mit Verstärkung und Selektion, Demodulation und Feldstärkemessung, DC-Offsetstabilisierung mit ziehbarem Diskriminatorkreis und Sample und Hold-Schaltung, Spannungsstabilisierung 5 V.

- Synthesizer

VCO mit Pufferverstärkern und Helixfiltern zur Speisung von Empfänger und Modulator, Synthesizerbaustein mit programmierbaren Teilern und Phasenvergleichern, Spannungsstabilisierung 5 V.

- Modulator

Modulierbarer VCO mit Pufferverstärker Umsetzer mit Verstärker und Filter, Erzeugung eines systemgenauen 21,4-MHz-Signales für die Empfängereichung.

3.1.2 Empfänger

Die Vorstufe in der die Spiegel- und Weitabselektion erfolgt, ist mit zwei Helixfiltern und einer dazwischengeschalteten Verstärkerstufe aufgebaut.

Dem zweiten Filter ist ein Ringmischer nachgeschaltet, der das Empfangssignal mit dem vom Synthesizer gelieferten Oszillatorsignal auf die erste ZF (21,4 MHz) umsetzt. Eine Impedanzwandlerstufe paßt die Ausgangsimpedanz des Mixers an das folgende Quarzfilter an, welches die Weitabselektion innerhalb der Schaltbandbreite, die statische Nachbarkanalselektion und die Spiegelselektion der zweiten ZF garantiert.

Die Verstärker in der Vorstufe und der Impedanzwandlerstufe sind mit einem Steuerungseingang (TAKT1) abschaltbar, wodurch Störungen während der Empfängereichung vermieden werden. Während der Eichung wird über einen zusätzlichen Eingang (ZF SCHLEIFE) ein vom Systemtakt (6,4 MHz) abgeleiteter und daher hochgenauer 21,4-MHz-Träger unmittelbar vor dem Quarzfilter eingespeist.

Bevor das Signal in einem bipolaren Mischer auf die zweite ZF umgesetzt wird, durchläuft es noch einen selektiven Verstärker. Als zweiter Oszillator wird im Mischer ein 21,855-MHz-Quarz verwendet, wodurch sich eine zweite ZF von 455 kHz ergibt. In einer weiteren Selektion mit Keramikfiltern wird das Signal von unerwünschten Mischprodukten befreit und dem Demodulatorbaustein zur Verfügung gestellt.

Im Demodulatorbaustein wird nun das Signal verstärkt, begrenzt, demoduliert und der Pegel des ZF-Eingangssignales logarithmisch ausgewertet. Über eine temperaturkompensierte Verstärkerschaltung wird das Auswertesignal auf den gewünschten Kurvenverlauf gebracht und steht am Ausgang FELDST zur Verfügung.

Ein ziehbarer Diskriminatorkreis ermöglicht es, den DC-Offset des NF-Ausganges zur Kompensation von alterungs- und temperaturbedingten Änderungen immer auf dem Sollwert zu halten. Dabei werden Vorstufe und erste ZF-Stufe abgeschaltet und über den Eingang ZF-Schleife ein hochgenauer, unmodulierter 21,4-MHz-Träger eingespeist.

Der DC-Pegel des demodulierten NF-Signals wird nun durch Verändern der Ziehspannung des Diskriminatorkreises auf den Sollwert geeicht. Die Eichung erfolgt nur dann, wenn keine Nutzinformation zu empfangen ist (Leerbits). In der restlichen Zeit wird in einer Sample & Hold-Schaltung, gesteuert über den Eingang TAKT2, die ermittelte Korrekturspannung konstant gehalten. Das demodulierte NF-Sprach/Datensignal steht am Ausgang NFEMPF zur Verfügung.

3.1.3 Synthesizer

3.1.3.1 Prinzip Synthesizer

Der Synthesizer erzeugt die für Sende- und Empfangsmischer benötigten Überlagerungsfrequenzen.

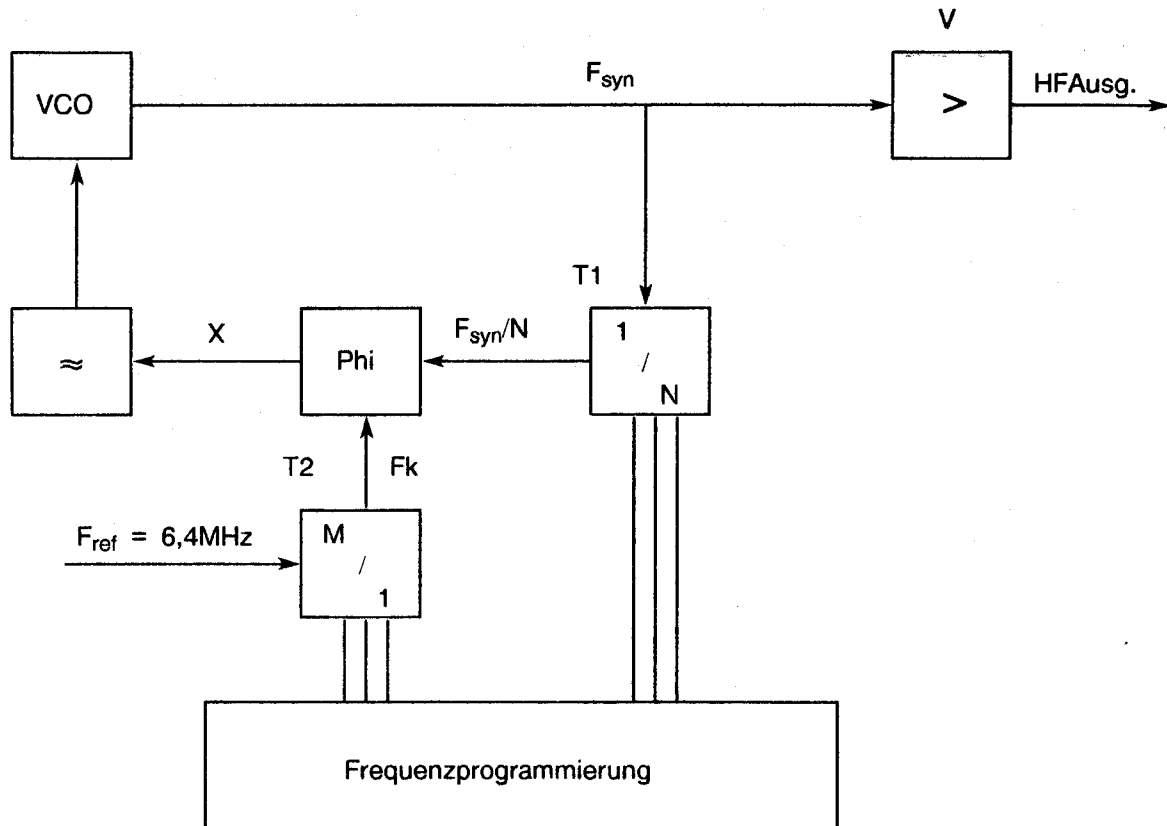


Bild 4 Prinzip Synthesizer

Der Frequenzteiler T2 dient zur Einstellung des Kanalarasters (10/12,5 kHz), dessen Ausgangsfrequenz F_k stellt die Referenz für die Phasenbrücke Φ dar. Der VCO ist ein spannungsgesteuerter Oszillator, der die Frequenzen von 428,60 MHz bis 434,34 MHz erzeugt. Der programmierbare Teiler T1 muß so eingestellt werden, daß $n \cdot F_k$ die gewünschte Frequenz F_{syn} ergibt. Am Ausgang der Phasenbrücke Φ entsteht eine Gleichspannung X die proportional der Phase von $F_k/(F_{syn}/n)$ ist. Weiterhin tritt die Frequenz F_k mit ihren Oberwellen auf. Diese Frequenzen werden mit dem folgenden Filter F_i unterdrückt.

Die Gleichspannung X dient als Steuersignal für den VCO und steuert diesen solange nach, bis F_k und (F_{syn}/n) gleich sind.

3.1.3.2 Funktionseinheiten des Synthesizers

VCO und Entkopplungsverstärker

Der spannungsgesteuerte Oszillator besteht aus dem Feldeffekttransistor 405 dem Rückkoppelkondensator 105, dem Schwingkreiselement bestehend aus einer ungefähr 85 mm langen 50 Ω Semirigidleitung sowie den über Kondensator 101 angekoppelten Kapazitätsdioden.

Um Rückwirkungen auf den Oszillator vom Ausgang und von den Frequenzteilern möglichst gering zu halten, ist ein zweistufiger Entkopplungsverstärker mit den Transistoren 406, 411 erforderlich. Das Dämpfungsglied, bestehend aus den Widerständen 345, 301 dient zur Erhöhung der Entkopplung und zur Anpassung der Ausgangsleistung.

Synthesizer-Baustein MC 145158 und Vorteiler SP 8719

In den Baustein integriert sind die Frequenzteiler für die Referenz (14 Bit-R-Teiler) und ein Teil der Frequenzteiler, welche die Ausgangsfrequenz auf die benötigte Rasterfrequenz von 10 kHz bzw. 12,5 kHz herunterteilen. Weiterhin sind zwei Phasendetektoren, ein Lockdetektor, eine Kontrolllogik zur Steuerung eines externen Vorteilers und eine Programmlogik enthalten.

Der 7-Bit-A-Teiler der 10-Bit-N-Teiler, das externe IC 200, und die Kontrolllogik bilden den kompletten Frequenzteiler T1. Das IC 200 ist ein 80/81-Vorteiler, der mit dem Modulus Kontrollsignal definiert umgeschaltet wird.

Frequenzprogrammierung

Die Frequenzprogrammierung geschieht über den Eingänge DATA (FREQ1), CLOCK (FRUE) und LATCH ENABLE (FREQO).

Das Signal LATCH ENABLE hat im Synthesizer folgende Bedeutung:

Log. 1 auf diesem Signal überträgt die Daten vom Schieberegister in die Referenzteiler-Latches (R) oder in die N-, A-Latches in Abhängigkeit vom Control-Bit: in die Referenzteiler-Latches, wenn das Control-Bit (siehe unten) 1 ist; in die N-, A-Latches, wenn das Control-Bit 0 ist. Eine 0 an LATCH ENABLE erlaubt die Daten der Schieberegister zu verändern, ohne daß die Zähler beeinflußt werden. Es können R-Teiler und A-, N-Teiler nicht gleichzeitig verändert werden. Das Setzen der Teiler muß hintereinander erfolgen.

Das Signal DATA hat im Synthesizer folgende Bedeutung:

Das Signal bedient den Daten-Eingang des Synthesizers. Bei jeder steigenden Flanke des CLOCK-Signales wird ein Bit des anstehenden Signals in ein 1-Bit-Schieberegister übertragen. Das letzte Datenbit bestimmt, welches Zähler-Latch aktiviert wird. Nach dem Eintakten des letzten Datenbits (= Control Bit) muß das Signal DATA auf 1 und wieder auf 0 gesetzt werden.

Control Bit: letztes FREQ1 auf 1: R-Zähler-Latch
 letztes FREQ1 auf 0: A-,N-Zähler-Latch

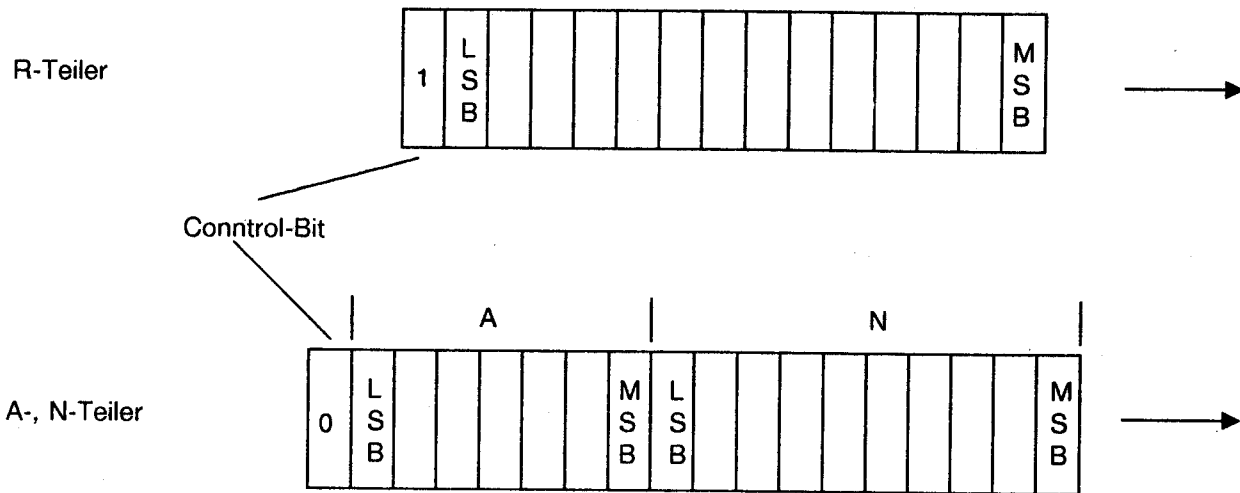


Bild 5 Datenformate

Das Signal FRUE bedient den Clock-Eingang des Synthesizerbausteines. Bei jeder steigenden Flanke wird das aktuell anstehende Bit des Signales DATA in das 1-Zellen-Schieberegister übertragen.

Die Daten der einzelnen Speicher stellen eine Binärzahl dar. Die Berechnung des Absolutwertes kann mit folgenden Formeln erfolgen.

$$\text{Teilungsverhältnis N-Teiler: } N = \text{INT} \left| \frac{F_{\text{syn}}}{F_{\text{ref}} \cdot 80} \right| \quad \text{INT (Integer) = ganze Zahl}$$

$$\text{Teilungsverhältnis A-Teiler: } A = \frac{F_{\text{syn}}}{F_{\text{ref}}} - 80 \cdot N$$

Teilungsverhältnis R-Teiler:R = 6,4 MHz/F_{ref}

Gewünschtes Kanalraster (F _{ref}):	R-Teiler
10 kHz	640 dezimal
12,5 kHz	512 dezimal

SYLOK ist die Fehlermeldung des Synthesizers;

Signal High: PLL gerastet (Baugruppe in Ordnung)

Signal Low: PLL nicht gerastet (Falsche Frequenzprogrammierung, 6,4 MHz ausgefallen oder Baugruppe defekt)

Signalpegel: 5V C-MOS

Schleifenfilter

Zur Gewinnung der Steuerspannung für den VCO stehen noch zwei Phasendetektoren (A,B) zur Verfügung, von denen der Phasendetektor A verwendet wird. Die Ausgangsspannung des Phasendetektors dient zur Ansteuerung des VCO's. Das Netzwerk, bestehend aus Drossel 204 bis Widerstand 319 bildet das Schleifenfilter. Die Tiefpässe dienen zur Unterdrückung der Referenzfrequenz und deren Oberwellen. Die Bauteile sind so optimiert, daß kürzeste Einschwingzeit, minimales Geräusch und optimale Stabilität erreicht werden.

3.1.4 Modulator

Der Modulator liefert das mit Daten und Sprache modulierte Sendesignal im Oberband. Als Modulationselement dient ein mit Kapazitäts-Dioden modulierbarer Quarzoszillator, der in seiner Ruhelage auf der Sender-ZF von 31,4 MHz schwingt. Das ZF-Signal wird verstärkt, im nachgeschalteten Mischer mit der vom Synthesizer eingespeisten Oszillatorfrequenz in die HF-Lage umgesetzt und steht nach Durchlaufen eines Helixfilters am Ausgang F SEND zur Verfügung.

Zum Anschluß einer Frequenzstabilisierung besitzt die Baugruppe einen zusätzlichen entkoppelten Ausgang für die modulierte ZF (ZF-SENDER) über den das Signal der Stabilisierungsschaltung auf dem HF-Interface zugeführt wird. Über einen zweiten Modulationseingang (NF EMPF) erhält die Modulatorbaugruppe das Regelsignal für die Frequenznachführung.

Für die DC-Offset Eichung des Empfängers besitzt der Modulator eine Frequenzaufbereitungsschaltung, die aus einem vom Systemtakt von 6,4 MHz abgeleiteten 400-kHz-Signal (Eingang 400 KHZ REF) einen 21,4-MHz-Träger erzeugt.

Dabei wird aus dem 400-kHz-Signal durch Frequenzteilung ein 200-kHz-Rechtecksignal erzeugt. Durch Impulsformung entsteht nun ein sehr oberwellenreiches Spektrum, aus dem die 107. Oberwelle (21,4 MHz) selektiert und verstärkt wird. Das Signal steht am Ausgang ZF SCHLEIFE zur Verfügung und kann über den Steuereingang TAKT1 abgeschaltet werden.

3.1.5 HF-Interface

Das HF-Interface beinhaltet alle Schnittstellen zwischen den oben beschriebenen Baugruppen, der Funkkanalsteuerung und der Audiobaugruppe.

Basisbandaufbereitung für Empfänger

Das demodulierte Basisbandsignal NFEMPF wird nach einer Verstärkerstufe in einem Besselfilter 3. Ordnung auf etwa 4,5 kHz begrenzt. Anschließend durchläuft das Signal einen Allpaß, der die Einstellung der erforderlichen Sollaufzeit ermöglicht. Danach wird in Daten und NF-Weg aufgetrennt. Das Datensignal wird gleichspannungsgespeist auf seinen Sollwert verstärkt und steht am Ausgang DADEMI zur Verfügung.

Das Sprach-Signal gelangt über einen Schalter und einen Verstärker zum Ausgang NFEMPFAUS. Durch den Schalter können mit Hilfe einer Steuerschaltung kurzzeitige Störgeräusche unterdrückt werden (Squelcheinrichtung). In der Steuerschaltung wird der Rauschanteil des demodulierten NF-Signales oberhalb des Basisbandes bei etwa 12 kHz ausgewertet. Zu hoher Rauschpegel sperrt den NF-Weg. Durch die Squelch-Einrichtung wird eine Verbesserung der Sprachverständlichkeit erreicht. Kurze Störgeräusche, verursacht durch Feldstärkeeinbrüche oder Zündfunkenstörungen, werden "stummgeschaltet", wobei die Verbindung noch als bestehend erkennbar bleibt. Über den Eingang SQEI läßt sich die Einrichtung für Prüfzwecke abschalten.

Frequenzstabilisierung für Modulator

Um eine temperatur- oder alterungsbedingte Frequenzdrift des Modulators zu vermeiden, wird die Frequenz des modulierbaren Quarzoszillators (31,4 MHz) mit einer PLL an die Systemfrequenz von 6,4 MHz angebunden.

Die Phasenregelschleife besteht aus Phasenvergleichern, steuerbaren Vorteilern, Frequenzverdopplerschaltung, Vorteiler für Referenzfrequenz, aktivem Tiefpaßfilter zur Umwandlung des digitalen Regelsignals in analoge Regelspannung, Erzeugung eines Steuersignals bei gerasteter Phasenregelschleife.

Für die oben genannten Modulationssignale ist eine Betriebsartenumschaltung nötig. Zur Ansteuerung dienen die Signale SIDAT(I), SITMO(I) und DATSE aus der Funkkanalsteuerung. Zur Decodierung der Ansteuersignale auf der Modulatorbaugruppe dient ein IC mit Logik-Funktionen. Die Umschaltung der Modulationssignale geschieht mit integrierten Analogschaltern.

Bei Datenbetrieb steuert das Modulationssignal einen Vorteiler der Phasenregelschleife. Durch diese Maßnahme wird vermieden, daß modulationsbedingte Frequenzänderungen des Oszillators durch die Phasenregelschleife ausgeregelt werden.

Betriebsartenumschaltung

- Signalisierungsdaten (NRZ) 4 Bit Datenburst alle 12,5ms bei verteilter Signalisierung (Betrieb im Sprechkanal).
- Signalisierungsdaten (NRZ) Konzentriertes Datensignal 5,28 KBd (bei Betrieb im Organisationskanal).

Bei Betrieb im Sprechkanal wird der Datenburst dem im Audioteil komprimierten Modulationssignal zum Zeitpunkt des Komprimierungsschlitzes zugeschaltet.

Aus der nachfolgenden Tabelle sind Betriebsart, Zustand der Steuereingänge und der Signalweg des Modulationssignals zu entnehmen:

Betriebsart	Zustand der Steuereingänge			Signalweg
	SIDAT(I)	SITMO(I)	DATSE	
Komprimierte Sprache	-	"L"	"L"	Von b17 über Verstärker 655, Schalter 654 zum Verstärker 652
Signalisierungsdaten	"L"	"H"	"L"	Von b18 über Schalter 653, Schalter 654 zum Verstärker 655
Modulation AUS	-	-	" H "	Schalter 6 54 trennt alle Signalwege auf

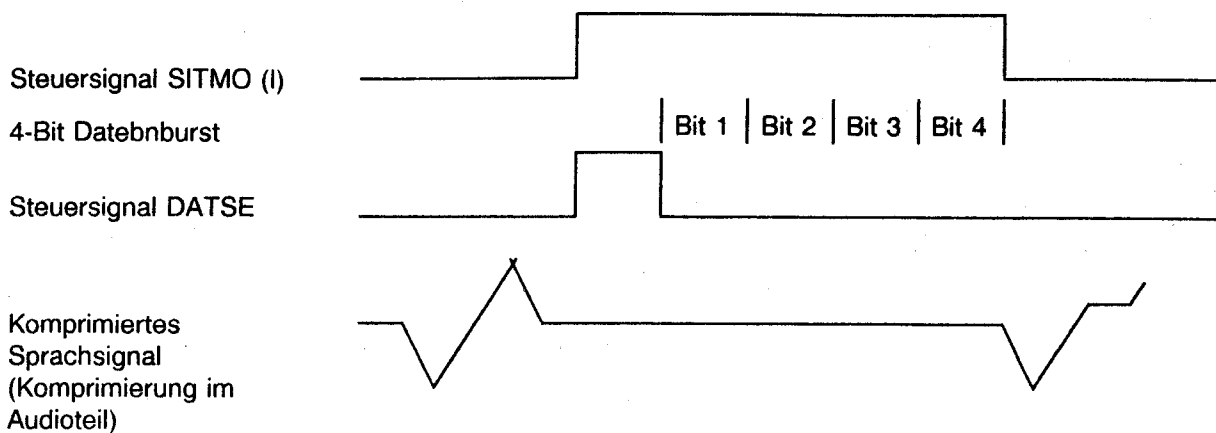


Bild 6 Zuschaltung des Datenburst

Aktives NF-Filter

Das aktive NF-Filter besteht aus dem Bauteil IC652, den Widerständen R158 bis R167 und den Kondensatoren C363 bis C371. Das Filter ist lauffzeitgebet (Besselcharakteristik). Es hat die Aufgabe der Frequenzbegrenzung der ankommenden Modulations-signale.

Das Datensignal und das im Audio-Teil amplitudenbegrenzte Sprachsignal würden ohne Frequenzbegrenzung eine unzulässig große Störung im Nachbarkanal hervorrufen.

Die Gruppenlaufzeit des Filters läßt sich mit R159 abgleichen. Für Entfernungsmessungen zwischen Mobil- und Feststation ist es wichtig, daß die Gruppenlaufzeit des Filters konstant bleibt. Es werden deshalb Präzisionswiderstände und -Kondensatoren eingesetzt.

Modulationsgesteuerte Phasenregelschleife

Der Oszillator wird mittels einer Phasenregelschleife geregelt, die ihre Referenzfrequenz von einem hochstabilen 6,4 MHz Generator erhält.

Die Phasenregelschleife besteht aus einem einstellbaren Vorteiler IC666, einem digitalen Frequenzaufbereitungsbaustein IC664 und einem Tiefpaß IC665 zur Erzeugung der analogen Regelspannung. Als erstes wird die Modulation des 31,4 MHz Oszillators mit Sprach- bzw. WT-Signal betrachtet.

Ist die Regelzeit der Phasenregelschleife (Zeit, welche die Schleife benötigt, um eine sprunghafte Frequenzänderung am Oszillator auszuregeln) wesentlich länger als der Kehrwert der unteren Grenzfrequenz des zu übertragenden Signals (300 Hz), so wird die Nutzmodulation von der Regelspannung der Phasenregelschleife nicht beeinflusst.

Nur langsame Frequenzänderungen, wie sie durch Temperaturschwankungen und Alterung der Bauteile auftreten, werden wie gewollt von der Phasenregelschleife ausgeregelt.

Als zweites wird die Modulation des 31,4-MHz-Oszillators mit Daten(NRZ) betrachtet

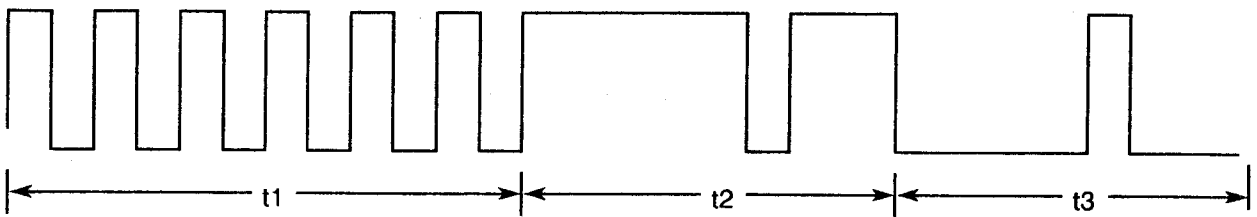


Bild 7 Modulation des 31,4-MHz-Oszillators

Wird das dargestellte Signal auf die Modulationsdiode gegeben, ergibt sich:

- Während t1: Symmetrischer Wechsel der Oszillatorfrequenz um die Mittenfrequenz von 31,4 MHz ($31,4 \text{ MHz} \pm 2,5 \text{ kHz}$).
- Während t2: Die Oszillatorfrequenz nimmt häufiger den Wert $31,4 \text{ MHz} + 2,5 \text{ kHz}$ an.
- Während t3: Die Oszillatorfrequenz nimmt häufiger den Wert $31,4 \text{ MHz} - 2,5 \text{ kHz}$ an.

Unter der Voraussetzung, daß t2 und t3 größer sind als die vorher erwähnte Regelzeit der Phasenregelschleife, wird die Nutzmodulation durch die Phasenregelschleife ausgeregelt. Dies wird durch eine Steuerlogik IC657, 661 vermieden, die in Abhängigkeit vom Modulationssignal die programmierbaren Teiler der Phasenregelschleife so umschaltet, daß das Modulationssignal nicht mehr beeinflusst wird. Durch diese Maßnahme ist der Modulator datenfest.

Die steuerbaren Vorteiler IC666 und Hauptteiler (im IC664) der Phasenregelschleife arbeiten nach dem "Swallow-Teiler" Prinzip. Für das störungsfreie Arbeiten der modulationsgesteuerten Umschaltung der Zähler ergibt sich die Forderung, daß die Vergleichsfrequenz am Phasenvergleich (im IC664) höher ist, als die höchste Bitfrequenz des Datensignals. Im Modulator beträgt die Vergleichsfrequenz 5 kHz, die höchste Bitfrequenz 2,64 kHz.

Da die Vergleichsfrequenz den Frequenzhub bei Datenmodulation bestimmt und dieser im Netz $C \pm 2,5$ kHz betragen soll, wird zwischen den Ausgang der Oszillatorstufe und den Eingang des Vorteilers eine Frequenzverdopplerstufe geschaltet.

Pegelanhebung des Sendesignales

Um das HF-Ausgangssignal des Modulators auf den für die Sendeendstufe notwendigen Pegel von +11 dBm anzuheben, ist ein zweistufiger Verstärker zwischengeschaltet. Bevor das Sendesignal die Baugruppe verläßt, wird es noch in einem Helixfilter von unerwünschten Nebenlinien befreit. Der Verstärker ist, wie auch die Verstärkerstufen auf dem Modulator, mit dem Signal SEND EIN abschaltbar.

Anpassung des Ausgangssignals des Empfangsfeldstärkemessers

Eine Operationsverstärkerschaltung ermöglicht die Anpassung des vom Empfänger gelieferten Signales FELDST an den von der Funkkanalsteuerung benötigten Verlauf. Am Ausgang FESTI steht das angepaßte Signal zur Verfügung.

Taktaufbereitung

Die Taktaufbereitung erzeugt die zur Eichung von Empfänger und Modulator notwendigen Takte. Die Empfängereichung erfolgt in jedem Unterrahmen im ersten Funkblock zu jenem Zeitpunkt an dem Leerbits zu empfangen sind. Das dazu notwendige Umschalten der Takte 1 und 3 auf Low und Takt 2 auf High wird in einer Logik von den Empfangstakten SOC, SIEX und T5K28E bewerkstelligt. Die dazu benötigte Logik ist in einem programmierbaren Logikbaustein (IC 663) untergebracht.

Über den Steuereingang FREQ4 muß die Empfängereichung immer dann aktiviert werden, wenn kein Gespräch über den SPK geführt wird. Die Eichung muß insbesondere auch während des SPK-Anlaufes aktiviert werden.

3.4 Audio-Teil S42024-H381-...

Das Audio-Teil (Bild 8) hat in den Sprechkanälen der Basisstation folgende Aufgaben :

- Die von der Drahtseite kommenden Nutzsingnale (Sprache, Wechselstromtelegraphie) für den Sendezweig der Basisstation aufzubereiten.
- Die vom Empfänger kommenden Nutzsingnale (Sprache, Wechselstromtelegraphie) für die Drahtseite aufzubereiten.
- Die von der Steuerung bestimmten Betriebsarten durch Umschalten auf unterschiedliche Signalwege zu realisieren.

Die Signalaufbereitung besteht im wesentlichen aus folgenden Teilen:

Sprache und Wechselstromtelegraphie

Amplituden-Frequenzgangkorrektur durch Pre- und Deemphasis bei "Sprache klar".

Dynamik-Komprimierung und -Expandierung: dabei handelt es sich um eine Dynamikkompression des Sendesignals von 2 zu 1 (z.B. von 60 dB auf 30 dB) und eine Dynamikexpansion des Empfangssignals von 1 zu 2 (z.B. von 30 dB auf 60 dB); für Meßzwecke über DYNKOMP (siehe Diagnosestecker der CPU) abschaltbar.

Sendeseitige Signalamplitudenbegrenzung, um den Modulationsspitzenhub von ± 4 kHz nicht zu überschreiten.

Verschleierter oder klarer Sprachbetrieb, durch Zu- bzw. Abschalten einer Invertierungs- bzw. einer Reinvertierungsschaltung. Dabei handelt es sich um die Spiegelung des Sprachbandes von 300 Hz bis 3 kHz an einem Hilfsträger von 3,3 kHz (Signal S1S bzw. S2S und S1E bzw. S2E in folgender Tabelle).

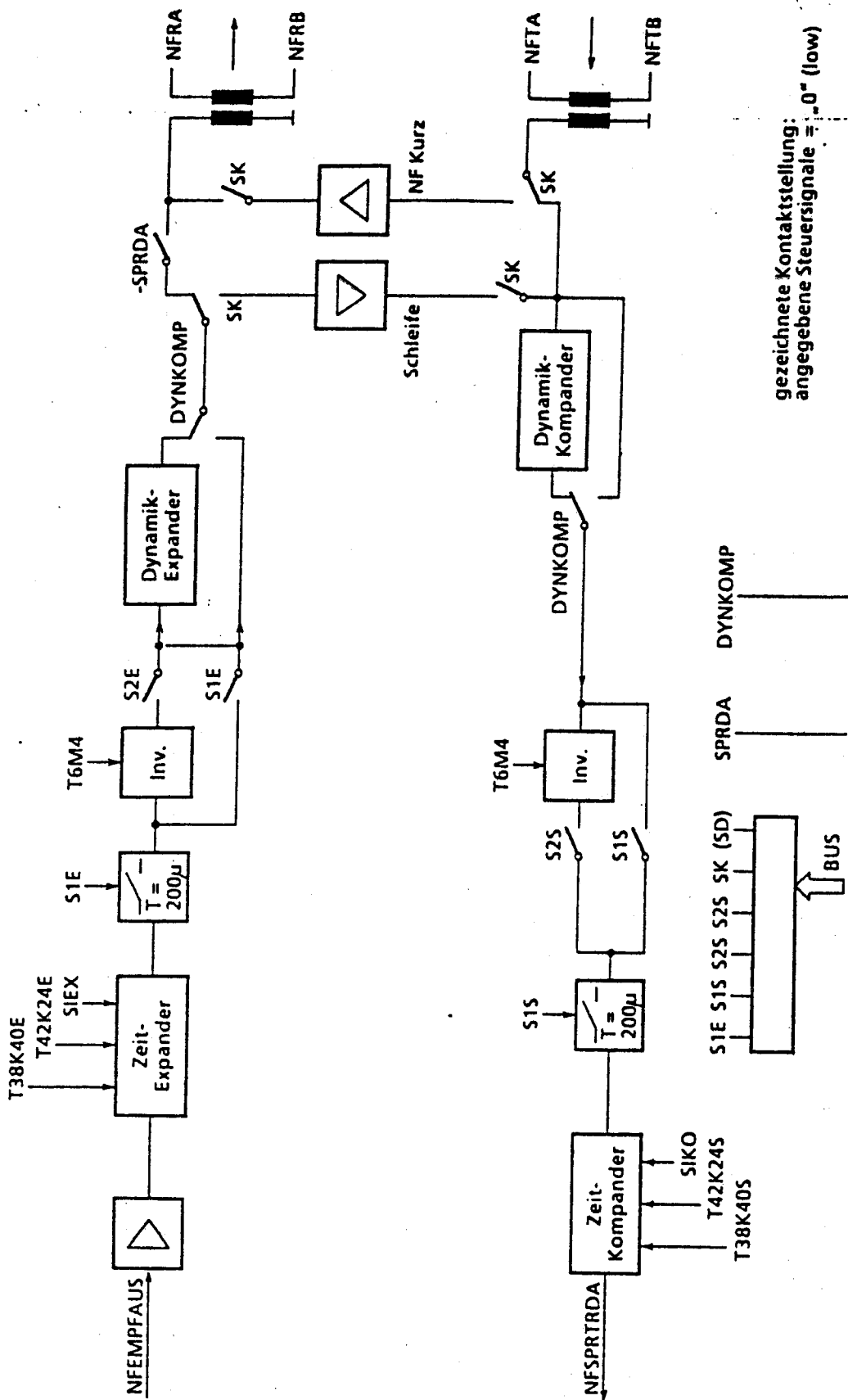
Zeitkomprimierung auf der Sendeseite, um einen Zeitschlitz zu erzeugen, in den im Modulator Signalisierungsdaten eingefügt werden. Zeitexpandierung auf der Empfangsseite zum Beseitigen des vorher beschriebenen Zeitschlitzes. Durch diese Maßnahme ist es möglich, Signalisierungsdaten (NRZ), die zur Verbindungsüberwachung notwendig sind, ohne zusätzlichen Schaltungsaufwand (Umformer, Hilfsträger) zu übertragen.

Spezielle Betriebsarten

Continuity Check

Zum Überprüfen der Verbindung MSC-Sprechkanal.

NF-Schleifentest (NF-Schleife) zu Testzwecken, in Verbindung mit dem Prüffunkgerät.
Sprach- bzw. WT-Test



gezeichnete Kontaktstellung: angegebene Steuersignale = "0" (low)

Bild 8 Übersichtsschaltplan Audio-Teil

Beide Betriebsarten werden mit dem Signal SK (siehe folgende Tabelle) gleichzeitig realisiert.

Referenzfrequenz 6,4 MHz (Koaxialeingang)

Die Referenzfrequenz wird auf der Baugruppe Audio-Teil verstärkt und dem integrierten Filter- und Invertierungsbausteinen als Taktfrequenz zugeführt. Außerdem wird die Referenzfrequenz über ein Anpaßglied den Steuerungsbaugruppen zugeführt.

Betriebsarten (BART 0-5)

Die Betriebsarten werden mittels Schreibbefehl -WRX0 per Programm (Adresse FFX0) in ein Latch geschrieben: Belegung der Bits: BART 0-5 auf Bit 0-5, Bit 6 und 7 unbenutzt. Über Pegelumsetzer gelangen die Signale, sowohl normal als auch invertiert, zu den einzelnen Schaltern, siehe folgende Tabelle.

Bezeichnung der Steuereingänge	Befehle aus der Steuerung				
	BART0 (S1S)	BART2 (S2S)	BART3 (SK)	BART4 (S1E)	BART5 (S2E)
Sprache klar					
Senden	H	L	L	L	L
Empfangen	L	L	L	H	L
Sprache invertiert					
Senden	L	H	L	L	L
Empfangen	L	L	L	L	H
Continuity Check	L	L	H	L	L
NF-Schleifentest					
Continuity Check und Sprache klar	H	L	H	H	H
Continuity check und Sprache invertiert	L	H	H	L	H

Signal BART 1 = L

3.5 HF-Endstufe S42024-H405-...

Die HF-Endstufe (s. Bild 9) verstärkt das vom Modulator erzeugte HF-Signal in Abhängigkeit von Steuersignalen auf die gewünschte Sendeleistung und hält sie konstant. Es sind acht Leistungsstufen in 5-dB-Schritten wählbar. Außerdem werden die Funktionen der HF-Endstufe, deren Temperatur und die von der Antenne rücklaufende Leistung überwacht und entsprechende Fehlermeldungen abgegeben.

Die HF-Endstufe besteht aus den Funktionseinheiten Verstärker, Überwachung und Regelung.

3.5.1 Verstärker

Die HF-Endstufe und die Leistungsregelung bilden einen Regelkreis. Das Stellglied des Regelkreises ist ein steuerbarer PIN-Dioden-Regler, dessen Dämpfung durch die Regelspannung U_{REG} eingestellt wird.

Nach dem steuerbaren Dämpfungsglied folgt der HF-Leistungsverstärker.

Dieser besteht aus vier Transistorstufen, die über Anpaßnetzwerke verbunden sind. Die Leistungstransistoren arbeiten im B-Betrieb, um einerseits einen möglichst hohen Wirkungsgrad zu erhalten, andererseits jedoch auch noch sehr kleine Ausgangsleistungen abgeben zu können.

Die Arbeitspunkteinstellung sorgt für einen stabilen B-Betrieb; sie hält die Basis-Emitter-Spannung der HF-Leistungstransistoren konstant.

Die Basisspannung der drei letzten HF-Verstärkerstufen wird vom Signal VEI ein- bzw. ausgeschaltet. Am Eingang des Dämpfungsgliedes wird ein Teil des Eingangssignales angekoppelt und gleichgerichtet. Die gleichgerichtete Spannung wird in einem Operationsverstärker verstärkt. Die Höhe der erzeugten Gleichspannung hängt von der Größe der Eingangsspannung ab. Ein zweiter Operationsverstärker erzeugt eine Referenzspannung. Beide Spannungen werden einem dritten Operationsverstärker zugeführt, subtrahiert, verstärkt und als U_{HF} der Regelplatine zur Fehlermeldung übergeben.

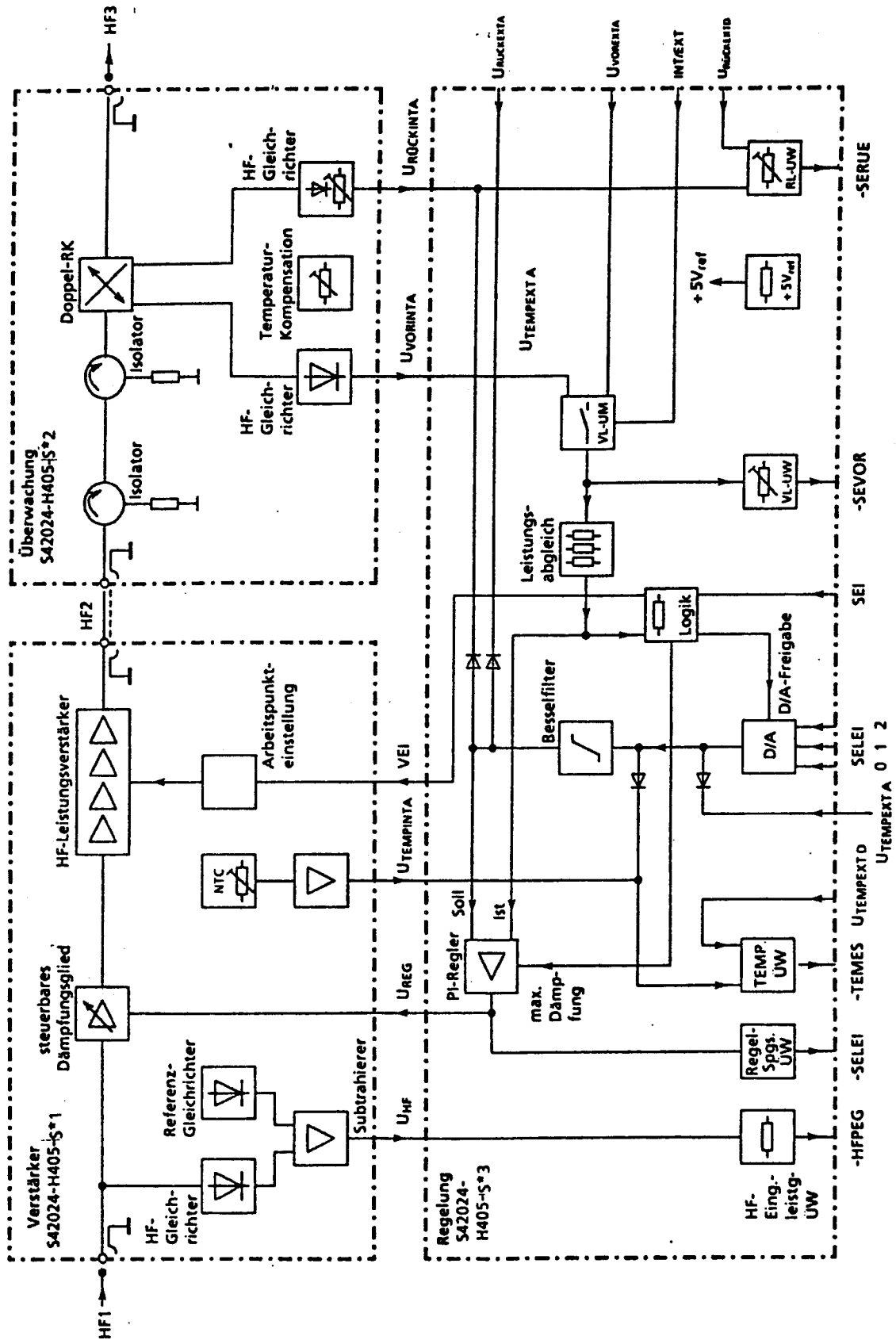


Bild 9 Übersichtsschaltplan HF-Endstufe

Zur Temperaturüberwachung der HF-Endstufe wird ein Heißleiter in einer Brückenschaltung verwendet. Ein Operationsverstärker verstärkt die Brückenspannung und gibt sie als $U_{TEMPINTA}$ auf die Regelplatine zur Leistungsregelung und Fehlermeldung.

3.5.2 Überwachung

In den HF-Weg sind zwei Einwegleitungen mit der notwendigen Beschaltung und je ein Richtkoppler für vorlaufende und rücklaufende HF-Leistung geschaltet.

Die Einwegleitung (Isolator) stellt einen nichtreziproken Vierpol dar, der die HF-Leistung nur in einer Richtung vom Eingang zum Ausgang mit relativ geringer Durchgangsdämpfung (etwa 0,6 dB) überträgt. Wird HF-Leistung entgegen der Durchlaßrichtung durch den Isolator geschickt, so erfährt sie eine hohe Dämpfung (etwa 20 dB), wobei die Leistung am Isolator-Abschlußwiderstand verbraucht wird.

Die notwendige Isolation von ≥ 40 dB (460,0 MHz bis 465,74 MHz) wird durch zwei in Serie geschaltete Isolatoren erreicht, wobei sich etwa der doppelte Wert für die Durchgangsdämpfung ergibt.

Die Richtkoppler am Ausgang der Überwachung bestehen im Durchgang aus einer 50- Ω -Leitung und im Auskoppelweg aus einer 100- Ω -Leitung. Durch diese Maßnahme wird an die Betriebsimpedanz des Gleichrichters angeglichen und zugleich eine um $\sqrt{2}$ -fache höhere Spannung zur Gleichrichtung erhalten.

Die Auskoppeldämpfung der Richtkoppler beträgt etwa 16 dB.

Die vorlaufende HF-Leistung gelangt an den Gleichrichter, der mit einer zweiten Diode und einem Operationsverstärker temperaturkompensiert wird. Die gleichgerichtete HF-Spannung, die ein Maß für die vorlaufende HF-Leistung ist, gelangt über einen Spannungsfolger zur Leistungsregelung.

Die rücklaufende Leistung wird durch eine einfache Gleichrichterschaltung gleichgerichtet und verstärkt, die Rücklaufspannung $U_{RÜCKINTA}$ am Ausgang des Verstärkers wird ebenfalls zur Leistungsregelung verwendet.

3.5.3 Regelung

Mit Hilfe der Regelung wird die HF-Leistung der HF-Endstufe eingestellt, die Einschalt- und Ausschaltflanken geformt, sämtliche Überwachungsfunktionen und die dazugehörigen Fehlermeldungen vollzogen.

3.5.3.1 D/A-Wandler

Der D/A-Wandler besteht aus einem Demultiplexer, einem Widerstandsnetzwerk und einem Strom-/Spannungswandler.

Der Demultiplexer decodiert die drei Datenbits SELEI0, SELEI1 und SELEI2 und selektiert aus dem Widerstandsnetzwerk einen bestehenden Teiler. Ein UI-Wandler liefert eine dem Teilungsverhältnis des Netzwerkes entsprechende Ausgangsleistung. Die drei Datenbits werden durch die Gatter gesperrt und gelangen erst auf den D/A-Wandler, wenn die Freigabe durch die Regelbereichserkennung durchgeführt wurde.

3.5.3.2 Besselfilter

Auf den D/A-Wandler folgt ein Besselfilter 5. Ordnung, das aus den rechteckförmigen Umschaltflanken des D/A-Wandlers einen \cos^{-2} -förmigen Verlauf bildet.

3.5.3.3 Regelverstärker, Sollwertumschalter

Der Sollwert und die Ausgangsspannung des Leistungsabgleiches werden in einem Regelverstärker verglichen und verstärkt. Durch einen Kondensator bildet der Regelverstärker einen Integrator. Um die Ladezeit des Kondensators beim Einschalten zu verkürzen wird die Spannung am Kondensator durch eine Zenerdiode begrenzt.

Der EIN/AUS-Befehl für den Regelverstärker geschieht über einen Sollwertumschalter, einen Widerstand und einen Kondensator.

Diese Umschaltung wird durch die Regelbereichserkennung vorgenommen. Der Ausgang des Regelverstärkers liefert die Regelspannung U_{REG} .

3.5.3.4 Leistungsabgleich, Leistungseinstellung

Um Bauteile- und Fertigungstoleranzen auszugleichen, ist ein Abgleich der Ausgangsleistung erforderlich.

Dieser Abgleich wird mit einem Operationsverstärker vorgenommen. Dabei durchläuft die Vorlaufspannung U_{VOR} einen abgleichbaren und einstellbaren Verstärker, und bildet so den Istwert für den Regelverstärker.

Bei einer Änderung des Istwertes (durch Verstärkung oder Offsetschlag der Vorlaufspannung) ändert sich somit auch die Ausgangsleistung.

Der Leistungsabgleich wird mit zwei Widerständen vorgenommen, wobei mit einem Widerstand maximale und mit einem Widerstand die minimale Ausgangsleistung festgelegt wird.

Mit einem Potentiometer läßt sich die Ausgangsleistung stetig um 5 dB verringern (bezogen auf die maximale Ausgangsleistung).

3.5.3.5 Regelbereichserkennung

Ein Fensterdiskriminator prüft mit Hilfe des Istwertes, ob der Regelbereich erreicht ist.

Die Entscheidung des Fensterdiskriminators wird über Gatter mit dem Befehl SEI verknüpft und steuert die Freigabe des D/A-Wandlers, den EIN/AUS-Befehl für den Regelverstärker sowie die Arbeitspunkteinstellung der Endstufentransistoren.

3.5.3.6 Vorlaufspannung, Umschaltung

Beim Anschluß eines (externen) Boosters dient dessen Vorlaufspannung als Istwert. Bei Anschluß des Boosters wird selbständig umgeschaltet.

3.5.3.7 Referenzspannungsquelle +5 V_{ref}

Die Referenzspannung +5 V wird aus den geregelten +10 V gewonnen. Um Bauteiltoleranzen ausgleichen zu können, ist die Referenzspannung abgleichbar. Der Abgleich ist mit einem Abgleichwiderstand möglich. Zum Erzeugen der Referenzspannung dient ein Präzisionsspannungsregler.

3.5.3.8 Fehlermeldungen

Fehlermeldung, Schutzschaltung - Übertemperatur

Die Temperaturspannung $U_{TEMPINTA}$ greift bei Übertemperatur über eine Diode auf den Sollwert (Eingang Besselfilter) des Regelkreises ein. Gleichzeitig wird mit einem Komparator die Fehlermeldung -TEMES gebildet.

Ebenso greift über eine Diode die Temperaturspannung eines eventuell vorhandenen Boosters ein. Dadurch wird die Temperatur der Endstufe auf etwa 70°C begrenzt.

-TEMES = "L"Temperatur zu hoch

-TEMES = "H"Temperatur < 70°C

Sinkt $U_{TEMPINTA}$ unter einen bestimmten Wert, so liefert ein Operationsverstärker ein Ausgangssignal. Dieses Signal bildet, verknüpft mit der äquivalenten Fehlermeldung eines eventuell vorhandenen Boosters, die Fehlermeldung -TEMES.

Die beiden Signale werden über ein HC-MOS NOR-Gate miteinander verknüpft.

Fehlermeldung, Rückregelung - Rücklauf

Wird die rücklaufende Leistung zu groß, greift die Rücklaufspannung $U_{RÜCKINTA}$ über eine Diode auf den Sollwert (Ausgang Besselfilter) des Regelkreises ein. Ebenso greift über eine Diode die Rücklaufspannung eines eventuell vorhandenen Boosters ein.

Die maximal mögliche Rücklaufleistung wird so auf etwa 37 dBm begrenzt. Außerdem gelangt die Rücklaufspannung $U_{RÜCKINTA}$ auf einen einstellbaren Komparator. Mit einem Potentiometer ist die Ansprechschwelle der Fehlermeldung zwischen 36 dBm und 27 dBm Rücklaufleistung einstellbar. Der Komparator verknüpft sein Ausgangssignal mit dem äquivalenten Signal eines eventuell vorhandenen Boosters und bildet die Fehlermeldung -SERUE.

-SERUE = "H"Rücklauf in Ordnung

-SERUE = "L"Rücklauf zu groß

Fehlermeldung, Eingangsleistung

Wird die vom Modulator gelieferte Eingangsleistung zu klein (≤ 7 dBm), wird die Fehlermeldung -HFPEG abgegeben. Um eventuelle Bauteiletoleranzen des Gleichrichters auszugleichen, ist der für die Fehlermeldung zuständige Komparator mit einem Widerstand abgleichbar. Um ein sicheres Umschalten der Fehlermeldung zu gewährleisten, wurde der Umschaltpunkt mit Hysterese ausgelegt (+ 3 dB --> Umschaltsschwelle 7/10 dBm).

Der Ausgang des Komparators liefert die Fehlermeldung -HFPEG.

-HFPEG = "H"Eingangsleistung ≥ 10 dBm

-HFPEG = "L"Eingangsleistung ≤ 7 dBm

Fehlermeldung, Regelspannungsüberwachung

Die Regelspannung U_{REG} wird mit einem Fensterkomparator überwacht. Die Grenzwerte wurden dabei, unter Berücksichtigung von Betriebsspannungsschwankungen und Operationsverstärkertoleranzen, (Aussteuerbereich) auf ± 7 V gelegt.

Ist die Regelspannung außerhalb des Regelbereiches, liefert die Regelspannungsüberwachung die Fehlermeldung -SELEI.

-SELEI = "H"Regelspannung innerhalb des Regelbereiches

-SELEI = "L"Regelspannung außerhalb des Regelbereiches.

Fehlermeldung, Vorlauf

Wird die vorlaufende Leistung zu klein, wird die Fehlermeldung -SEVOR abgegeben. Die Ansprechschwelle der Fehlermeldung -SEVOR ist mit einem Potentiometer um etwa 6 dB veränderbar. Um ein sicheres Umschalten der Fehlermeldung zu gewährleisten, ist der Umschaltpunkt mit Hysterese ausgelegt.

Der Ausgang des Komparators liefert die Fehlermeldung -SEVOR.

-SEVOR = "H"Vorlauf in Ordnung

-SEVOR = "L"Vorlauf zu klein

4 Funkkanalsteuerung

4.1 CPU S42025-H418-*1 + Software S42025-H432-A150

Die CPU-Baugruppe (Bild 10) wird in allen Einsätzen der Funkperipherie in der Basisstation verwendet. Der Rechner übernimmt Aufgaben der Betriebs-, Vermittlungs-, Funk- und Sicherheitstechnik, die innerhalb des jeweiligen Systems über die Schnittstellen zur Funkdatensteuerung und der Funkebene abgewickelt werden.

Dazu gehören folgende Aufgaben:

- Steuerung des Datendialoges über serielle Schnittstelle zur FDS und die Funk-schnittstelle (Datensicherungsverfahren).
- Verarbeitung der Empfangskriterien aus der Rechnerperipherie (Feldstärke, Jitter, Offset, Phasenlage, Entfernungsbewertung).
- Steueranweisungen und Einstellungen für das Funkgerät (Synthesizer, Sendeleistung, Offsetkorrektur).
- Auswerten und Umsetzen der internen Störungssignalisierungen.

Die Baugruppe enthält folgende Funktionseinheiten, die in den einzelnen Unterabschnitten näher erläutert sind:

- 80C85 Prozessor
- Speicherbereich
EPROM: Grundbereich 16k, zwei Bänke à 32k
RAM: 8k
- USART für serielle Schnittstelle
- TIMER für Interrupterzeugung
- zwei VLSI-Bausteine mit den Funktionen:
Erzeugen aller Takte für Funkkanalsteuerung und Funkgerät.
Erkennen des Zeitbezugs aus den empfangenen Signalisierungsdaten (Korrelationsempfänger).
Aufbereiten der Signalisierungsdaten (Codieren) zum gesicherten Aussenden.
Empfangen der Signalisierungsdaten mit Fehlerkorrektur (Decodieren).

Ermitteln der Signalgüte der empfangenen Signalisierungsdaten.

Messen des Geräuschabstandes (Jittermesser).

Messen der Gleichspannungsablage des Analogsignals und Ausgabe des Offsetkorrekturwertes.

Entfernungsmessung

Fehlerüberwachung

fehlendes Setzsignal

Fehler Sendeteilerkette

Synchronlauf Sende- und Empfangsbaustein

Watchdog.

Die CPU-Baugruppe hat einen Diagnosestecker, dessen Belegung für alle in der Basisstation verwendeten Rechnersysteme gleich ist. Der Diagnosestecker enthält den gepufferten Adressen-, Daten- und Steuerbus für den Betrieb des Prozeßverfolgers sowie auch die ungepufferten Anschlüsse des CPU-Bausteines (für externen Betrieb mit dem ICE).

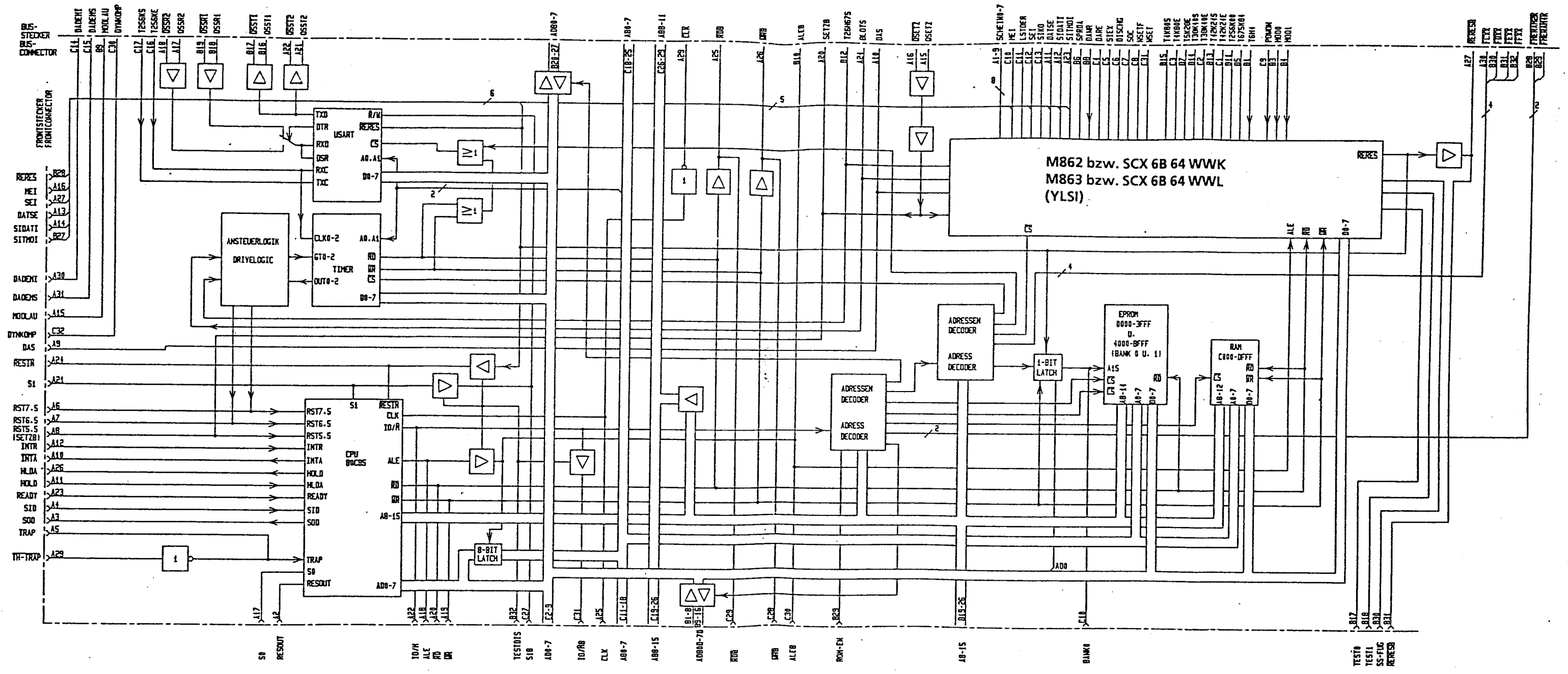


Bild 10 Übersichtsschaltplan CPU



4.1.1 CPU-Baustein 80C85, Adressen-, Daten- und Steuerbus

Bild 11 zeigt die einzelnen Steuersignale der CPU, die vom 80C85-Baustein zu den Steckern sowie zu den Funktionseinheiten geführt werden.

Wie Bild 11 zeigt, sind alle CPU-Signale grundsätzlich direkt zum Diagnosestecker geführt, da ja über diesen der Betrieb eines ICE (z.B. mit Hilfe des ICE-B-Adapters) möglich sein muß. Eingangsleitungen (also Leitungen mit Signalen, die zur 80C85 gehen) sind je nach Erfordernis mit einem Pull-up- oder einem Pull-down-Widerstand versehen, um definierte Pegel zu erreichen, wenn der Diagnosestecker nicht benutzt ist (SID = "1", INTR = "0", HOLD = "0", READY = "1", -TH-TRAP = "1"). Um einen TRAP auszulösen, muß der Eingang -TH-TRAP benutzt werden.

Ein Teil der Signale wird gepuffert (über HCT244) weitergeführt, sowohl auf den Diagnosestecker (zusätzlich zu den ungepufferten), als auch auf den Busstecker (Buchstabe B nach dem Signalnamen bedeutet "gepuffert": ALEB, -WRB, -RDB, RERESB).

Das Signal RERESB (identisch mit dem RESET IN des 80C85) wird vom VLSI-Sende-
baustein erzeugt (als RERES, geführt über einen Treiber HCT244). Außerdem wird
noch das CLK-Signal der CPU zum Busstecker geführt, allerdings über einen Inverter
HCT04 und ein RC-Glied (Verringern der Flankensteilheit um Störeinflüsse zu
vermindern). Auf der Baugruppe selbst werden benötigt: ALEB, -RD, -WR, S1B, IO/-M
für Speicher und Peripherie.

So wie für die Steuerleitungen, gilt auch hier, daß die Adressen- und Datenleitungen
AD0-7 und A8-A15 des 80C85 direkt auf den Diagnosestecker geführt sind.

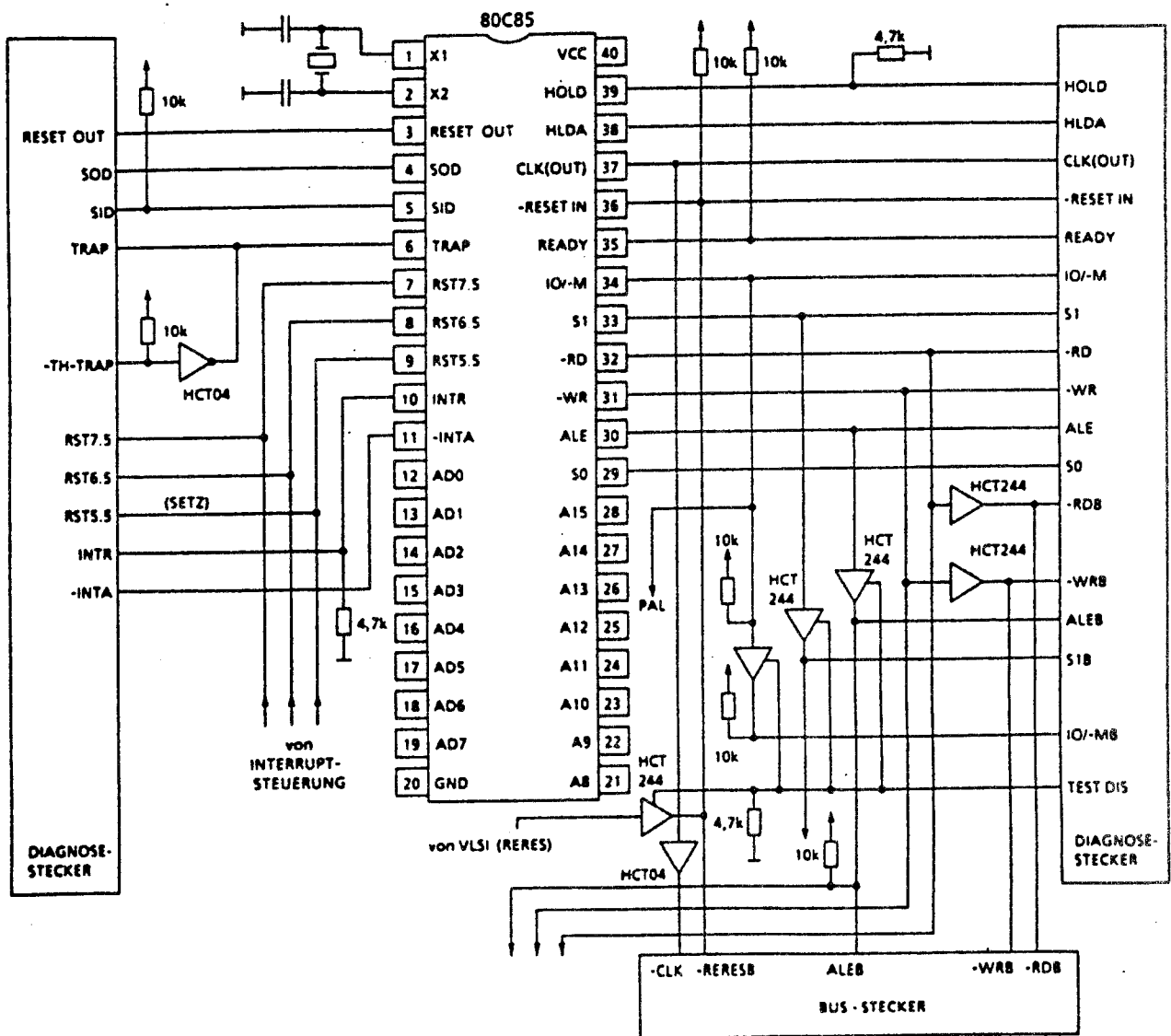
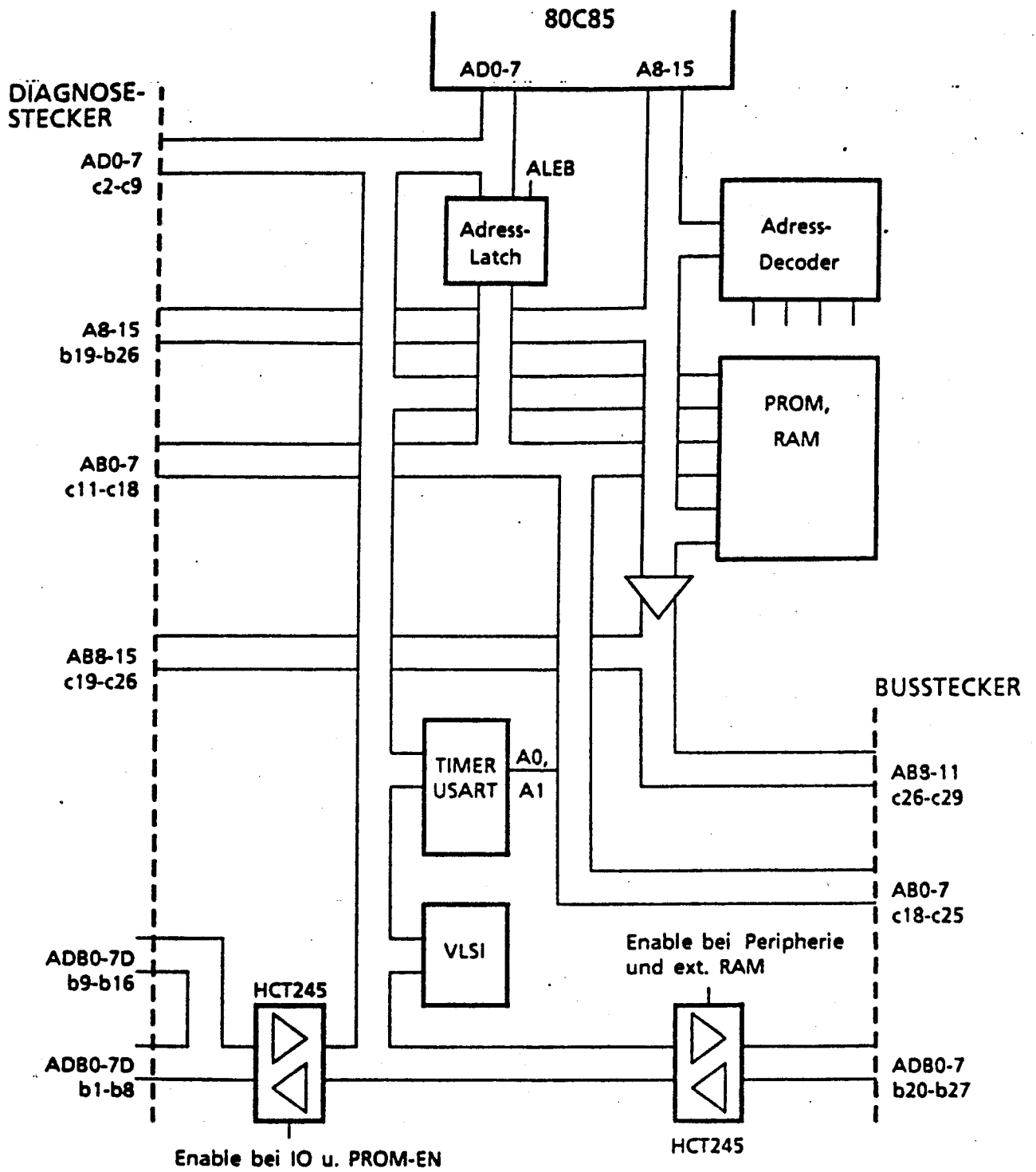


Bild 11 "80C85"- Steuersignale

Bild 12 zeigt, in welcher Weise die gepufferten Busleitungen weitergeführt sind. Die Datenleitungen (ADB0-7) zum Busstecker sind über einen bidirektionalen Treiber HCT245 geführt, dessen Richtung durch das RD-Signal gesteuert wird. Der Treiber wird mittels Adressbereichs-Auswahl-Signal aus einem PAL-Baustein aktiviert.



A.....Adr. Bus
AD...Adr. - Datenbus
AB....Adr. Bus, gepuffert
ADB.Adr. - Datenbus, gepuffert

Bild 12 Schema der Adressen- und Datenleitungen

Die Datenleitungen für den Diagnosestecker sind ebenfalls über einen HCT245 (IC 39) geführt. Die Richtungssteuerung wird wieder mit dem RD-Signal vorgenommen. Ein Signal vom PAL (IC 32/19) sorgt wieder für die Aktivierung (Bereich 0-FF, IO adressiert und bei PROM-EN von 0-BFFF, Memory adressiert).

Eine grobe Adressendecodierung für die einzelnen Komplexe wird zunächst mit dem PAL (IC 32) vorgenommen, das die Signale IO/-M, ROM-EN und die Adressenleitungen A10-A15 entsprechend decodiert. ROM-EN ist ein Signal, das vom Diagnosestecker kommt und von außen – z.B. auf dem CPU-Adapter – auf "0" gelegt werden muß, wenn anstelle des Speichers auf der CPU-Baugruppe ein externer Speicher (z.B. auf dem CPU-Adapter) benutzt werden soll. Die IO/-M-Leitung sorgt dafür, daß mit IO-Befehlen nur Peripherie, die am Diagnosestecker angeschlossen ist, angesprochen werden kann.

4.1.2 Speicher

Der PROM-Bereich ist unterteilt in einen Grundbereich von 0000 bis 3FFF (auf IC-Platz 36 ist dafür ein 16k-EPROM eingesetzt; es kann auch ein 32k-EPROM gesteckt werden, allerdings muß das Programm auf der oberen EPROM-Hälfte stehen) und in den Bankbereich.

Der Bankbereich 4000-BFFF wird mittels Bankumschaltung doppelt verwendet. Als Speicherbaustein dient ein 64k-EPROM (IC 35). Die Bankumschaltung wird durch Schreiben einer "0" (für Bank 0) oder einer "1" (für Bank 1) auf Adresse FB00, Bit 0 durchgeführt. Wird die Bankumschaltung nicht benützt, so ist auch ein 32k-EPROM verwendbar. Es muß jedoch auf Bank 1 geschaltet werden, damit $V_{pp} = \text{high}$ ist (siehe Baustein-Spezifikationen).

Um ein gegebenenfalls extern auf dem CPU-Adapter gelegenes EPROM (oder RAM) ebenfalls bankmäßig ansteuern zu können, wird das Bankumschaltesignal ("Bank 0") auch auf den Diagnosestecker geführt, und zwar invers.

Der RAM-Bereich liegt von C000 bis DFFF.

4.1.3 Interruptsteuerung

Standardmäßig werden die Interrupts RST5,5, RST6,5 und RST7,5 verwendet. Der TRAP kann über den Diagnosestecker für Testzwecke benützt werden.

Der RST5,5 wird durch das Setzsignal ausgelöst, das über den Empfangsbaustein SN75173 aus der Gestellverdrahtung (vom Frequenzverteiler) kommt.

Der RST6,5 tritt im Blockraster auf: mit steigender Flanke des Signals BLOTS ("Blocktor senden" aus VLSI, zu Beginn Bit 191 Sendeteilerkette) wird der Interrupt gesetzt, mit steigender Flanke des Taktes T26H67S (aus dem VLSI) – das ist zu Blockwechsel – wird er wieder zurückgenommen (siehe Bild 13).

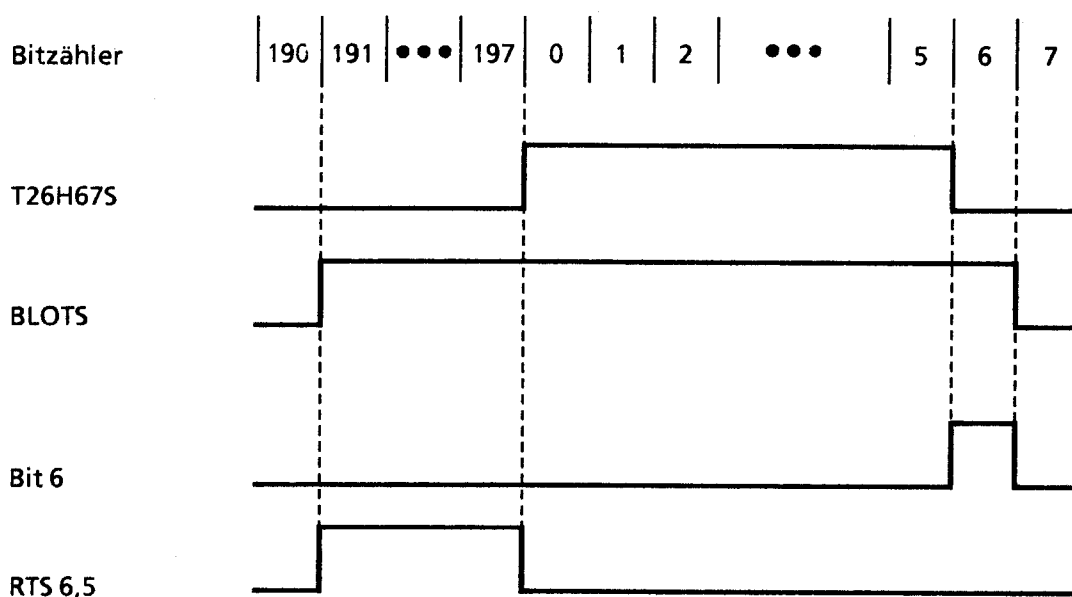


Bild 13 Interrupterzeugung

Der RST7,5 wird mit Hilfe des Timerbausteins 82C54 erzeugt. Durch entsprechende Programmierung des Bausteins werden bis zu drei verschiedene Interrupts RST7,5 während eines Blockes generiert.

Der Timer wird mit den Adressen FA00 bis FA03 adressiert.

4.1.4 Serielle Schnittstelle

Der Datenaustausch über die serielle Schnittstelle zur Funkdatensteuerung geschieht innerhalb eines Funkblocks (37,5 ms) in jeweils zeitprogrammierten Sende- und Empfangsschlitzen. Die Datengeschwindigkeit innerhalb dieser Signalisierungsbursts beträgt 256 kBd. Für den Datenaustausch auf dieser Schnittstelle wird der USART Baustein 2661, für die Festlegung des Zeitpunktes dieses Dialogs der Baustein 82C54 eingesetzt, der am Rechner einen Interrupt (RST7,5) erzeugt (siehe Abschnitt 4.1.3).

Der Baustein 2661 wird mit einer Bitrate von 256 kBd synchron mit dem Empfangstakt T256KE und dem Sendetakt T256KS aus der Interfacekarte betrieben. Der Sendetakt T256KS hat einen Vorlauf, der ungefähr die doppelte Laufzeit der Verbindungskabellänge ausmacht (fest eingestellt), so daß in der Funkdatensteuerung für Sende- und Empfangseinrichtung derselbe 256-kHz-Takt verwendet werden kann. Als Adressenbereich für den USART wird F900-F903 verwendet.

Die beiden Treiberbausteine (im 74ALS1631N) werden parallel vom USART angesteuert; für die Empfangseinrichtung sind es ebenfalls zwei Bausteine (im SN75173). Je nachdem, welche der beiden FDS in Betrieb ist, wird über die DTR-Leitung der eine oder der andere Baustein zum USART durchgeschaltet.

4.1.5 VLSI-Bausteine

Die beiden 48poligen C-MOS-Bausteine M862 bzw. SCX 6B 64 WWK und M863 bzw. SCX 6B 48 WWL (mit VLSI-Baustein bezeichnet) enthalten wesentliche Funktionen der Funkkanalsteuerung. Sie haben eine 8085-kompatible Busschnittstelle, die die Signale AD0-7 (8-bit-Adressen-Daten-Bus), ALE (Adress Latch Enable), -RD (Read), -WR (Write) umfaßt. Mit Hilfe des Decoderbausteins (HCT138) auf der CPU wird das Chip-Select-Signal (-CS) erzeugt, das den Ansprechbereich der VLSI-Bausteine auf F800 bis F8FF festlegt. Die niederen acht Adressenbits werden mit Hilfe des ALE-Signals über AD0-7 in die VLSI-Bausteine gespeichert.

Die Pins MOD0, MOD1 sowie TEST0 und TEST1 legen die Betriebsarten der Bausteine fest. Für den OSK oder SPK liegen MOD0 und MOD1 auf "0". TEST0 und TEST1 sind "0" bei Normalbetrieb. Für Testzwecke kann mit TEST0 = 0 und TEST1 = 1 die verteilte Signalisierung abgeschaltet werden (geschieht über den Diagnosestecker mit Hilfe des CPU-Adapters).

Das Bild 14 zeigt die wesentlichsten Funktionsblöcke der VLSI-Bausteine. Alle Funktionsblöcke werden über die Busschnittstelle bedient (im folgenden werden die beiden Bausteine als Einheit betrachtet, so daß auch nur von einer Busschnittstelle gesprochen wird, obwohl natürlich jeder Baustein eine eigene Schnittstelle hat).

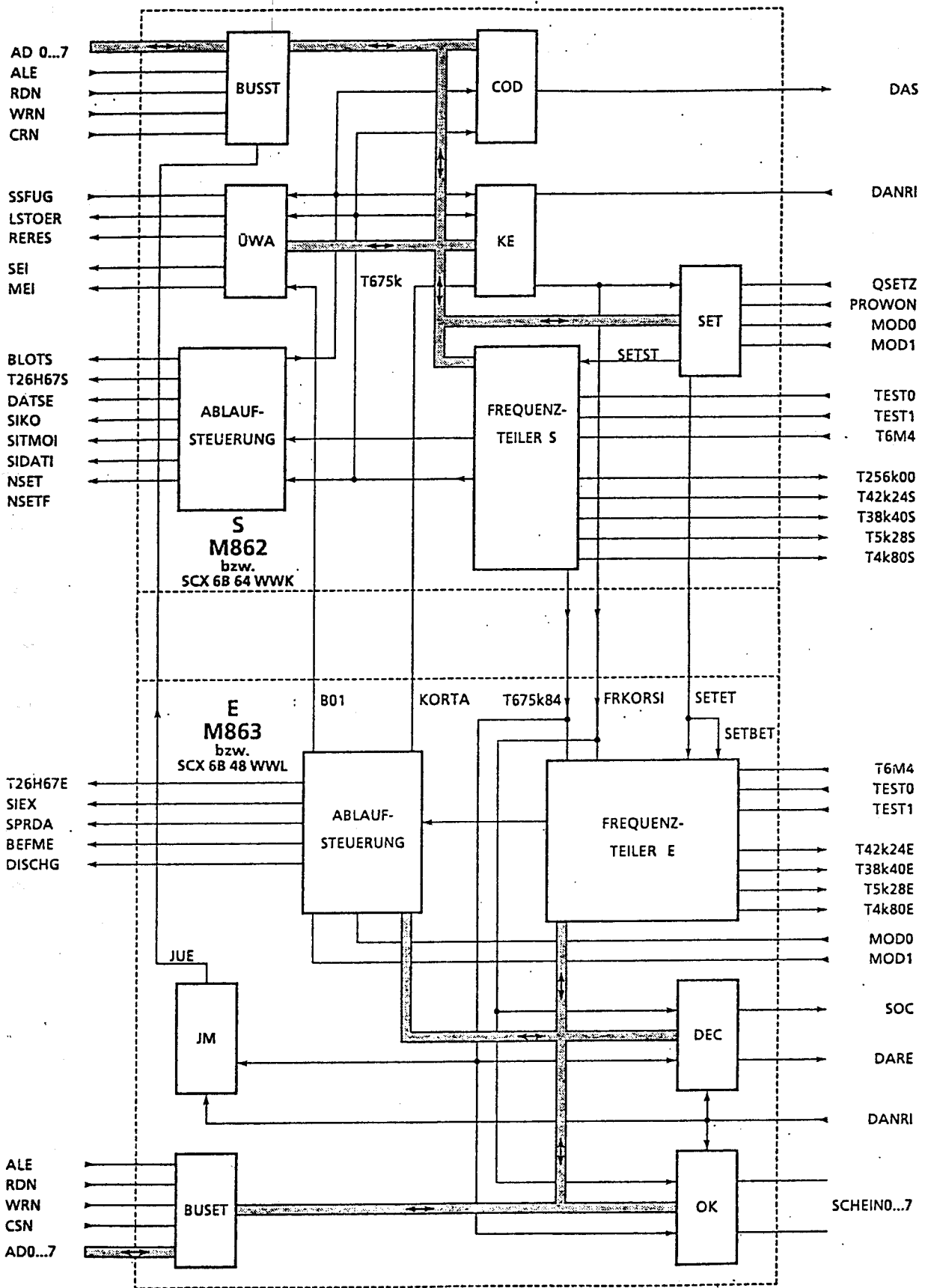


Bild 14 Übersichtsschaltplan der Bausteine M862 bzw. SCX 6B 64 WWK und M863 bzw. SCX 6B 48 WWL

Das Bild 15 zeigt die über die Pins geführten Signale und ihre Einbettung innerhalb der CPU-Baugruppe.

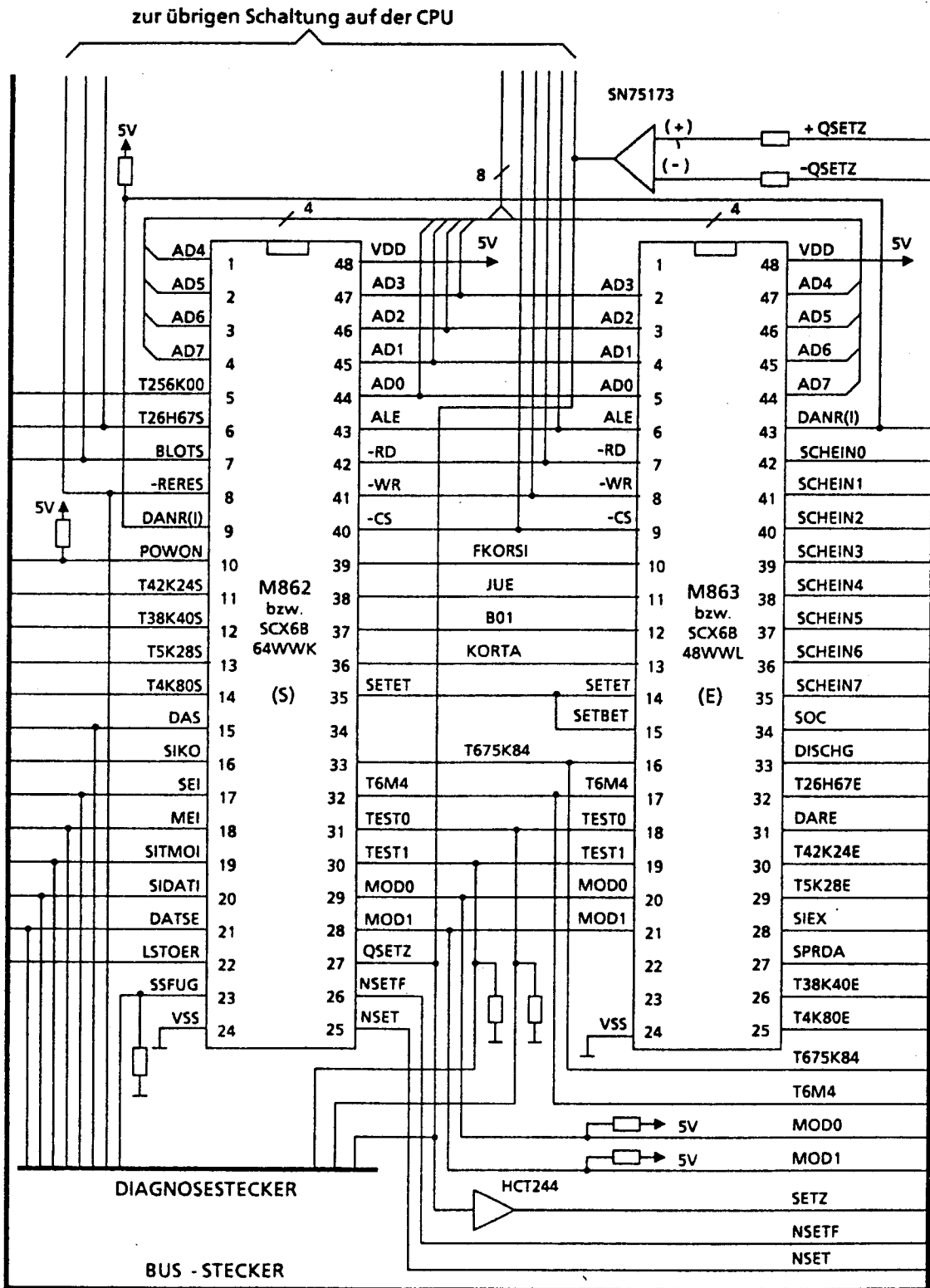


Bild 15 Anschlußschema der VLSI-Bausteine

4.1.5.1 Takterzeugung

Grundlage aller erzeugten Takte ist der Eingangstakt 6,4MHz. Von diesem werden die einzelnen Takte abgeleitet. Die Signalnamen der Takte setzen sich aus den Buchstaben T und der Frequenzangabe zusammen, wie aus folgendem Schema ersichtlich ist (Bild 16).

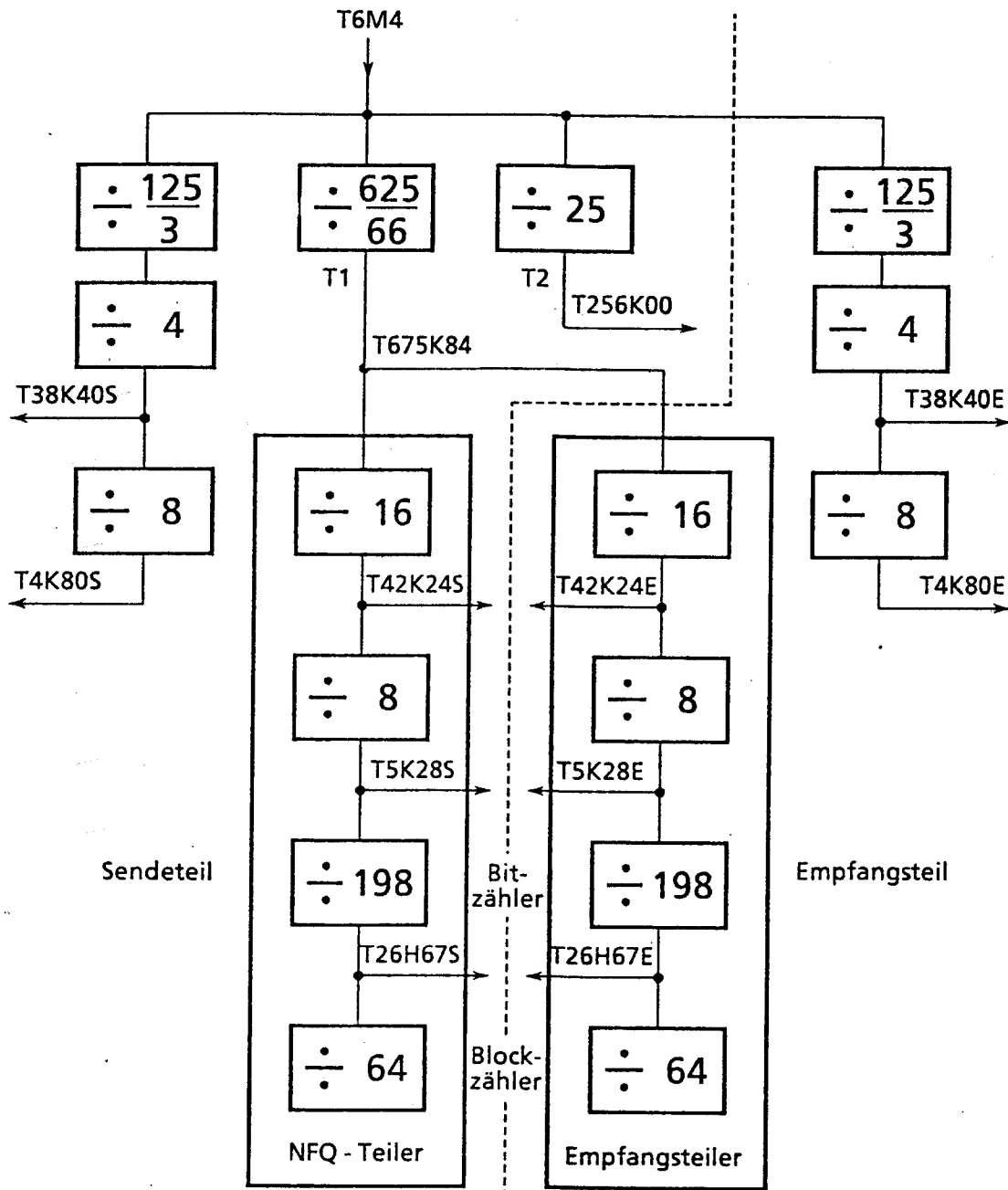


Bild 16 Übersichtsschaltplan der Frequenzteiler für Sende- und Empfangsteil

Da Sende- und Empfangsrahmen zueinander zeitversetzt sein können, ist ein Großteil der Takte zweimal vorhanden: S für Sendeseite, E für Empfangsseite. Ein Teil der Takte läßt sich nicht durch rationale Teilerverhältnisse erzeugen und weist daher einen Jitter auf (siehe folgende Tabelle).

Taktname	erzeugt aus	Teilungsfaktor	Phasenjitter
T675K84	T6M4	625/66	- 78,15 - 146,78 ns
T256K00	T6M4	25	0
T42K24S,E	T675K	16	- 4,7 - 146,78 ns
T5K28S,E	T42K24S,E	8	- 4,7 - 146,78 ns
T26H67S,E	T5K28S,E	198	0
T38K40S,E	T6M4	500/3	104,17 ns

Außerhalb der VLSI-Bausteine werden folgende Takte verwendet:

T675K84: Taktung für A/D-Wandler für Feldstärke

T256K00: Takt für serielle Schnittstellen

T26H67S: Einlatchen von Port-Signalen

T38K40S,E

und T42K24S,E: Takte für Komprimierung und Expandierung der Sprache.

4.1.5.2 Teilerketten

Mit T675K84 werden die beiden Teilerketten (Sendeteiler und Empfangsteiler) getaktet. Mittels Teilung durch 128 entsteht der Bittakt von T5K28S bzw. E (siehe auch obige Tabelle), eine weitere Teilung durch 198 ergibt den Blocktakt T26H67S bzw. E, mit dem schließlich der Blockzähler gezählt wird. 64 Blöcke zu je 37,5 ms bilden einen Rahmen, der demnach 2,4 s lang ist.

Der Bitzählerstand der Sendeteilerkette kann über die Busschnittstelle gelesen werden (Adresse F815), ebenso der Stand des Sendeblockzählers (Adresse F81C).

Beide Teilerketten können über verschiedene externe und interne Signale auf bestimmte Werte gesetzt werden.

Externe Signale

POWON entsteht bei Einschalten der Spannung oder bei RESET erzeugt internes POP-Signal (power-on-puls).

QSETZ Rahmensetzsignal erzeugt mit Rückflanke internes Setzsignal QSET.

Beide Signale setzen alle Teiler einschließlich Teilerkette.

Interne Signale

FRKORS ("freigegebenes Korrelationssignal") und die Setzsignale **SETIS**, **SETIE** (indirektes Setzen) aus dem Inkrementierungszähler setzen die beiden Teilerketten (ab T675k84).

Mit **FRKORS** wird der Bitzählerstand der Empfangsteilerkette auf 40, mit den anderen Setzsignalen auf 0 gesetzt. Die Sendeteilerkette wird auf Bit 3 gesetzt.

Einzelheiten dazu zeigt Bild 17.

4.1.5.3 Ablaufsteuerung

Die Ablaufsteuerung erzeugt Signaltore für die einzelnen Funktionsblöcke und für externe Anschlüsse. Die zeitliche Lage der Signaltore ist zum Teil von der Betriebsart abhängig, und zwar im wesentlichen vom Zustand konzentrierte/verteilte Signalisierung.

Konzentrierte Signalisierung: Organisationskanal (Datentrieb), Aussenden der Signalisierungsinformation innerhalb eines Blocks.

Verteilte Signalisierung: Sprachbetrieb, Aussenden der Signalisierungsinformation in Zeitschlitzten während eines Unterrahmens = 16 Blöcke.

Das Steuerbit F838.2 (SDOT) (F832.2 bedeutet Adresse F832, Bit 7) bestimmt den Zustand konzentrierte / verteilte Signalisierung. SDOT wird blockweise getaktet, beim Sendebaustein mit T26H67S, beim Empfangsbaustein mit T26H67E. Das getaktete Signal heißt SPRDA (SPRDA = "0": verteilte Signalisierung).

Alle Signaltore sind beim Sendebaustein synchron zum Takt T5K28S und beim Empfangsbaustein synchron zum Takt T5K28E.

Folgende Signale werden aus den VLSI-Bausteinen nach außen geführt und im OSK verwendet:

T26H67S Takt 26,67Hz, von Beginn Bit 0 bis Ende Bit 5 jedes Blocks auf "1", sonst "0".

BLOTS "Blocktor senden", von Beginn Bit 191 jeden Blocks bis Ende Bit 6 des folgenden Blocks auf "1", sonst "0".

SOC "Start of Conversion" wird aus dem internen Signal STD gewonnen, das im Decoder am Beginn jedes Decodiervorganges erzeugt wird. Es startet die Verschlüsselung im A/D-Wandler für die Umsetzung der Feldstärke.

DISCHG "Discharge": Entladeimpuls für Ladekondensator (Feldstärkemessung), zu Beginn jedes Blocks bei konzentrierter Signalisierung, zu Beginn jedes Unterrahmens bei verteilter Signalisierung.

Weitere in der Ablaufsteuerung erzeugte Signale werden VLSI-intern verwendet und z.T. in den weiteren Kapiteln erwähnt (z.B. LOFF, SINTO, SDEC usw.).

4.1.5.4 Überwachung und Rechnerreset

Zur Programmlaufkontrolle gibt es einen Watchdog, der mindestens einmal je Block retriggered werden muß. Das geschieht durch Schreiben einer "1" auf F82A.2. Ist das nicht der Fall, wird die Störungsmeldung WADOG erzeugt. Außerdem erscheint am Ausgang RERES-(Rechner-Reset) ein "0"-Impuls, der den 80C85-Baustein sowie einige Peripheriebausteine zurücksetzt. Der Watchdog wird ferner in einen passiven Zustand versetzt; er wird erst wieder durch die nächste Retriggerung aktiviert.

Bei Störung oder Ausfall der Versorgungsspannung oder bei Betätigen der Reset-Taste, was bei POWON = "0" signalisiert wird, wird ebenfalls ein Reset-Signal (Ausgang RERES = "0") erzeugt.

Zum Überwachen der Teilerketten gibt es weitere Fehlermeldungen ("0" bei Fehler):

FTAK Fehler Teilerkette außer Kontrolle
FQSET fehlendes QSET
FSTK Fehler Sendeteilerkette.

FTAK tritt auf, wenn Sendeteilerkette und Empfangsteilerkette um mehr als ± 1 bit auseinanderliegen (Überwachung nur im Block 0, es müssen daher auch beide Blockzähler synchron laufen).

FQSET tritt auf, wenn während eines Rahmens kein QSETZ festgestellt wird.

FSTK tritt auf, wenn die negative Flanke von QSETZ nicht mehr in den Bereich Bit 2,5 bis Bit 3,5 der Sendeteilerkette fällt.

Bei Einschalten der Versorgungsspannung (PPOWON = "0") werden FTAK und FQSET in den Zustand "0" (d.h. Fehler) gebracht, WADOG auf "1" (kein Fehler). Der Zustand der Fehlermeldungen kann in ein Störungsregister übernommen werden, das über die Busschnittstelle mit Adresse F816 auslesbar ist:

Bit 0: FTAK
Bit 1: WADOG
Bit 2: FQSET
Bit 7: FSTK.

Die Übernahme in das Störungsregister geschieht entweder beim Auftreten einer Störungsmeldung – wenn noch keine andere Störungsmeldung vorliegt – oder durch kurzes Einschreiben einer "1" auf Adresse F82A ("Laden Störungsregister").

In beiden Fällen erscheint am externen Anschluß LSTOER ein kurzer "1"-Impuls, mit dem die außerhalb der VLSI-Bausteine liegenden Störungsregister am Audio-Interface geladen werden.

4.1.5.5 Korrelationsempfänger

Der Korrelationsempfänger empfängt die nicht regenerierten (Signalisierungs-) Daten DANR (I). Am Anfang jedes Signalisierungsblocks befindet sich der Barkercode, der sich dreimal wiederholt. Aus dem empfangenen Barkercode ermittelt der Korrelationsempfänger den Zeitbezug für die Empfangsteilerkette und erzeugt das Zeitzeichen KORS (Korrelationssignal).

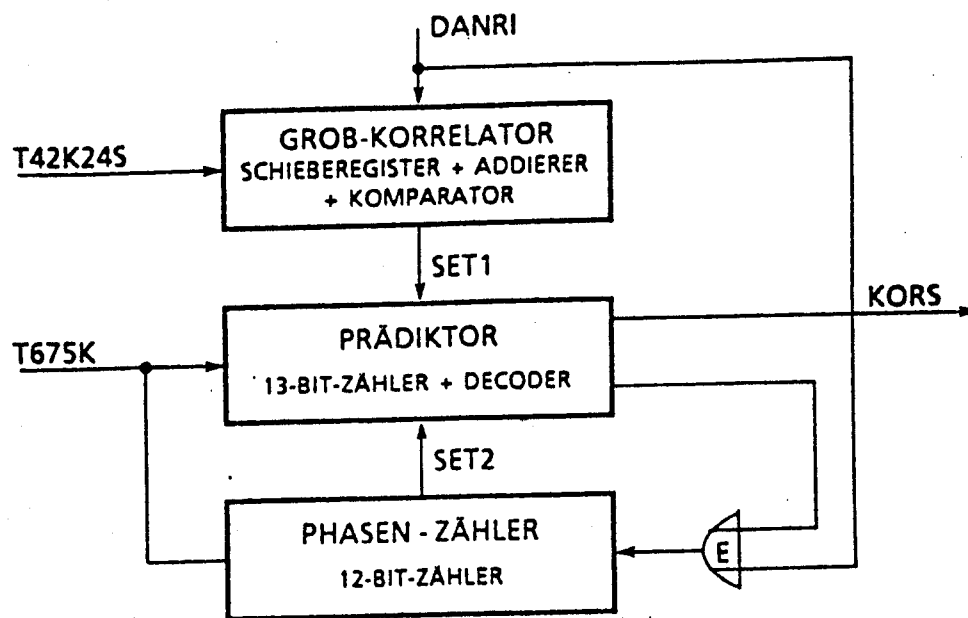


Bild 18 Übersichtsschaltplan des Korrelationsempfängers

Der Grobkorrelator taktet die einlaufenden Signalisierungsdaten mit 42,24kHz ab (acht Proben je Signalisierungsbit). Der Grobkorrelator erkennt den Barkercode, wenn

- im zeitlichen Abstand von $t = 1/T5K28$ jedes Signalisierungsbit mindestens die Pulsbreite $t = 1/T42K24$ hat

und

- der Barkercode höchstens einen Bitfehler enthält (siehe Bild 19).

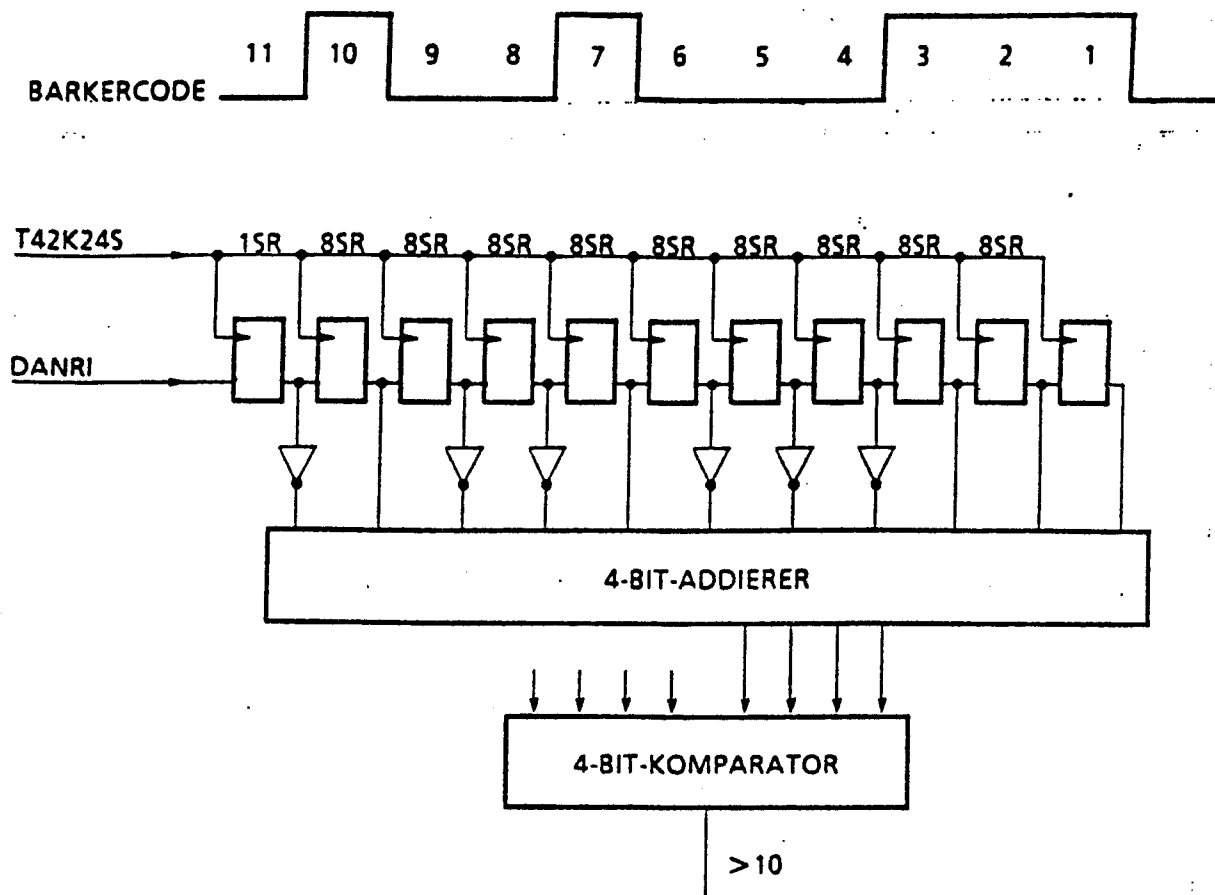


Bild 19 Grobkorrelator mit 81-bit-Schieberegister, 4-bit-Addierer und 4-bit-Komparator

Hat der Grobkorrelator den ersten Barkercode erkannt, dann setzt er einen Prädiktor, der ebenfalls den Barkercode erzeugt. Der Prädiktor vergleicht den eigenen mit dem empfangenen Barkercode und ermittelt dessen Phasenabweichungen.

Der zweite und dritte Barkercode enthalten insgesamt 12 Flankenwechsel. Nach vier Flankenwechseln und dann nach weiteren acht Flankenwechseln paßt sich der Prädiktor zeitlich dem empfangenen Barkercode an (schrittweise Annäherung). Der Korrelationsempfänger erzeugt ein Korrelationssignal KORS, wenn

- der Grobkorrelator drei aufeinanderfolgende Barkercodes erkannt hat und
- der zweite und dritte Barkercode im zeitlich richtigen Abstand zum ersten Barkercode stehen.

Der Zeitpunkt des Korrelationssignales ist:

$0,5 \cdot t_{675K}$ nach Bitmitte des dem Barkercode folgenden "Leerbits".

Die Betriebsarten des Korrelationsempfängers sind:

- Suchlauf (im OSK nicht verwendet)
- Normalbetrieb konzentrierte Signalisierung.

Die Betriebsarten werden über die Busschnittstelle eingestellt, und zwar auf Adresse F82C (beide Signale sind aktiv "1"):

F82C.7 Suchlauf Korrelationsempfänger
F82C.6 Freigabe Korrelationsempfänger.

Die Ausgangssignale des Korrelationsempfängers sind:

KORS (siehe oben)
FRKORS Freigabe Korrelationssignal
(UND-Verknüpfung von KORS und F82C.6)

KORSER (F819.7) Korrelationssignal erkannt

KORSZE (F819.6) Korrelationssignal im Erwartungszeitraum.

Einen Takt T5K28 vor dem Aussenden des Barkercodes wird der Registerinhalt F82C.7 (Suchlauf) in ein internes Register SU des Korrelationsempfängers übernommen, und es werden die Signale KORSER und KORSZE zurückgesetzt.

Die Ablaufsteuerung erzeugt Zeittore für das Erkennen der Korrelation:

SYNT Synchronisations-Erwartungstor.
Zeittor für das Erkennen des ersten Barkercodes durch den Grobkorrelator.
Dieses Zeittor ist 3 bit breit (2 bit: Bereich der Funklaufzeit,
1 bit: maximale Breite der Grobkorrelation).

SYKON Synchronisationskontrolle.
Zeittor für das Korrelationssignal KORS. Dieses Zeittor ist 2 bit breit.

In der Betriebsart Normalbetrieb muß der erste erkannte Barkercode innerhalb des Zeittores SYNT liegen, damit der Prädiktor gesetzt und freigegeben wird.

Es gilt für die Ausgangssignale:

Tor SYNT	dritter Barker-code erkannt	Tor SYKON	F82C.6 Freigabe Korrelations-empfänger	KORS	FRKORS	F819.7 KORSER	F819.6 KORSZE
ja	ja	ja	L	H	L	H	H
ja	ja	ja	H	H	H	H	H
ja	ja	nein	X	L	L	H	L
ja	nein	-	X	L	L	L	L
nein	-	-	X	L	L	L	L

Im Normalbetrieb gibt das Zeittor KORTA der Empfangsfrequenzteilerkette den Korrelationsempfänger frei.

4.1.5.6 Jittermesser

Mit Hilfe des Jittermessers wird über die Auswertung der Zeichenwechsel-Veränderungen der Geräuschabstand im Basisfrequenzband ermittelt. Die Jittermessung bewertet die Veränderung aller gleichpolarer Zeichenwechseländerungen (negative Flanken) im vorgegebenen Bewertungsintervall. Das Bewertungsintervall erstreckt sich bei konzentrierter Signalisierung über eine Blocklänge, bei verteilter Signalisierung über einen Unterrahmen (0,6 sec.). Der Jittermesser besteht im wesentlichen aus einem Auf-/Abwärtszähler (UD-Zähler), der als Modulo-Bit-Zähler arbeitet und mit dem Systemtakt (128fachen Bittakt) betrieben wird (siehe Bild 20).

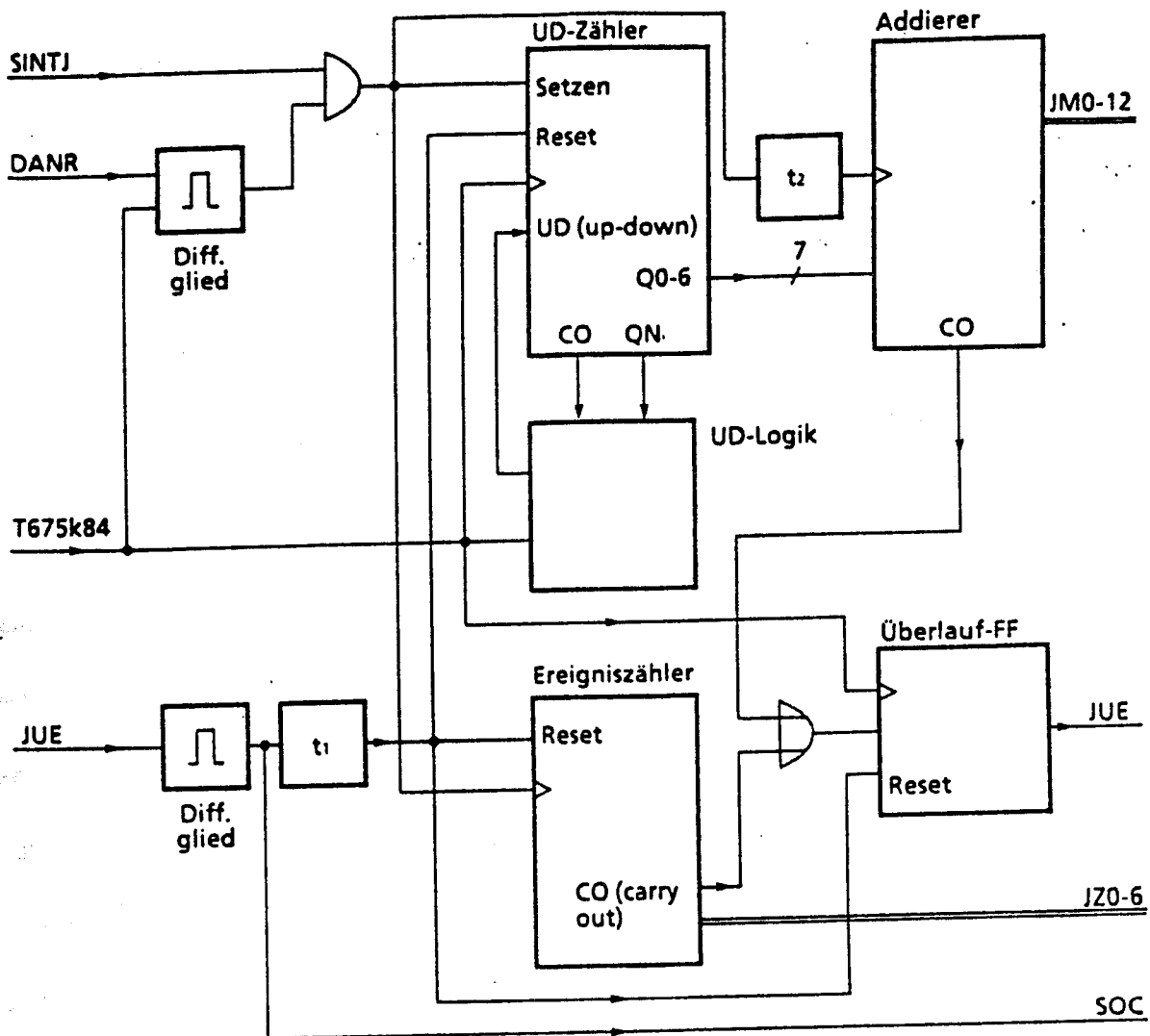


Bild 20 Übersichtsschaltplan Jittermesser

Seine Zählrichtung wird jeweils beim Zählerstand 0 und 63 umgekehrt. Mit dem ersten negativen Flankenwechsel des innerhalb des Bewertungszeitraums (SINTJ) einlaufenden Dateneingangssignals (DANR) wird der Zähler auf den Wert 1 geladen und der Bewertungsvorgang gestartet. Mit jedem negativen Flankenwechsel werden die jeweiligen Zählerstände des Auf-/Abwärtszählers in einen Addierer übernommen und aufaddiert. Gleichzeitig wird der Zähler auf den Wert 1 geladen und der Bewertungsvorgang neu gestartet. Nur bei störungsfreier Datenübertragung erreicht der Zähler am Ende jedes Bewertungsvorgangs zwischen zwei negativen Flankenwechseln den Wert 0 (siehe Bild 24). Ist der Abstand zweier aufeinanderfolgender negativer Flanken größer oder kleiner als die n -fache Bitbreite ($n > 1$), so ergibt sich aus dem Zählerstand des Modulo-Bit-Zählers der Absolutwert der zeitlichen Abweichung vom Sollwert als Jitterwert (siehe Bild 24), der in den Addierer addiert wird.

Ein Ereigniszähler registriert die Anzahl aller negativen Flanken innerhalb des Bewertungszeitraums (7 bit). Nach Ablauf des Bewertungszeitraums werden mit dem Signal STD (Stop Decoder) der im Addierer aufaddierte Jitterwert (JM) und der Zählerstand des Ereigniszählers (JZ) abgespeichert, und sie stehen zum Auslesen über die Busschnittstelle zur Verfügung. Unter der Adresse F849 läßt sich die Anzahl der negativen Flankenwechsel auslesen. Über die Adressen F84A und F84C kann auf den Jitterwert zugegriffen werden, wobei unter Adresse F84A das MSB (5 bit) und unter Adresse F84C das LSB (8 bit) abgespeichert sind.

Ebenfalls vom Signal STD abgeleitet wird ein Rücksetzsignal, mit dem UD-Zähler, Akkumulator und Ereigniszähler zurückgesetzt werden; diese sind somit für einen neuen Bewertungsvorgang vorbereitet.

Übersteigt der akkumulierte Jitterwert innerhalb eines Bewertungszeitraums den Wert $2^{13} = 8192$ oder ist die Anzahl der Zeichenwechsel größer als $2^7 = 128$, so steht am Ausgang Jittermesser-Überlauf (JUE) ein H-Pegel an. Das Signal JUE wird im Sendebaustein weiter verarbeitet und kann über die Busschnittstelle (Adresse F819.2) ausgelesen werden.

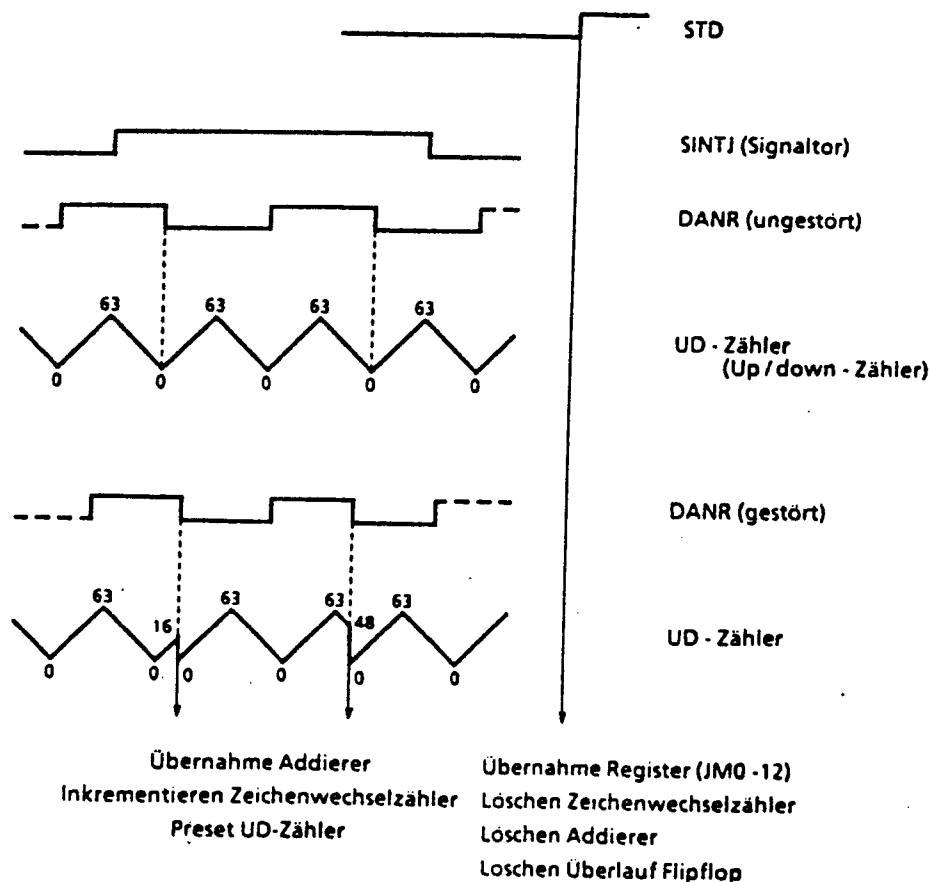


Bild 21 Funktion des Jittermessers

4.1.5.7 Offsetkorrektur

Die Offsetkorrektur wird mit Hilfe der im Bild 25 dargestellten Schaltung durchgeführt; sie besteht aus dem Offsetmesser im VLSI und der Schwellen-Vergleichsschaltung am AU-IF (siehe auch Kapitel 4.2). Weist das vom Empfänger kommende Signal DADEMI eine vom Mittelwert abweichende Gleichspannungsablage auf, so sind die "0"- und "1"-Bits des DANR-Signales nicht mehr gleich lang.

Funktionsweise des Offsetmessers

Der 128fache Bittakt (T675K84) zählt während des Bewertungszeitraums $SINTO = 1$ (das ist während des Barkercodes, Bit 11 bis einschließlich Bit 32) in einen 12-bit-UD-Zähler (Up/down-Zähler) ein.

Das Signal DANR (Daten nicht regeneriert) bestimmt die Zählrichtung: Signallage "0" entspricht der Zählrichtung abwärts, "1" aufwärts.

Außerdem ist zu beachten, daß am Beginn der Offsetmessung der D/A-Wandler mit dem Initialwert 80H (OFFE0-7 = SCHEIN0-7 auf Mittenwert) versorgt sein muß, so daß die Gleichspannungsablage des DADEMI-Signals den Flankenverschiebungen des DANR-Signals entspricht. Am Beginn des Bewertungszeitraums wird der Zähler auf 2304 eingestellt, d.i. um 2×128 über dem Mittenwert des Zählers $4096/2 = 2048$. Damit ist die Tatsache berücksichtigt, daß der Barkercode zwei "0"-Bit mehr als "1"-Bit enthält.

Durch den auf 2304 voreingestellten Zähler ist erreicht, daß im Idealfall (keine Gleichspannungsablage) der Zähler am Ende des Bewertungsintervalls auf 2048, also in Zählermitte steht. Mit dem Signal LOFF (Laden Offsetkorrektur) aus der Ablaufsteuerung wird der Zähler auf den Voreinstellwert gesetzt. SINTO gibt den Zähler frei. Der Zähler zählt nun entsprechend der Zeichendauer und des Zeichenzustandes aufwärts oder abwärts. Am Ende der Messung werden die acht höchsten Bits des Zählers abgespeichert und können über Adresse F846 vom Rechner gelesen werden (OFFA).

Die gelesenen Meßwerte der Offsetkorrektur werden im Rechner verarbeitet und daraus ein Wert für die Schwellwerteinstellung gewonnen. Dieser Wert kann über die Busschnittstelle (Adresse F864) eingeschrieben werden (OFFE) und erscheint als binäres Signal an den Ausgängen SCHEIN0-7.

Mit dem Signal FRKORS (aus M862 bzw. SCX 6B 64 WWK) wird das Ergebnis der Offsetmessung als Korrekturwert auf die Ausgänge SCHEIN0 - SCHEIN7 gelegt. Mit dem nächsten Signal LOFF wird der betreffende Multiplexer jedoch umgesteuert und der Rechner übernimmt die Schwellwerteinstellung.

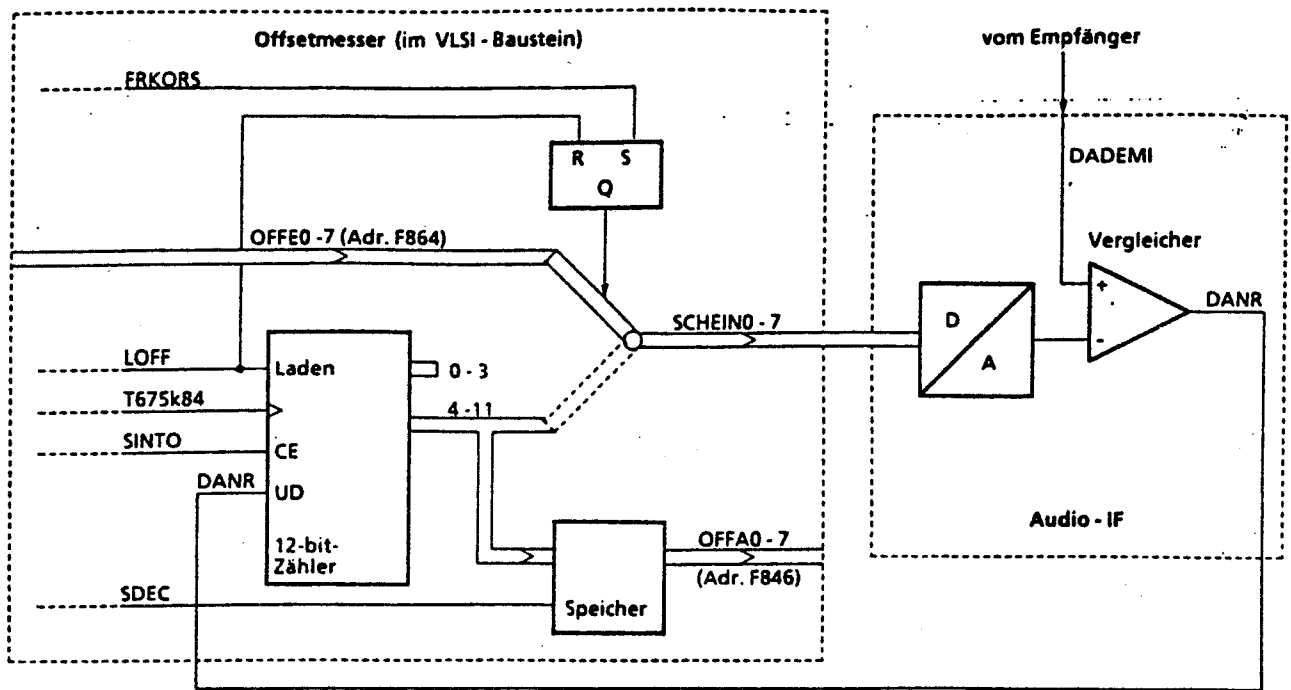


Bild 22 Offsetkorrektur

Anstelle des Initialwertes 80H (entspricht Zählerstand 2048) gelangt der Schwellwert SCHEIN0-7 an den Eingang des D/A-Wandlers an AU-IF (nur bei Ablage Null würde SCHEIN0-7 mit dem Initialwert identisch sein).

Damit ist der Vergleichswert am Vergleicher so eingestellt, daß die Gleichspannungsablage vom DADEMI-Signal kompensiert wird und das DANR-Signal genaue Bit-Längen aufweist (siehe Bild 23).

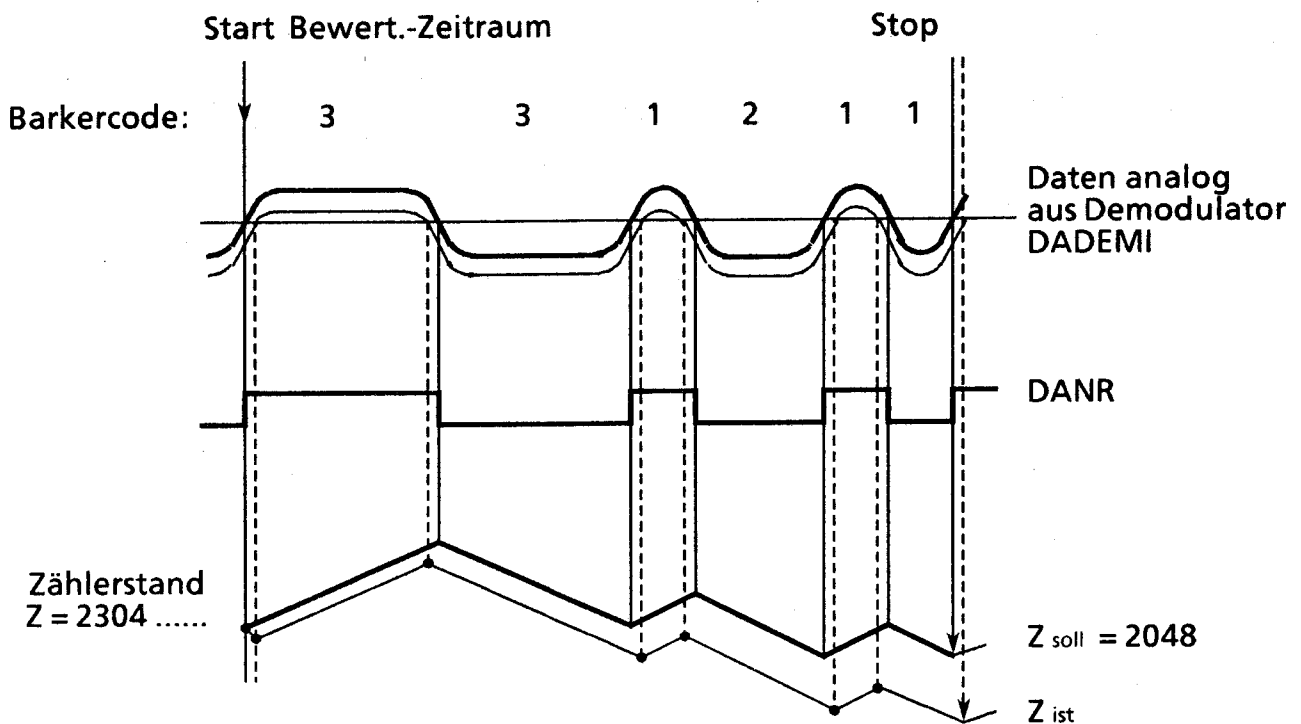


Bild 23 Offsetkorrektur Barkercode

4.1.5.8 Decoder

Der Decoder stellt die Signalisierungs-Schnittstelle zwischen dem Empfänger und dem Rechner dar, seine Aufgaben sind:

- Zwischenspeichern der vom Funkteil gelieferten Daten
- Decodieren der empfangenen Nachricht
- Durchführen von Fehlererkennung und Fehlerkorrektur.

Der Decoder empfängt über den Eingang DANR(I) die nicht regenerierten Signalisierungsdaten. Sie werden mit dem Bit-Takt (T5K28E) abgetaktet und erscheinen am Ausgang DARE (Daten regeneriert). Mit Hilfe der Impulse DECB (Bittakt vom Bit 41, d.i. nach dem Barkercode, bis einschließlich Bit 190) werden die Nutzdaten von den Synchronisierungsdaten (Barkercode) getrennt und entsprechend der zeitlichen Verschachtelung in 15 Worten à 10 bit spaltenweise in ein RAM eingelesen.

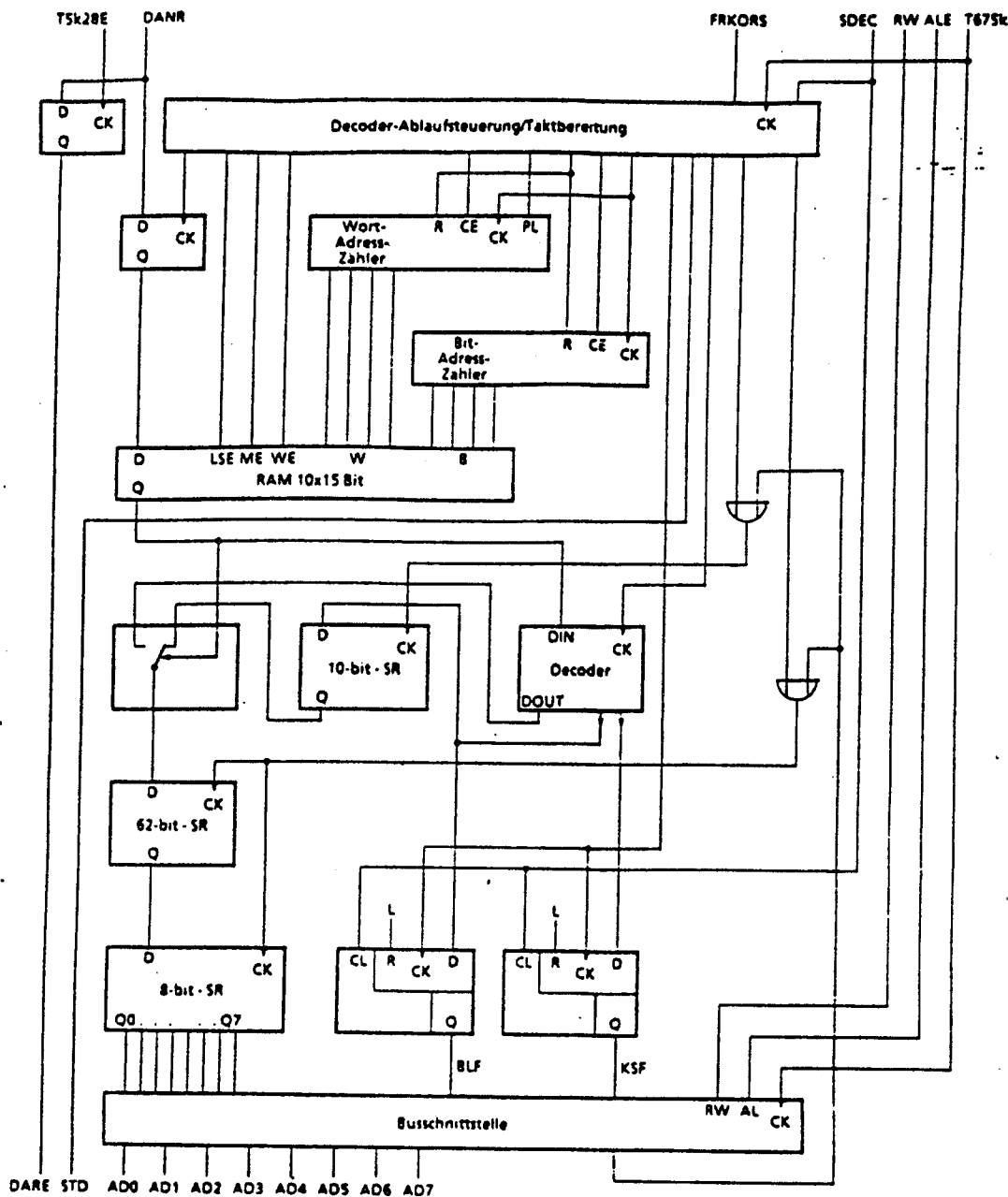


Bild 24 Übersichtsschaltplan Decoder

Zuvor wird die Schaltung mit dem Signal SDEC (Start Decoder, siehe auch Abschnitt 4.1.5.6) aus der Ablaufsteuerung zurückgesetzt und auf den Vorgang Daten einlesen/decodieren vorbereitet. Ebenso kann die Schaltung durch das Signal FRKORS aus dem Korrelationsempfänger während des Einlesevorgangs zurückgesetzt werden. Der Einlesevorgang wird dann mit DECB neu gestartet. Nach Beendigen des Einlesevorgangs mit der fallenden Flanke des letzten Taktes DECB (Bit 190.5) wird

der Decodiervorgang gestartet. Gleichzeitig wird über den Ausgang STD ein Signal geliefert, das zur weiteren Verarbeitung im Schaltungsteil Jittermesser zur Verfügung steht (siehe Abschnitt 4.1.5.6).

Der Decodierer läuft mit dem halben Systemtakt (T_{675K}). Die im RAM gespeicherten Daten werden zeilenweise (10 Worte à 15 bit) ausgelesen, decodiert und anschließend seriell in einem 70-bit-Schieberegister abgespeichert. Wird bei einem Wort eine Fehlerkorrektur durchgeführt, so wird dies durch Eintragen einer "1" in einem 10-bit-Schieberegister an der entsprechenden Stelle vermerkt. Gleichzeitig wird das Statusbit BLF (Blockfehler, Adresse F843.3) gesetzt. Wird die Korrekturschwelle überschritten, bei drei und mehr Fehlern, wird zusätzlich das Statusbit KSF (Adresse F843.2) gesetzt. Der Decodiervorgang ist nach 600 Takten T_{675K} ($t_{DEC} = 600 \times t_{675K} = 888 \mu s$) beendet. Nach Abschluß des Decodiervorgangs, etwa fünf Bit-Takte nach Einlesen des letzten Signalisierungsbits stehen die decodierten Daten zum Auslesen an der Busschnittstelle (Adresse F845) bereit. Die Daten werden in 10 Worten à 8 bit ausgelesen. Nach jedem READ-Zugriff wird die Busschnittstelle durch Nachschieben der nächsten acht Bits für einen weiteren READ-Zugriff vorbereitet. Daraus ergibt sich als Zeitbedingung für zwei aufeinanderfolgende READ-Zugriffe $t_{READ} \geq 10 \times t_{T675K} = 14,8 \mu s$.

Der Datenblock enthält in den READ-Zugriffen 1 bis 8 und im 9. READ-Zugriff (Bit 0 bis 5) die Signalisierungsdaten und im 9. READ-Zugriff (Bit 6 und 7) sowie im 10. READ-Zugriff das Fehlerkorrekturwort. Die Statusbits "Fehler erkannt" (BLF) und "Korrekturschwelle überschritten" (KSF) lassen sich ebenfalls über die Rechner-schnittstelle (Adresse F843) abfragen (siehe oben).

4.1.5.9 Coder

Der Coder bildet die Schnittstelle zwischen dem Rechner, der die zu sendenden Daten ermittelt und dem Modulator, der die codierten Daten dem Träger aufmoduliert.

Die Aufgaben des Coders sind:

- Zwischenspeicherung
- und
- Codieren der zu sendenden Nachricht durch Hinzufügen der Barkercodebits (3x11 Bit) sowie der Redundanzbits.

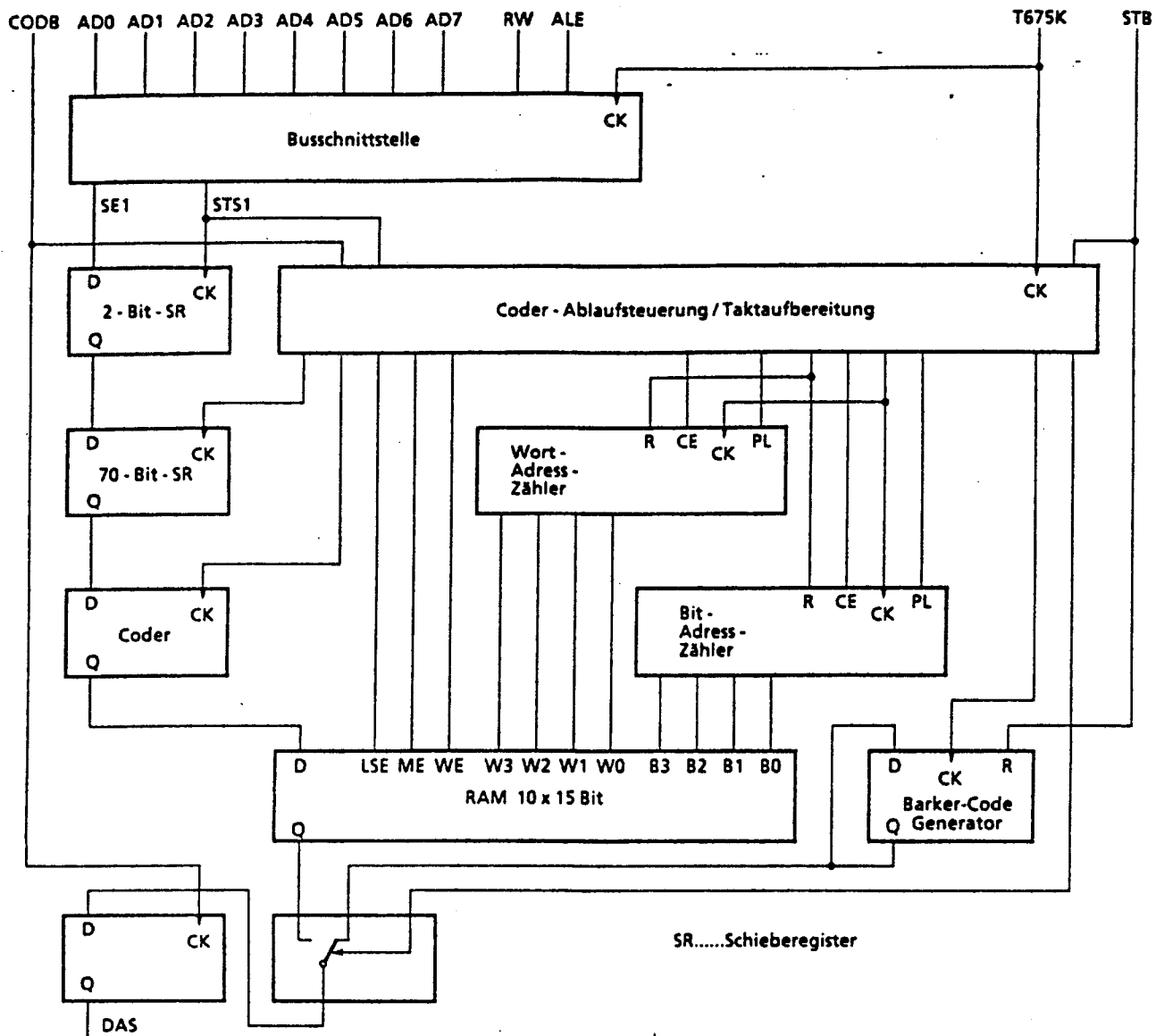


Bild 25 Übersichtsschaltplan Coder

Der im Rechner generierte Datenblock besteht aus 70 Nutz-Bits. Diese Daten werden über die Busschnittstelle (Adresse F829) in den Sendebaustein in neun aufeinanderfolgenden Write-Zugriffen eingeschrieben. Nach jedem Write-Zugriff wird die parallele Busschnittstelle, beginnend mit dem LSB, seriell ausgelesen und die Information in einem 70-bit-Schieberegister zwischengespeichert. Das Abräumen der Busschnittstelle geschieht mit dem Systemtakt (T675K) und wird mit der steigenden Flanke von WRN gestartet. Daraus ergibt sich als Zeitbedingung für zwei aufeinanderfolgende Write-Zugriffe: $t_{WRITE} \geq 10 \times t_{T675K} = 14,8 \mu s$.

Mit dem Signal STC (Start Coder) aus der Ablaufsteuerung wird der Codiervorgang gestartet. Die zwischengespeicherten Daten werden in zehn Blöcken zu 7 bit aus dem 70-bit-Schieberegister ausgelesen und nach dem sogenannten BCH-Code codiert, wobei jedes 7-bit-Wort mit einem Syndrom von 8 bit Länge versehen wird. Die so entstehenden Worte von 15 bit Länge werden zeilenweise in ein 10x15 bit großes RAM eingelesen und zwischengespeichert. Der Codiervorgang läuft mit dem halben Systemtakt (T_{675K}) ab und ist nach 300 Takten ($t_{COD} = 300 \times t_{675K} = 444 \mu s$) abgeschlossen. Das angewandte Codiervorgehen erlaubt bei der Decodierung sowohl eine Fehlererkennung als auch eine Korrektur von maximal zwei Fehlern je Wort.

Mit dem Signal STB (Start Barker) aus der Ablaufsteuerung wird der Vorgang "Daten senden" gestartet.

Mit dem gefensternten Bittakt T_{5K28} ($COdB = 184$ Takte T_{5K28}) liegen die Sendedaten am Datenausgang (DAS) an. Zunächst startet der Barkercodegenerator und erzeugt eine Bitfolge von 3 mal 11 bit (11100010010) und ein Leerbit (1). Danach werden die zeilenweise gespeicherten und codierten Daten spaltenweise (15 Worte à 10 bit) aus dem RAM ausgelesen.

In der konzentrierten Signalisierung entsteht so ein Signalisierungsblock von $33 + 1 + 150 = 184$ bit; in der verteilten Signalisierung werden die Daten verteilt über einen Unterrahmen in 46 Schlitzen zu je 4 bit gesendet (ein Unterrahmen besteht aus 16 Blöcken zu je drei Schlitzen; die beiden ersten Schlitze enthalten keine Information).

4.2 Audio-Interface S42024-H382-...

Die Baugruppe Audio-Interface (Bild 30) bildet zusammen mit der CPU-Baugruppe die Funkkanalsteuerung im OSK, SPK und PFG.

Sie enthält folgende Funktionen:

- Erzeugen von Sende- und Empfangstakt für die serielle Schnittstelle (Laufzeitkorrektur)
- Adressendecodierung für Ein- und Ausgabeports
- Abfrage der Gestelladresse
- Ausgabeports für Ansteuerung der Umschalter und Synthesizer, Steuerung der Sendeleistung; ferner Ausgabe der Signale für die Betriebsarten und Ansteuerung der Verfügbar-LED (Signal OKVR)
- Erfassen (Umsetzen) der Feldstärke
- Offsetkorrektur durch Vergleich des empfangenen Signals mit eingestellter Schwelle
- Erzeugen des Power-on-Resets; Reset-Taste
- Erfassen von Störungsmeldungen bzw. Statusmeldungen
- Pegelanpassung für 6,4MHz
- Erzeugen der -2,5-V-Versorgung für den Audio-Teil.

4.2.1 Laufzeitkorrektur

Aus dem 256-kHz-Takt (Signal T256k00 aus dem VLSI) werden die beiden Signale T256kS und T256kE mit Hilfe von zwei Schieberegistern erzeugt, die Signale sind gegenüber dem T256k00 phasenverschoben. Als Schiebetakt wird T6,4M verwendet. T256kS ist um 12 Takte, T256kE um 16 Takte gegenüber T256k00 verschoben. Der Vorhalt des Sendetaktes von vier Takten (etwa 0,7 μ s) dient zum Ausgleich von Kabellauzeiten zwischen Funkmodem und Funkdatensteuerung (Bild 26).

Die Verschiebung des Taktes T256kE gegenüber T256k00 dient zur Korrektur der Phasenlage gegenüber QSETZ.

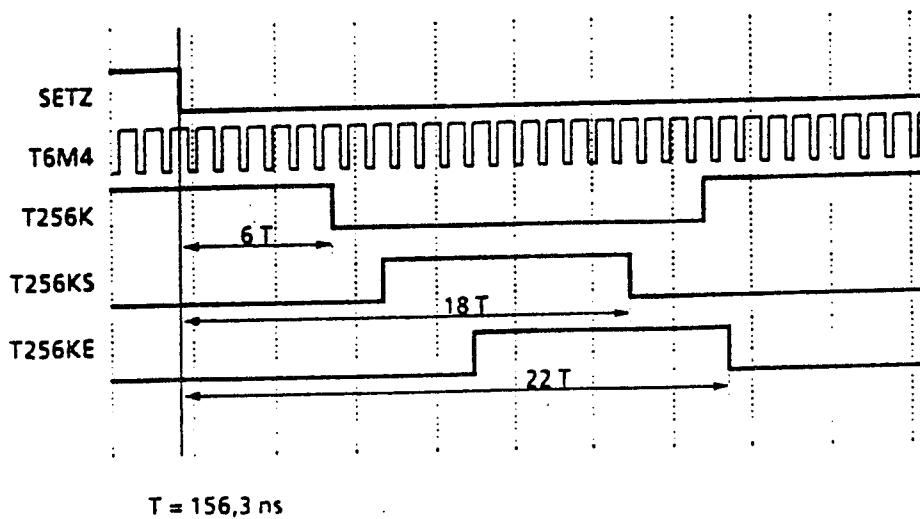
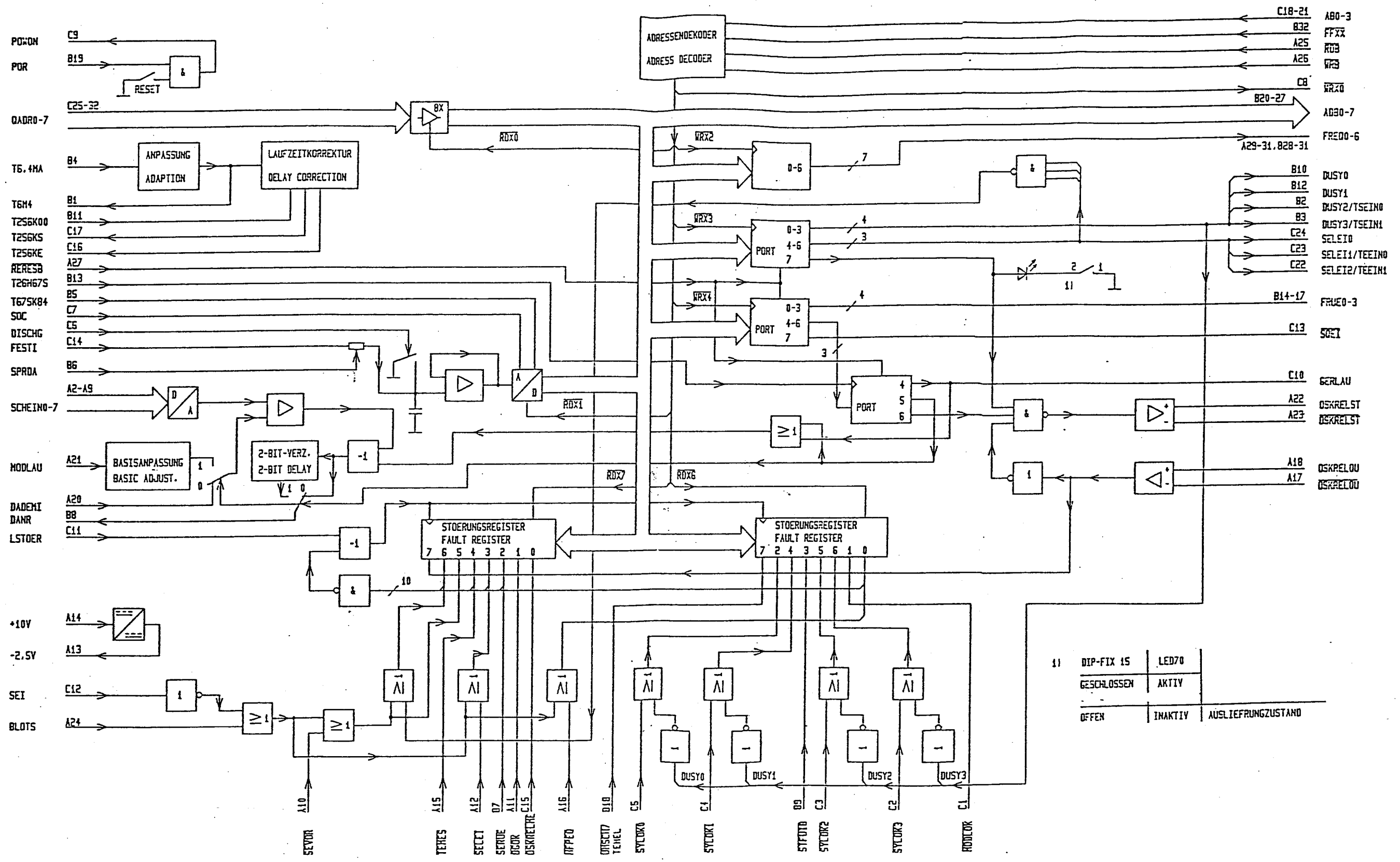


Bild 26 Laufzeitkorrektur

4.2.2 Adressendecodierung

Die von der CPU kommenden Adressenleitungen AB0 bis AB3 werden mit Hilfe der Decoder HCT138 decodiert. Durch Verknüpfen mit dem Bereichssignal -FFXX (dieses ist für Speicherbereich FF00 bis FFFF aktiv) sowie dem Schreibsignal -WRB bzw. dem Lesesignal -RDB werden die Signale -WRX0, -WRX2 bis -WRX4 sowie -RDX0, -RDX1, -RDX6 und -RDX7 erzeugt; das X bedeutet, daß die Adress-Bits 4 bis 7 bei der Decodierung nicht berücksichtigt werden. Ein Schreibbefehl auf Adresse FF02 hat beispielsweise die gleiche Wirkung wie auf FF12, FF22 usw., es wird WRX2 aktiviert).



11	DIP-FIX 15	LED70
	GESCHLOSSEN	AKTIV
	OFFEN	INAKTIV
		AUSLIEFERUNGSZUSTAND

Bild 27 Übersichtsschaltplan Audio-Interface



4.2.3 Abfrage der Gestelladresse

Der Zustand der acht Leitungen QADR0-7, der durch Verdrahtung im Gestell festgelegt ist, wird über Software abgefragt. Die Abfrage geschieht mit einem Lesebefehl auf Adresse FFX0 (kombiniertes Lese- Adressen-Signal RDX0 vom Adressendecoder).

4.2.4 Ausgabeports

Vier Latch-Bausteine dienen zur byteweisen Ausgabe einiger Signale durch die Software nach folgender Tabelle:

Adresse	D7	D6	D5	D4	D3	D2	D1	D0
FFX2	-	FREQ0-6						
FFX3	OVKR	SELEI2	SELEI1	SELEI0	-	-	-	DUSY0
FFX4	-	-	-	-	-	-	-	FRUE0

Erläuterungen:

FREQ0-6	Informationen für Frequenzeinstellung der Synthesizer
OKVR	Verfügbarmeldung vom Rechner (SW)
SELEI0-2	Sendeleistung: mit diesen Signalen wird die Endstufe angesteuert
DUSY0	Maskierung der Synthesizer-Fehlermeldung
FRUE0	Übernahmesignal für Frequenzeinstellung des Synthesizers
SQEI	Steuerung Squelch ein/aus.

4.2.5 Umsetzung der Feldstärke

Das vom Empfänger kommende Feldstärkesignal FESTI (0-2,5 V) wird mittels RC-Kombination integriert: bei Sprachbetrieb (SPRDA = 0) über eine Unterrahmenlänge, das sind 0,6 s; bei Datenbetrieb (SPRDA = 1) über eine Blocklänge, das sind 37,5 ms.

Das integrierte Signal gelangt über einen Op. Amp. LM258 an den AD-Umsetzer. Dieser wird mit T675k84 betrieben und erhält das Startsignal für die Verschlüsselung aus dem VLSI (Signal SOC, Start of Conversion). Wenn die Verschlüsselung beendet ist, wird mit dem Signal EOC (End of Conversion) das Ergebnis in ein Latch eingespeichert. Anschließend wird der Kondensator mit dem ebenfalls aus dem VLSI kommenden Signal DISCHG entladen.

4.2.6 Offsetkorrektur

Der vom VLSI-Baustein M863 bzw. SCX 6B 48 WWL gelieferte, digitale Schwellwert (SCHEIN0-7) wird mit Hilfe des D/A-Wandlers in einen Analogwert umgewandelt und über die Op.Amps LM258 dem Vergleicher LM311 zugeführt.

Am anderen Eingang des Vergleichers liegt das Signal DADEMI.

Am Ausgang des Vergleichers erscheint das Signal DANR (Daten nicht regeneriert), das zu den VLSI-Bausteinen M862 bzw. SCX 6B64 WWK und M863 bzw. SCX 6B 48 WWL zur weiteren Verarbeitung geführt wird.

4.2.7 Power-on-Reset, Resettaste

Die betriebsspannungsabhängige Rücksetzschtaltung im Stromversorgungsteil liefert das Signal POR, das bei langsam ansteigender Versorgungsspannung sowie bei Spannungseinbrüchen ein Rücksetzen der Hardware bewirkt. Das Signal POR wird über Gatter in das Signal POWON umgesetzt, das bei Wechsel von LOW nach HIGH im VLSI ein Reset-Signal generiert.

Das gleiche geschieht bei Drücken der Resettaste, wobei eine Schaltung zur Entprellung vorgesehen ist.

4.2.8 Störungsregister

Der Inhalt der beiden Störungsregister, die als Speicher für einige Störungsmeldungen dienen, kann mit Hilfe von Lesebefehlen auf die Adresse FF6 bzw. FF7 gelesen werden.

Die an den D-Eingängen anliegenden Signale werden mit Hilfe des Signals LSTOER (aus dem VLSI auf der CPU-Baugruppe) oder bei Auftreten einer Störungsmeldung (letzteres geschieht jedoch nur, wenn bei Auftreten der Störungsmeldung keine andere Störungsmeldung ansteht) eingespeichert. Deshalb werden die Störungsmeldungen über ein UND-Gatter verknüpft.

Einige Störungsmeldungen können unter gewissen Umständen gesperrt werden:

FFX6, Bit 0:	HFPEG	HF-Pegel
FFX7, Bit 3:	SELEI	Sendeleistung
FFX7, Bit 6:	SEVOR	Sendervorlauf

Die Meldungen können nur für SEI = "1" und BLOTS = "0" wirksam werden, für SEVOR muß zusätzlich gelten: SELEI 0,1,2 = "1".

Die Störungsmeldung des Synthesizers SYLOK0 (FFX6, Bit 2) wird nur dann wirksam, wenn das Signal DUSY0 (Durchschalten der Synthesizerfrequenz) auf "1" liegt.

Weitere Störungsmeldungen sind:

FFX6, Bit 1:	MODLOK	Modulator
FFX7, Bit 4:	TEMES	Temperatur Endstufe
FFX7, Bit 2:	SERUE	Senderrücklauf

Schließlich gibt es noch eine Meldung, die ebenfalls über die Störungsregister geführt wird. Bei ihrem Auftreten wird jedoch kein automatisches Einlatchen durchgeführt.

FFX6, Bit 1:	BGOK	Prüfschleife: Baugruppen gesteckt
--------------	------	-----------------------------------

4.2.9 Sonstiges

Pegelanpassung 6,4 MHz

Das von der Audio-Baugruppe kommende Signal T6,4MA wird mittels Transistor BCY58 und Schmitt-Trigger in ein TTL-Signal (T6M4) umgewandelt. Ein RC-Glied dient zum Verringern der Flankensteilheit (Verringern von Störeinflüssen).

-2,5-V-Versorgungsspannung für Audio-Teil

Die für die Audio-Baugruppe notwendigen -2,5V werden mittels eines Spannungskonverters (ICL7660) aus der 10-V-Spannung erzeugt.

5 Stromversorgung

Die Stromversorgungsbaugruppe S42024-H904-A1 liefert die Betriebsspannungen für den Funkmodem SPK-K. Bei einer Eingangsgleichspannung zwischen 36 V und 75 V werden die geregelten Ausgangsspannungen U_{B2} (+5 V), U_{B3} (+10 V), U_{B4} (-10 V) und U_{B1} (+13,8 V) abgegeben.

Der Eingangsspannungsbereich ist für den Anschluß des Gerätes an Amtsbatterien mit der Nennspannung 48 V oder 60 V ausgelegt.

Das Gerät ist leerlauf-, überlast- und kurzschlußfest sowie gegen falsche Polung der Eingangsspannung geschützt. Ein- und Ausgänge sind voneinander galvanisch getrennt. Die Ausgangsspannungen werden intern überwacht und im Störfall entsprechende Störungssignale abgegeben.

Der Aufbau der Stromversorgungsbaugruppe entspricht der VDE-Vorschrift 0804. Die Prüfspannung Primärkreis gegen Masse und Verbraucherseite beträgt 200 V-.

Die Anschlußleiste ist eine 32polige Messerleiste. Die Steckverbinder dürfen unter Spannung weder gesteckt noch gezogen werden.

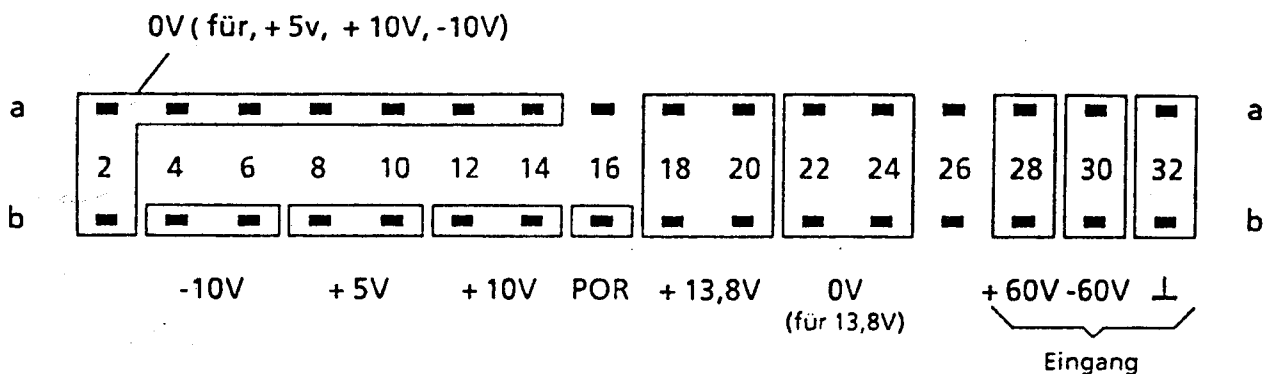


Bild 28 Leistenbelegung der Anschlußseite

6 Technische Daten

Betriebsspannung	$U = 37,5 \text{ V bis } 75 \text{ V}$
Stromaufnahme	$I = 1,5 \text{ A bis } 0,9 \text{ A}$
Leistungsaufnahme	$P = 64 \text{ W bis } 68 \text{ W}$
Referenzfrequenz	$6,4 \text{ MHz} > 0 \text{ dBm}$
Betriebsarten	1. Sprache klar/WT 2. Sprache verschleiert 3. NF-Schleifenschluß
Betriebsart	FM-Duplex
Frequenzhub mit Pre-/Deemphasis bei	
Sprache klar/WT	$\leq 4 \text{ kHz}$
Sprache verschleiert	$\leq 4 \text{ kHz}$
Signalraten	$2,5 \text{ kHz}$
Funkkanalabstand	20 kHz
einstellbare Frequenzschritte	$10/12,5 \text{ kHz}$
Duplexabstand	10 MHz
Sendefrequenzbereich	$460,0 \text{ MHz bis } 465,74 \text{ MHz}$
Signalisierungsdaten	
Datenformat	NRZ binär
Bitrate	$5,28 \text{ kbit/s}$
Empfangsfrequenzbereich	$450,0 \text{ MHz bis } 455,74 \text{ MHz}$

6.1 Transceiver

Betriebsspannung	$U_1 = +5 \text{ V}$ $U_2 = +10 \text{ V}$
Stromaufnahme	$I_{5\text{V}} = 26 \text{ mA}$ $I_{10\text{V}} = 390 \text{ mA}$
Fremdspannungsabstand mit Deemphasis	$\geq 43 \text{ dB}$
Geräuschspannungsabstand mit Deemphasis u. CCITT	$\geq 45 \text{ dB}$

6.2 Audio-Teil

Betriebsspannung 1	$U = +5 \text{ V}$
Stromaufnahme 1	$I = 2 \text{ mA}$
Leistungsaufnahme 1	$P = 10 \text{ mW}$
Betriebsspannung 2	$U = +10 \text{ V}$
Stromaufnahme 2	$I = 100 \text{ mA}$
Leistungsaufnahme 2	$P = 1 \text{ W}$

6.3 CPU

Betriebsspannung	$U = +5 \text{ V}$
Stromaufnahme	$I = 260 \text{ mA}$
Leistungsaufnahme	$P = 1,3 \text{ W}$

6.4 Audio-Interface

Betriebsspannung	$U = +5 \text{ V}$
Stromaufnahme	$I = 150 \text{ mA}$
Leistungsaufnahme	$P = 0,75 \text{ W}$

6.5 Endstufe

Betriebsspannung 1	$U = 5 \text{ V}$
Stromaufnahme 1	$I = 150 \text{ mA}$
Leistungsaufnahme 1	$P = 0,75 \text{ W}$
Betriebsspannung 2	$U = 10 \text{ V}$
Stromaufnahme 2	$I = 65 \text{ mA}$
Leistungsaufnahme 2	$P = 0,65 \text{ W}$
Betriebsspannung 3	$U = -10 \text{ V}$
Stromaufnahme 3	$I = 50 \text{ mA}$
Leistungsaufnahme 3	$P = 0,5 \text{ W}$
Betriebsspannung 4	$U = 13,8 \text{ V}$
Stromaufnahme 4	$I = 2,7 \text{ A}$
Leistungsaufnahme 4	$P = 37,26 \text{ W}$

7 Geräteübersicht

Gegenstand	Bezeichnung	Maße in mm (BxLxH)	Gewicht in kg
Funkmodem SPK-K	S42023-H204-	110x595x230	10,6
zugehörige Baugruppen:			
Anschlußverdrahtung	S42024-H412-...		
und			
Filterbaugruppe	S42024-H413-...	100x63x12	
Endstufe	S42024-H405-...	110x208x250	
Transceiver	S42024-H450-...	100x167x75	
Audio-Teil	S42024-H381-...	100x167x21	
CPU	S42025-H418-*1 + Software		
	S42025-H432-A150	100x167x12	
Audio-Interface	S42024-H382-...	100x167x12	
Stromversorgung	S42024-H904-...	110x230x150	

Die in der Beschreibung aufgeführten Sachnummern für Geräte oder Baugruppen sind im ausführungsspezifischen, variablen Teil des 3. Blocks der Sachnummer mit ... versehen.

Für jedes Gerät sind die genauen Sachnummern je nach Bestückung in der zugehörigen Bedienungsanleitung eingetragen. Die vorliegende Beschreibung hat für alle gelieferten Ausführungen Gültigkeit.



SIEMENS

Fu Tel C-Netz
Beschreibung

Stromversorgung

S42023-H901-B3

S42023-H901-B3-2-18

Inhalt

	Seite
1 Anwendung	3
2 Technische Daten	4
3 Arbeitsweise	5
3.1 Allgemeines	5
3.2 Eingangsschaltung und Durchflußumrichter	6
3.3 Steuerung	6
3.4 Regelung	7
3.4.1 Hauptregler	7
3.4.2 Nachregler	8
3.4.3 Elektronische Vorlast	9
3.5 Überwachung und Signalisierung	9
4 Geräteübersicht	9

Herausgegeben vom Bereich Öffentliche Vermittlungssysteme
Hofmannstraße 51, D-8000 München 70
Verfasser: SÖ ETG 113 Wien

Weitergabe sowie Vervielfältigung dieser Unterlage, Verwertung
und Mitteilung ihres Inhalts nicht gestattet, soweit nicht aus-
drücklich zugestanden. Zuwiderhandlungen verpflichten zu Scha-
denersatz. Alle Rechte vorbehalten, insbesondere für den Fall der
Patenterteilung oder GM-Eintragung.
Technische Änderungen vorbehalten.

© Siemens AG 1990

1 Anwendung

Der Stromversorgungseinsatz S42023-H901-B3 liefert die Betriebsspannungen für die Einsätze im Funkkanalgestell des Systems Netz C450. Er gibt bei einer Eingangsspannung zwischen 36 V und 75 V die geregelten Ausgangsspannungen U_{B1} (+10 V), U_{B2} (+5 V) und U_{B3} (+13,8 V) ab. Der Eingangsspannungsbereich ist für den Anschluß des Gerätes an Akkubatterien mit der Nennspannung 48 V oder 60 V ausgelegt.

Das Gerät ist leerlauf-, überlast- und kurzschlußfest sowie gegen falsche Polung der Eingangsspannung geschützt. Ein- und Ausgänge sind voneinander galvanisch getrennt. Die Ausgangsspannungen werden intern überwacht und im Störfall entsprechende Störungssignale abgegeben.

2 Technische Daten

Eingang

Eingangsgleichspannung U_V 36 V bis 75 V
(Anschluß an Amtsbatterien (48 V oder 60 V),
verpolsicher, beliebig geerdet)

Leistungsaufnahme

(bei max. Nennlast und $U_V = 60$ V) 300 W

Beachten: Der Stromversorgungseinsatz darf nur im spannungslosen Zustand gesteckt oder gezogen werden.

Ausgänge

Ausgang	U_{B1}	U_{B2}	U_{B3}
Ausgangsspannung U_{Nenn} (im Nennlastbereich)	+10 V \pm 5%	+5 V \pm 2%	+13,8 V \pm 2%
Grenzwerte der Ausgangsspannungen bei Unter- und Überspannung (im Störfall)	$\leq 8,5$ V 1)	<4,8 V bis 4,65 V oder >5,4 V bis 5,6 V	$\leq 11,7$ V 1)
Nennstrombereich	0 A bis 1,6 A	0,4 A bis 3,1 A	0 A bis 15,1 A
Überlagerte Wechselspannung (Grundwelligkeit) U_{SS}	<20 mV	<20 mV	<20 mV

1) Signalisierung nur bei Unterspannung

Überwachung

Überwachung der Ausgangsspannungen auf ihre Grenzwerte und Abgabe von Störungsmeldungen beim Über- oder Unterschreiten der Grenzwerte (siehe oben) POR-Signal (LOW) und Störungssignal über potentialfreien Umschaltekontakt

3 Arbeitsweise

3.1 Allgemeines

Die Stromversorgung S42023-H901-B3 arbeitet nach dem Prinzip des pulsbreiten-geregelten Durchflußumrichters mit einer konstanten Schaltfrequenz (≈ 21 kHz) und variablem Tastgrad ($\gamma \leq 50\%$). Die galvanische Trennung des Primär- und Sekundärteils übernehmen ein Trenntransformator, Optokoppler und Stromwandler.

Die Regelgröße für den Tastgrad des Umrichters wird von der Ausgangsspannung U_{B3} (13,8 V) abgeleitet. Die beiden anderen Ausgangsspannungen U_{B1} (10 V) und U_{B2} (5 V) werden über getaktete Nachregler auf die geforderte Genauigkeit gebracht.

Weitere Regelschaltungen für Strom- und Spannungsbegrenzungen, sowie Überwachungsschaltungen für die Ausgangsspannungen sind eingebaut. Im Störfall werden entsprechende Alarmsignale (POR-Signal "LOW" und Kontaktgabe über einen potentialfreien Umschalter) an Ausgängen abgegeben.

Bild 1 Übersichtsschaltplan Stromversorgung S42023-H901-B3

3.2 Eingangsschaltung und Durchflußumrichter

Der Eingang der Stromversorgung ist für eine Betriebsgleichspannung von 36 V bis 75 V ausgelegt. Der Eingangsstrom wird nach dem Durchlaufen des Eingangsfilters vom Leistungstransistor 135 mit der konstanten Taktfrequenz (≈ 21 kHz) geschaltet. Die entstehende Rechteckspannung transformiert der Haupttransformator 95 auf die erforderlichen Werte in den Ausgangskreisen.

Der Schalttransistor 135 wird über die Sekundärwicklung des Steuerstromwandlers 93 durch Rückkopplung des Emitter-Laststromes angesteuert. Die Impulse zum Ein- und Ausschalten des Transistors sind über weitere Wicklungen des Steuerstromwandlers dem Basistrom eingeprägt. Diese Impulse liefert die Steuerschaltung zur Pulsweitenregelung über die Transistoren 136, 137, 138.

Die mit dem Leistungstransistor 135 erzeugte Rechteckwechselspannung (≈ 21 kHz) liegt an der Primärwicklung 4,5 bis 12,13 des Leistungsübertragers 95. Während der Durchlaßzeit des Transistors 135 sind die Längszweige der Gleichrichter 444 und 454 und die Diode 460 leitend. Die am Ausgang angeschlossenen Verbraucher werden aus den Trafowicklungen gespeist, die Speicherdrosseln 427, 432 und 435 nehmen Energie auf. Während der Sperrzeit des Transistors 135 sind die Längszweige der Gleichrichter 444 und 454 und die Diode 460 gesperrt. Die Spannungen an den Speicherdrosseln 427, 432 und 435 polen sich um und steuern die Querzweige der Gleichrichter 444 und 454 und die Diode 459 leitend, so daß die Energie für die Versorgung der Verbraucher in dieser Phase aus den Speicherdrosseln geliefert wird.

3.3 Steuerung

Der Komparator 146 (Anschlüsse 10, 11, 13) ist als Taktgenerator geschaltet und gibt ein Taktsignal mit der konstanten Frequenz von ≈ 21 kHz an die Verknüpfstufe 147 ab. Seine Ausgangsrechteckspannung (Tastgrad 50%) liegt an den Eingängen 2, 8, 9, 13 der Vierfach-NAND-Glieder 147. Diese verknüpfen die vier am Eingang 6 liegenden Steuersignale: "Spannung-Aus" vom Spannungsregler (Komparator 150 über den Optokoppler 148), "Aus" vom Eingangsspannungs-Zeitflächengebrenzer (Transistor 141 und Komparator 146 Anschluß 2), "Spannung-Aus" vom Überspannungsbegrenzer (Komparator 146 Anschluß 1 über die Optokoppler 656, 658, 660) und "Strom Aus" vom Überstrombegrenzer Komparator 146 (Anschluß 14 über die Stromwandler 92, 4254, 430).

Die Signal-Anstiegsflanke des Taktgebers 146 (Anschluß 13) bestimmt die Einschaltzeitpunkte des Schalttransistors 135. Der Abschaltzeitpunkt wird durch die Verknüpfung der vier Steuersignale festgelegt. Das daraus resultierende Signal wird dem Transistor 135 zugeführt.

Der zuerst ankommende "Aus-Befehl" in Form des L-Impulses schaltet den Verknüpf-Baustein 147 um (Ausgang H-Impuls) und sperrt den Transistor 135. Dieser Zustand wird durch die zwei rückgekoppelten bistabilen Glieder im Vierfach-NAND-Glied 147 so lange gehalten, bis vom Taktgeber wieder ein "Ein-Befehl" kommt und der Zyklus von neuem beginnt.

Die Betriebsspannung für die Steuerschaltung wird aus der am Eingang liegenden Versorgungsspannung über eine Stabilisierungsschaltung (Transistor 139) bezogen.

3.4 Regelung

3.4.1 Hauptregler

Der Ausgangskreis für + 13,8 V wird primärseitig über den Schalttransistor 135 geregelt. Hierbei wird gleichzeitig eine Vorregelung der anderen Ausgangskreise erreicht. Die Ausgangsspannung des + 13,8-V-Kreises regelt der Hauptregler 150. Seine Regelgröße bezieht er aus dem Momentanwert der Spannung an der Drossel 435 und der Spannung am Ausgang des + 13,8-V-Kreises. Dieser Wert wird über den Optokoppler 148 der Steuerschaltung zugeführt und dort entsprechend weiter verarbeitet (siehe Abschnitt 3.3).

Der Grundtakt für den Schalttransistor 135 hat ein Verhältnis der Ein- zur Ausschaltzeit von 1:1. Die Einschaltzeit dieses Transistors wird nun durch die Regelung nach den folgenden Kriterien entsprechend verkürzt:

- Vom Hauptregler 150 über den Optokoppler 148 (anhängig von der Ausgangsspannung $U_{B3} = 13,8 \text{ V}$).
- Vom Eingangsspannungs-Einschaltzeit-Flächenbegrenzer. Dieser leitet über 146/2 ein Ausschaltsignal ab, das umso früher kommt, je höher die Eingangsspannung ist und bei dynamischen Vorgängen dem Hauptregler vorgreift.

- Von der Strombegrenzungsschaltung. Dazu werden die Ausgangsströme im +10-V- und im +5-V-Kreis und im Primärkreis (stellvertretend für den +13,8-V-Kreis) über Stromwandler (425, 430, 92) gemessen und vom Komparator 146/14 mit einem Sollwert verglichen. Bei Überstrom wird der Schalttransistor 135 in jeder Periode vorzeitig abgeschaltet, so daß die zulässigen Stromwerte nicht überschritten werden.

Wenn eine der Ausgangsspannungen (z.B. infolge Reglerausfalls) den zulässigen Wert überschreitet, wird der Schalttransistor 135 dauernd ausgeschaltet. Dazu werden die Ausgangsspannungen über die Komparatoren 651/7, 742/1 und 650/7 gemessen. Im Störfall wird einer der drei Optokoppler 658, 660 oder 656 aktiviert und über 146/1 das Aus-Signal gespeichert.

3.4.2 Nachregler

Die getakteten Nachregler verkürzen die Impulsbreite der vom Transformator 95 kommenden Rechteckwechselfspannung, so daß die -10-V- und die +5-V-Ausgangsspannungen die erforderliche Genauigkeit haben.

Der Nachregler-Schalttransistor 475 für U_{B1} (bzw. 479 für U_{B2}) wird von der ansteigenden Flanke der Rechteckwechselfspannung aus dem Trafo 95 über die Wicklung 5-3 des Ansteuerstromwandlers 426 (bzw. 431) eingeschaltet.

Die Zeitdauer bis zum Ausschalten des Transistors 475 (bzw. 479) wird vom Spannungsregler 491 (bzw. 492) abhängig von der Höhe der Ausgangsspannung ermittelt. Dazu wird an den Anschluß 2 von 491 (bzw. 492) eine Rampenspannung gelegt, deren Höhe der Ausgangsspannung entspricht.

Diese Spannung wird mit jener der Referenz 447 (bzw. 457) verglichen und bei Spannungsgleichheit über den Transistor 476 (bzw. 480) der Nachregler-Schalttransistor 475 (bzw. 479) abgeschaltet. Je höher die Ausgangsspannung ist, desto früher wird Spannungsgleichheit erreicht und der Nachregler-Schalttransistor abgeschaltet; dadurch werden die beiden Ausgangsspannungen jeweils auf einen konstanten Wert von +10 V bzw. +5 V geregelt.

Das Ein-Signal für den Schalttransistor 135 (an 147/11 = LOW) wird über die Transistoren 137 und 136, das Aus-Signal (an 147/11 = HIGH) wird über den Transistor 138 an den Ansteuer-Stromwandler 93 gegeben.

3.4.3 Elektronische Vorlast

Damit sprunghafte Laständerungen im +13,8-V-Kreis die beiden anderen Ausgangskreise nicht unzulässig beeinflussen, wird der Strom im +13,8-V-Kreis wechselstromseitig vom Stromwandler 434 erfaßt. Abhängig von dessen Bürden-
spannung wird – beim Leerlauf oder bei geringer Last im +13,8-V-Kreis – die
Widerstände 360 und 366 vom Transistor 487 als Vorlast geschaltet.

3.5 Überwachung und Signalisierung

Die Ausgangsspannungen U_{B1} , U_{B2} und U_{B3} werden auf ihre zulässigen Grenzwerte hin mit den Komparatoren 651/1; 742/14, 13, 2 und 650/1 überwacht und nach dem Über- oder Unterschreiten dieser Werte (siehe Abschnitt 2) ein POR-Signal (Power-On-Reset) und ein Störungssignal (über einen potentialfreien Umschaltekontakt) an entsprechenden Ausgängen abgegeben.

4 Geräteübersicht

Bezeichnung	Sach-Nr.	Maße in mm (B x H x T)	Gewicht in kg etwa
Stromversorgung	S42023-H901-B3	110x495x232	6,5



SIEMENS

Fu Tel C-Netz
Beschreibung

Stromversorgung

S42023-H903-A2

S42023-H903-A2-4-18

Inhalt

	Seite
1 Anwendung	3
2 Technische Daten	4
3 Arbeitsweise	6
3.1 Allgemeines	6
3.2 Umrichter 1 für U_{B1}	8
3.2.1 Leistungsteil	8
3.2.2 Steuerschaltung	8
3.2.3 Ausgangsspannungsregler für U_{B1}	9
3.2.4 Überwachung der Ausgangsspannung U_{B1}	9
3.3 Umrichter 2 für U_{B2} , U_{B3} und U_{B4}	10
3.3.1 Leistungsteil	10
3.3.2 Steuerschaltung	10
3.3.3 Ausgangsspannungsregler für U_{B2} und U_{B3}	11
3.3.4 Ausgangsspannungsregler für U_{B4}	11
3.3.5 Überwachung der Ausgangsspannungen U_{B2} , U_{B3} und U_{B4}	12
4 Geräteübersicht	13

Herausgegeben vom Bereich Öffentliche Vermittlungssysteme
Hofmannstraße 51, D-8000 München 70
Verfasser: SÖ ETG 113 Wien

Weitergabe sowie Vervielfältigung dieser Unterlage, Verwertung und Mitteilung ihres Inhalts nicht gestattet, soweit nicht ausdrücklich zugestanden. Zuwiderhandlungen verpflichten zu Schadenersatz. Alle Rechte vorbehalten, insbesondere für den Fall der Patenterteilung oder GM-Eintragung.
Technische Änderungen vorbehalten.

© Siemens AG 1990

1 Anwendung

Die Stromversorgung S42023-H903-A2 liefert die Betriebsspannungen für die Einsätze im Zentralgestell für das System Netz C450. Er gibt bei einer Eingangsgleichspannung zwischen 36 V und 75 V die geregelten Ausgangsgleichspannungen $U_{B1} + 5 \text{ V}$, $U_{B2} + 13,8 \text{ V}$, $U_{B3} + 10 \text{ V}$ und $U_{B4} + 5 \text{ V}$ ab. Der Eingangsspannungsbereich ist für den Anschluß des Gerätes an Amtsbatterien mit der Nennspannung 48 V oder 60 V ausgelegt.

Das Gerät ist leerlauf- und kurzschlußfest und gegen falsche Polung der Eingangsspannung geschützt; Ein- und Ausgänge sind galvanisch voneinander getrennt. Die Ausgangsspannungen werden intern auf ihrem oberen und unteren Grenzwert hin überwacht.

Konstruktiv sind die Bauteile des Gerätes in einem 595mm hohen Einsatz der Bauweise 7R untergebracht.

2 Technische Daten

Eingang

Versorgungsgleichspannungsbereich	36 V bis 75 V
Nennspannung	(48-V-, 60-V-Batterie)
Überspannungsverträglichkeit	Stoßwelle $u = 100 \text{ V}$; 0,1/0,3 ms (s. VDE 0432 Teil 2, ähnlich Bild 2)

Leistungsaufnahme bei 60 V und
Nennlast (140 W) etwa 187 W

Absicherung des Geräts durch Selbstschalter
mit Nennstromstärke 10 A

Ausgänge

Ausgang	U_{B1}	U_{B2}	U_{B3}	U_{B4}
Ausgangsspannung im Nennlastbereich	+5 V \pm 2%	+13,8 V \pm 5%	+10 V \pm 2%	+5 V \pm 2%
Ausgangsstrombereich	8 bis 14 A	0,6 bis 2 A	0,9 bis 1,8 A	1 bis 5 A
max. Ausgangsstrom bei Überlast (Grenzwert)	\leq 19,5 A	\leq 4 A	\leq 3,3 A	\leq 6,5 A
Überlagerte Wechsel- spannung U_{SS} (Grundwelle)	\leq 50 mV	\leq 50 mV	\leq 50 mV	\leq 50 mV

Betriebsspannungsüberwachung

Die Ausgangsspannungen werden auf ihre Grenzwerte hin überwacht. Bei einer Störung werden – mit einem Relais über einen potentialfreien Umschaltekontakt sowie über besondere Schaltkreise an entsprechenden Ausgängen POR-Signale (Power-On-Reset) – Störungsmeldungen bei den in der folgenden Tabelle aufgelisteten Kriterien abgegeben. Dadurch können bei Ausfall der Stromversorgung die entsprechenden Daten im Zentralgestell noch rechtzeitig gegen Verlust geschützt werden.

Ausgangsspannung	U _{B1}	U _{B2}	U _{B3}	U _{B4}
Störungsmeldung durch Kontaktgabe (potentialfreier Umschaltekontakt an z22, b22, z20 bei:	> 5,4 V bis 5,6 V oder < 4,8 V bis 4,65 V	> 15,8 V oder < 12,42 V	> 11 V oder < 9 V	> 5,4 V bis 5,6 V oder < 4,8 V bis 4,65 V
Störungsmeldung durch Abgabe von POR-Signal ("LOW") ¹⁾ am Ausgang d20 (POR-FDS) zur Funk-Daten-Steuerung bei:	> 5,4 V bis 5,65 V oder < 4,8 V bis 4,65 V	-	-	-
Störungsmeldung durch Abgabe von POR-Signal ("LOW") ¹⁾ am Ausgang b20 (POR-PHE) zum Phasen-Empfänger bei:	-	> 15,8 V oder < 12,42 V	> 11 V oder < 9 V	< 5,4 V bis 5,6 V oder < 4,8 V bis 4,65 V

Das Signal für die jeweilige Störungsmeldung wird immer mit > 20 ms verlängerter Dauer abgegeben, als der entsprechende Störfall andauert (dieses ist zur rechtzeitigen Datensicherung im Zentralgestell im Störfall erforderlich).

Eingangsspannungsüberwachung

Die Eingangsspannung wird ebenfalls überwacht; bei einem Absinken dieser Spannung auf ≤ 40 V bis 39 V und einer Dauer von > 20 ms, wird am Ausgang d24 (SAS) ein Spannungsausfallsignal ("LOW")¹⁾ abgegeben. Dieses Signal wird > 20 ms länger gesendet, als der Störfall andauert.

Bei einem Ausfall der Eingangsspannung der länger dauert als 20 ms ($\pm 10\%$), ist sichergestellt, daß die Ausgangsspannung U_{B1} für einen Zeitraum von 40 ms nach dem Ausfall noch innerhalb der zulässigen Toleranz bleibt (Datensicherung im Zentralgestell).

1) bei störungsfreiem Betrieb "HIGH"

3 Arbeitsweise

3.1 Allgemeines

Die Stromversorgung ist mit zwei getrennten Umrichterschaltungen und je einer zugehörigen Steuerschaltung aufgebaut.

Über den Umrichter 1 (mit Schalttransistor 355 und Steuerschaltung 368) wird die Ausgangsspannung U_{B1} (+5 V), über den Umrichter 2 (mit Schalttransistor 398 und Steuerschaltung 412) die Ausgangsspannungen U_{B2} (+13,8 V), U_{B3} (+10 V) und U_{B4} (+5 V) erzeugt.

Die Umrichter arbeiten nach dem Prinzip des pulsbreitengeregelten Eintakt- Durchflußumrichters mit einer konstanten Schaltfrequenz von etwa 60 kHz und variablem Tastgrad ($\gamma \leq 0,5$). Die galvanische Trennung der Primär- und Sekundärkreise ist über Transformatoren und Optokoppler gewährleistet.

Die für beide Umrichterschaltungen gemeinsame Eingangsschaltung enthält ein Störschutzfilter und eine Diode, die zusammen mit dem vorgeschalteten Schutzschalter das Gerät bei Verpolung der Eingangsspannung abschaltet.

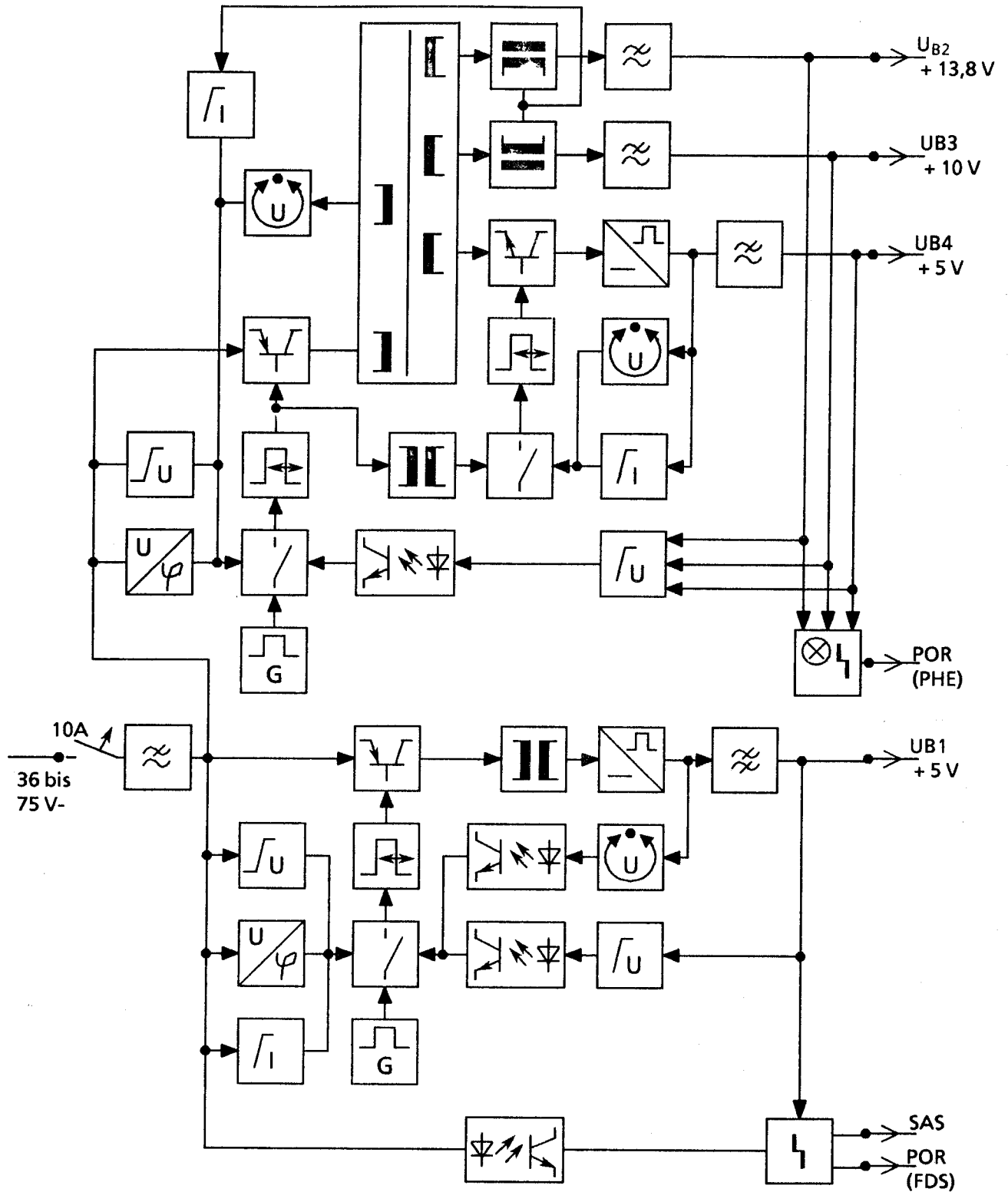


Bild 1 Übersichtsschaltplan Stromversorgung S42023-H903-A2

3.2 Umrichter 1 für UB1

3.2.1 Leistungsteil

Der Eingangsstrom wird nach Durchlaufen des Eingangsfilters vom Leistungstransistor 355 mit einer Schaltfrequenz von etwa 60 kHz geschaltet. Die entstehende Rechteck-Pulsspannung transformiert der Transformator 472 auf den erforderlichen Wert der Sekundärseite. Während der Durchlaßphase des Transistors 355 ist die Diode 389 (1-3) leitend und der Verbraucher am Ausgang (d, b, z, 8, 10, 12) wird aus dem Transformator 472 gespeist, die Speicherdrossel 473 nimmt zur gleichen Zeit Energie auf. Während der Sperrphase des Transistors 355 ist die Diode 389 (1-3) gesperrt, die Spannung an der Speicherdrossel polt sich um und speist nun über die Freilaufdiode 389 (2-3) den Verbraucher.

3.2.2 Steuerschaltung

Die Steuerschaltung mit den Schaltkreisen 368 und 369 wird während der Anlaufphase des Durchflußumrichters von der Eingangsspannung der Stromversorgung über eine Stabilisierungsschaltung (Transistor 358) versorgt. Nach dem Anlaufen des Umrichters wird die Steuerschaltung aus der Wicklung 2-13 des Übertragers 480 im Umrichter 2 gespeist.

Der Schalttransistor 355 im Leistungsteil wird dann über den Treiber 369 vom Steuerschaltkreis 368 angesteuert.

3.2.2.1 Steuerschaltkreis

Der Steuer-IC 368 enthält die Schaltungen mit folgenden Funktionen:

- Taktgeber für 60 kHz mit den frequenzbestimmenden Bauelementen 37 und 265.
- Steuerschaltung für den Tastgrad des Umrichters (in Abhängigkeit der Versorgungsspannung am Eingang; zugehörige Bauteile 31, 32 und 266)
- Abschaltung des Umrichters bei Unterspannung (Eingang 6 des IC 368)
- Abschaltung des Umrichters bei Überspannung (Eingang 7 des IC 368)
- Eingangsstrombegrenzung für den Umrichter durch Soll-Istwert-Vergleich im Operationsverstärker des IC 368 (Eingang 8 und 9)
- Referenzspannungserzeugung (Ausgang 10)

3.2.3 Ausgangsspannungsregler für U_{B1}

Zum Regeln der Ausgangsspannung U_{B1} wird der Istwert am Ausgang über den Spannungsteiler 83, 84 gewonnen. Die während der Durchlaßzeit des Durchflußumrichters an der Drossel 473 aufgebaute Rampenspannung wird dem Istwert überlagert und dann im Komparator 387 mit dem mit der Referenzdiode 388 erzeugten Sollwert verglichen. Erreicht dieser Istwert den Sollwert am Komparator, so wird über den Optokoppler 370 und die Steuerschaltung 368 der Schalttransistor 355 gesperrt.

3.2.4 Überwachung der Ausgangsspannung U_{B1}

3.2.4.1 Signalisierung bei Spannungsausfall

Bei ungestörtem Betrieb liegt am Ausgang d24 (SAS) H-Pegel. D. h. bei einer Eingangsspannung ab etwa 40 V- wird über den Komparator 364 (Ausgang 1, 2) der Optokoppler 359 gesperrt und über den Transistor 385 H-Pegel an d24 gelegt.

Bei einem Ausfall der Eingangsspannung wird nach 20 ms als SAS (Spannungsausfall-Signal) L-Pegel an d24 abgegeben. Es ist dabei sichergestellt, daß die Ausgangsspannung U_{B1} (+5 V) ab diesem Zeitpunkt noch für weitere 20 ms innerhalb der vorgeschriebenen Toleranz liegt.

3.2.4.2 Abgabe eines POR-Signals (Power-On-Reset) bei Über- oder Unterspannung von U_{B1}

Im normalen Betriebsfall liegt am POR (FDS)-Ausgang d20, H-Pegel. Bei Über- oder Unterspannung am Ausgang U_{B1} (+5 V) wird als POR-Signal L-Pegel an d20 abgegeben.

Bei Überspannung $\geq 5,4$ V wird über den Komparator 377 (Ausgang 1) der Optokoppler 381 durchgeschaltet. Dadurch wird in der Steuerschaltung 368 eine Unterspannung am Eingang simuliert und der Transistor 355 infolgedessen gesperrt. Gleichzeitig wird über den Komparator 377 (Ausgang 2) der Transistor 383 durchgesteuert, damit der Transistor 384 gesperrt und der Ausgang d20 (POR-FDS) auf L-Pegel gesetzt. Über den Komparator 377 (Ausgang 14) werden gleichzeitig die Transistoren 452 und 455 angesteuert und das Relais 495 fällt ab und gibt an den Ausgängen z22, b22, z20 eine entsprechende Störungsmeldung (Kontaktgabe) ab.

Bei Unterspannung $< 4,8 \text{ V}$ wird über den Komparator 377 (Ausgang 13) der Transistor 384 gesperrt und dadurch am Ausgang d20 das POR-Signal (L-Pegel) abgegeben. Gleichzeitig wird über den Komparator 377 (Ausgang 14) das Relais 495 – wie bei Überspannung $\geq 5,4 \text{ V}$ – umgeschaltet und die entsprechende Störungsmeldung abgegeben.

3.3 Umrichter 2 für U_{B2} , U_{B3} und U_{B4}

3.3.1 Leistungsteil

Der Umrichter 2 ist im Prinzip gleich wie der Umrichter 1 aufgebaut. Der Eingangsstrom hierfür wird nach Durchlaufen des gemeinsamen Eingangsfilters vom Leistungstransistor 398 mit der Tastfrequenz 60 kHz geschaltet. Die entstehende Rechteck-Pulsspannung transformiert der Transformator 480 auf die gewünschten Werte der Sekundärseite. Während der Durchlaßphase des Transistors 398 sind die Dioden 449 (1-2), 446 (3-2) 438, 430 (1, 3-2), 403 leitend und die Verbraucher an den Ausgängen für U_{B2} , U_{B3} , U_{B4} sowie die Steuerschaltung werden aus dem Transformator 398 gespeist. Die Speicherdrosseln 491, 487 und 483 nehmen zur gleichen Zeit Energie auf.

Während der Sperrphase des Transistors 398 sind die Dioden gesperrt, die Spannung an den Speicherdrosseln polt sich um und die Verbraucher werden nun über die entsprechenden Freilaufdioden 449 (3-2) 446 (1-2), 434 (1, 2-3) und 404 gespeist.

3.3.2 Steuerschaltung

Die Steuerschaltung mit den Schaltkreisen 412 und 413 wird während der Anlaufphase des Durchflußumrichters aus der Eingangsspannung der Stromversorgung über eine Stabilisierungsschaltung (Transistor 406) versorgt. Nach dem Anlaufen des Umrichters wird die Steuerschaltung aus der Wicklung 2-13 des Übertragers 480 über die Dioden 403 und 404 gespeist.

Der Steuerschaltkreis 412 schaltet über das Treiber-IC 413 den Schalttransistor 398.

Damit beide Umrichter jeweils gleichzeitig einschalten, wird der Steuerschaltkreis 412 (an 5-14) über eine Leitung vom Steuerschaltkreis 368 des Umrichters 1 synchronisiert.

Der Steuerschaltkreis 412 ist mit dem Steuerschaltkreis 368 identisch und enthält die Schaltungen mit den gleichen Funktionen (siehe 3.2.2.1).

3.3.3 Ausgangsspannungsregler für U_{B2} und U_{B3}

Die Ausgangskreise für U_{B2} (+ 13,8 V) und U_{B3} (+ 10 V) werden über die gemeinsame EMK geregelt.

Die am Übertrager 480 (Wicklung 2-13) erzeugte Spannung wird als Regelgröße (Istwert) verwendet; sie ist den Spannungen für die beiden Ausgangskreise U_{B2} und U_{B3} (Wicklungen 1-14 und 3-12) proportional. Über den Spannungsteiler 112, 113 und 114 wird sie dem Komparator 402 (4, 6) zugeführt und hier mit der Referenzspannung (Sollwert) aus dem Steuer-IC 412 (10) verglichen. Die während der Durchlaßzeit des Schalttransistors 398 erzeugte Rampenspannung an der Drossel 481 (3) überlagert sich dem Istwert. Sobald nun dieser Wert (Istwert) den Sollwert erreicht, sperrt der Komparator 402 (1, 2) über das Steuer-IC 412 (4) den Schalttransistor 398.

Zur Strombegrenzung in den beiden Ausgangskreisen leiten die Stromwandler 486 (für U_{B2}) und 489 (für U_{B3}) entsprechende Spannungen ab. Diese werden über die Dioden 445 und 448 gleichgerichtet, mit den Dioden 444 und 447 voneinander entkoppelt und dann parallelgeschaltet dem Steuerschaltkreis 412/8 als Istwert zugeführt. Am Anschluß 9 des Steuer-ICs liegt die vom Anschluß 10 gelieferte Referenzspannung als Sollwert.

Überschreitet der Istwert (8) den an 9 liegenden Sollwert, wird der Schalttransistor 398 über das Steuer-IC abgeschaltet und der Ausgangsstrom dadurch entsprechend begrenzt.

3.3.4 Ausgangsspannungsregler für U_{B4}

Die Ausgangsspannung U_{B4} wird mit einem getakteten Durchflußumrichter nachgeregelt. Der Schalttransistor (431) wird bei Beginn der Durchlaßphase des Schalttransistors 398 und der Diode 430 durchgeschaltet. Die am Ausgang d, b, z, 8, 10, 12 (U_{B4}) angeschlossenen Verbraucher werden aus dem Übertrager 480 (Wicklung 6-7) gespeist, während die Speicherdrossel 483 Energie aufnimmt. Die Ausgangsspannung wird geregelt, indem der Schalttransistor 431 jeweils abgeschaltet wird, bevor die Durchlaßphase des Umrichtertransistors 398 beendet ist. Während der nachfolgenden Sperrphase speist die Speicherdrossel 483 über die Freilaufdiode 434 (1, 3-2) die angeschlossenen Verbraucher.

Die Steuerschaltung zum Abschalten des Schalttransistors in der Nachregelung wird aus dem Übertrager 480 (Wicklung 4-5) über die Stabilisierungsschaltung (Transistor 441) mit etwa +10 V gespeist.

Gleichzeitig mit dem Einschalten des Schalttransistors 398 auf der Primärseite wird über den Übertrager 482 der Transistor 442 durchgesteuert und dann über den C-MOS-Buffer 435 der Schalttransistor 431 eingeschaltet.

Für die Nachregelung wird die Ausgangsspannung am Elko 313 über einen Spannungsteiler (Widerstände 174, 177 und 179/168/169) zur Istwertbildung abgegriffen. Die während der Durchlaßphase von der Drossel 483 erzeugte Rampenspannung wird dieser Spannung am Widerstand 171 überlagert. Dieser Istwert wird nun im Komparator 436/7 mit dem am Anschluß 6 des Komparators anliegenden Sollwert verglichen. Sobald der Istwert den Sollwert erreicht, sperrt der Komparator 436/1, über die Diode 443 und den Buffer 435 den Schalttransistor 431.

Zur Strombegrenzung wird im Komparator 436/8,9,14 der Spannungsabfall am Meßwiderstand 170 mit dem Referenzwert (Zenerdiode 437) verglichen. Übersteigt der Ist- den Sollwert, so sperrt dieser Komparator über die Diode 443 und den Buffer 435 den Schalttransistor 431.

Der getaktete Nachregler geht – nach dem Einschalten des Geräts – erst in Betrieb, wenn der Kondensator 316 auf eine Spannung von ≥ 8 V aufgeladen ist. Dies wird mit dem Komparator 436/2,4,5 erreicht, dem über den Spannungsteiler (Widerstände 182/1-2, 6-7) der Istwert und von der Referenzdiode 437 der Sollwert zugeführt wird.

Mit dem Komparator 436/10,11,13 wird ein Wiedereinschalten des Schalttransistors 31 nach einer Abschaltung durch den Spannungsregler oder durch die Strombegrenzung (bei Überstrom) verhindert.

Der Schalttransistor 431 wird immer nur über den Transformator 482 mit der Anstiegsflanke des Rechtecksignals wieder eingeschaltet.

3.3.5 Überwachung der Ausgangsspannungen U_{B2} , U_{B3} und U_{B4}

Die Ausgangsspannungen U_{B2} , U_{B3} und U_{B4} werden überwacht. Solange die Ausgänge ihre Nennspannungen abgeben, liegt am Ausgang b20 das POR-Signal "H". Bei Über- oder Unterspannung an mindestens einem der Ausgänge (U_{B2} , U_{B3} und U_{B4}) wird der Ausgang b20 auf "L" geschaltet.

Bei **Überspannung** an einem der Ausgänge wird über die Komparatoren 471/6,7,1 (für U_{B2}), 418/6,7,1 (für U_{B3}) oder 419/6,7,1 (für U_{B4}) der Optokoppler 424 durchgeschaltet. Hierdurch wird über den Komparator 402/8,9,10,11,13,14 für die Steuerschaltung 412 "Unterspannung" simuliert. Diese sperrt dann den Schalttransistor 398 des Umrichters.

Gleichzeitig wird entsprechend über den Komparator 417/2; 418/2 oder 419/2 der Transistor 426 durchgesteuert und Transistor 427 gesperrt. Das POR-Signal wird dadurch auf LOW gesetzt.

Der Komparator 419/14 schaltet ebenfalls über den Transistor 452 das Relais 495 ab und gibt an den Ausgängen z22, b22, z20 eine entsprechende Störungsmeldung ab.

Bei **Unterspannung** an einem der Ausgänge für U_{B2} , U_{B3} oder U_{B4} wird entsprechend über die Komparatoren 417/13, 418/13 oder 419/13 der Transistor 427 gesperrt und dadurch das POR-Signal auf "L" gelegt.

Gleichzeitig schaltet der Komparator 419/14 über den Transistor 452 das Relais 495 ab und gibt auch hier die entsprechende Störungsmeldung ab.

4 Geräteübersicht

Bezeichnung	Sach-Nr.	Maße in mm (B x H x T)	Gewicht in kg etwa
Stromversorgung	S42023-H903-A2	110x595x232	7,5



SIEMENS

Fu Tel C-Netz
Beschreibung

Stromversorgung

S42023-H905-A1

S42023-H905-A1-2-18

Inhalt

	Seite
1 Anwendung	3
2 Technische Daten	4
2.1 Eingang	4
2.2 Ausgang	4
2.3 Signalisierung	5
3 Arbeitsweise	6
3.1 Allgemeines	6
3.2 Funktionseinheiten	6
3.2.1 Durchflußumrichter	6
3.2.2 Steuerschaltung	8
3.2.3 Ausgangsspannungsregler	8
3.2.4 Überwachung und Signalisierung	10
4 Geräteübersicht	11

Herausgegeben vom Bereich Öffentliche Vermittlungssysteme
Hofmannstraße 51, D-8000 München 70
Verfasser: SÖ ETG 113 Wien

Weitergabe sowie Vervielfältigung dieser Unterlage, Verwertung
und Mitteilung ihres Inhalts nicht gestattet, soweit nicht aus-
drücklich zugestanden. Zuwiderhandlungen verpflichten zu Scha-
denersatz. Alle Rechte vorbehalten, insbesondere für den Fall der
Patenterteilung oder GM-Eintragung.
Technische Änderungen vorbehalten.

© Siemens AG 1990

1 Anwendung

Die Stromversorgung S42023-H905-A1 liefert die Betriebsspannungen für die FME-Einsätze in den FME-Gestellen. Sie kann bis zu drei FME-Einsätze pro FME-Gestell versorgen.

Bei einer Versorgungsgleichspannung zwischen 36 V und 75 V gibt das Gerät folgende, geregelte Ausgangsspannungen ab: +10 V und +5 V. Der Versorgungsspannungsbereich ist für den Anschluß an Amtsbatterien mit einer Nennspannung von 48 V oder 60 V ausgelegt. Ein- und Ausgang sind galvanisch getrennt. Das Gerät ist leerlauf- und kurzschlußfest und gegen falsche Polung der Versorgungsspannung mit Hilfe einer Querdiode am Eingang geschützt. Die Ausgangsspannungen werden intern auf die oberen und unteren Grenzwerte hin überwacht; eine Strombegrenzung sichert das Gerät gegen Überlastung.

Konstruktiv ist die Stromversorgung als 195mm hoher Einsatz der Bauweise 7R4.2 ausgeführt.

2 Technische Daten

2.1 Eingang

Versorgungsgleichspannung	36 V bis 75 V (48-V- oder 60-V-Batterie)
Überspannungsverträglichkeit	Stoßwelle $u = 150 \text{ V}$ 0,1/0,3 ms
Wirkungsgrad bei Nennlast	etwa 77 %
Absicherung des Gerätes durch Schutzschalter mit Nennstromstärke	4 A (bei 48-V- und 60-V-Batterie)

Verpolschutz mittels Querdiode in Verbindung mit einem Schutzschalter.

Der Stromversorgungseinsatz darf nur in spannungslosem Zustand gesteckt oder gezogen werden (Schutzschalter im Gestell auf "Aus").

2.2 Ausgang

Ausgang	UB1	UB2
Ausgangsspannung im Lastbereich	+10 V $\pm 5\%$	+5V $\pm 2\%$
Ausgangsstrombereich	0,9 A bis 3,6 A	1 A bis 7,6 A
Max. Ausgangsstrom bei Überlast	$\leq 6 \text{ A}$	$\leq 10,5 \text{ A}$
Überlagerte Wechselspannung Grundwelle Nadelspitze	$\leq 50 \text{ mV}_{\text{SS}}$ $\leq 100 \text{ mV}_{\text{SS}}$	$\leq 50 \text{ mV}_{\text{SS}}$ $\leq 100 \text{ mV}_{\text{SS}}$

Maximal zulässige Ausgangsleistung

74 W

Alle Betriebsspannungen sind leerlauf-, überlast- und kurzschlußfest

3 Arbeitsweise

3.1 Allgemeines

Die Stromversorgung arbeitet nach dem Prinzip des pulsbreitengeregelten Eintakt-Durchflußumrichters (variabler Tastgrad $\leq 50\%$) mit konstanter Schaltfrequenz von etwa 60 kHz.

Die Schaltung besteht aus den folgenden Funktionseinheiten: Durchflußumrichter, Steuerschaltung, Regelschaltung je Ausgangskreis, Überwachung und Signalisierung. Jeder Ausgang ist mit einer Strombegrenzung versehen, die vor dem Überschreiten des maximal zulässigen Ausgangsstromes anspricht.

Wird bei einer der Ausgangskreise die maximal zulässige Spannung überschritten, schaltet das Gerät automatisch ab und läßt sich nur durch einen Schaltzyklus (Aus- und Einschalten am zugehörigen Stromverteiler) wieder in Betrieb nehmen.

3.2 Funktionseinheiten

3.2.1 Durchflußumrichter

Nach dem Eingangsfiler, wird die Versorgungsgleichspannung durch den Transistorschalter 206, der das Stellglied des Umrichters bildet (Tastgrad ist $\gamma \leq 0,5\%$), mit einer konstanten Schaltfrequenz von etwa 60 kHz in eine unipolare Rechteckspannung gewandelt, die über den Transformator 282 auf die zwei Ausgangskreise übertragen wird. Während der Durchlaßzeit des Transistors 206 sind folgende sekundärseitigen Gleichrichterioden leitend 225/1-2 und 243/1-2. Das heißt, die ausgangsseitig angeschlossenen Verbraucher werden während dieser Phase aus den entsprechend zugeordneten Sekundärwicklungen 282/1,2-13, 14 und 282/8-9 gespeist. Gleichzeitig nehmen die Speicherdrosseln 287 und 292 Energie auf.

Mit der Sperrphase des Transistors 206 sperren gleichzeitig die Gleichrichterioden 225/1-2 und 243/1-2. Demzufolge polen sich die Spannungen an den Speicherdrosseln 287 und 292 um und geben die Energie über Dioden 225/2-3 und 243/2-3 an die Verbraucher weiter.

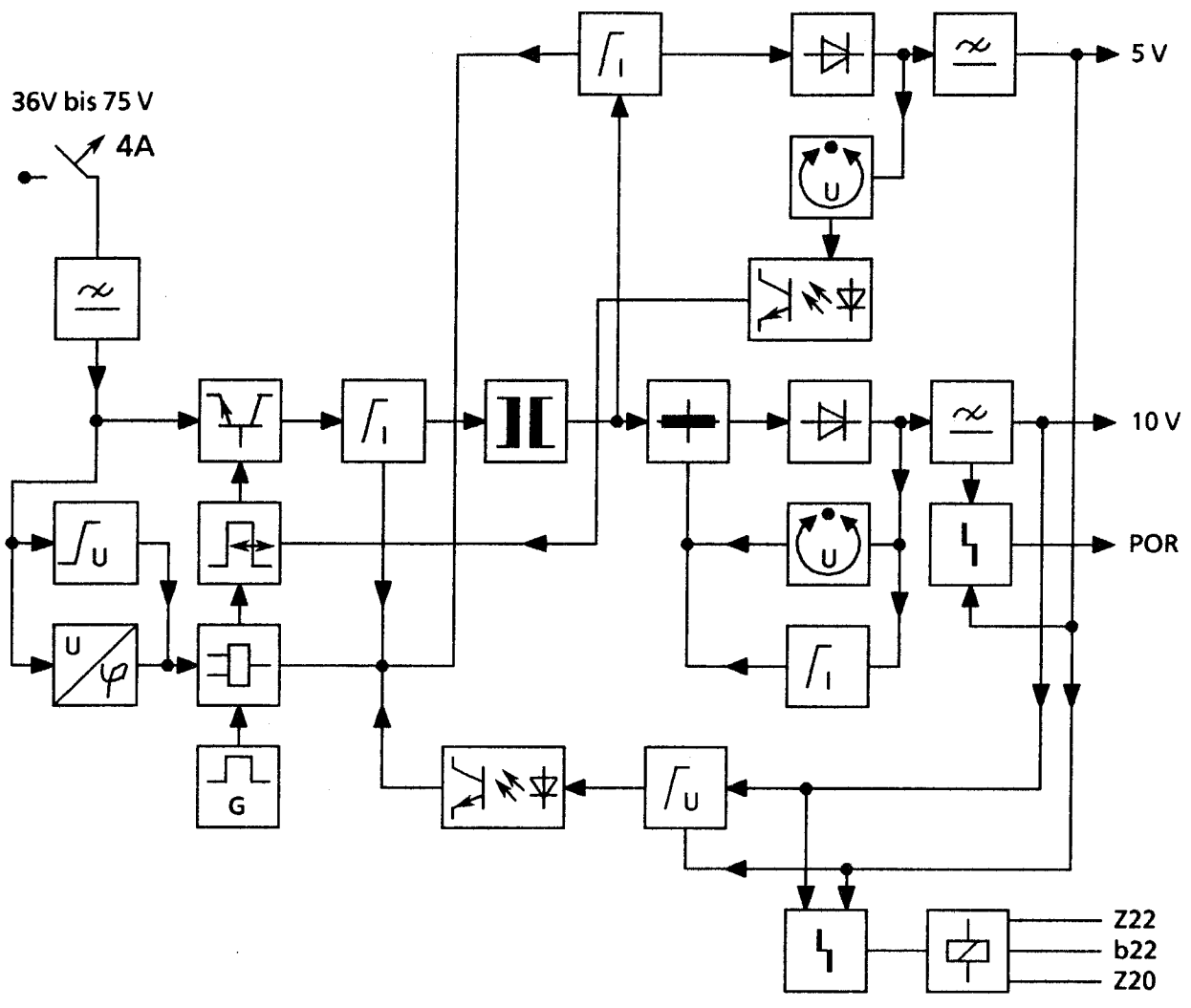


Bild 1 Übersichtsschaltplan Stromversorgung S42023-H905-A1

3.2.2 Steuerschaltung

Die Steuerbausteine 215 und 220 und die äußere Beschaltung dieser Bausteine wird während der Anlaufphase des Durchflußumrichters aus der Versorgungsspannung über eine Stabilisierungsschaltung (Transistor 208, Z-Dioden 209, 210, 213) versorgt. Nach Beendigung der Anlaufphase speist die Wicklung 8,7 der Speicherdrossel 287 über die Gleichrichterdiode 226 die Steuerschaltung.

Die Versorgungsspannung für den Treiberbaustein 220 wird durch zusätzliche Stabilisierung mit dem Transistor 214 und der Z-Diode 213 aus der Versorgungsspannung für die Steuerschaltung gewonnen.

Die Ausgänge 12 und 13 des Steuer-IC 215 steuern über den Treiber 220 direkt den Schalttransistor 206 mit dem 60-kHz-Signal an.

Der Steuer-IC 215 enthält die Schaltungen mit den folgenden Funktionen:

- Taktgeber für 60 kHz mit dem frequenzbestimmenden Widerstand 39 an Pin 2
- Referenzspannung (2,5 V) an Pin 10
- Weicher Anlauf mit dem Kondensator 146
- Abschaltung des Gerätes bei zu geringer Eingangsspannung (Pin 6)
- Abschaltung des Gerätes bei zu hoher Eingangsspannung (Pin 7)
- Primärstrombegrenzung durch Vergleich der am Meßwiderstand 23 entsprechenden Spannung an Pin 8 mit der über Widerstände 47 und 48 geteilten Referenzspannung (Pin 9).

3.2.3 Ausgangsspannungsregler

Beide Ausgangsspannungen werden getrennt geregelt. Die 5-V-Spannung wird laufend gemessen und durch eine Tastgradänderung in der Steuerschaltung (215) geregelt. Die 10-V-Spannung wird mit einem magnetischen Regler innerhalb der vorgegebenen Toleranz gehalten.

3.2.3.1 Ausgangsspannungsregler 5 V

Die mit dem Spannungsteiler 62, 63 und 67 unterteilte Ausgangsspannung ist der Istwert für den Operationsverstärker 228 (Anschluß 4).

Der Sollwert liegt am Anschluß 3 des Operationsverstärkes 228 und wird von der Referenzdiode 227 geliefert. Bei Änderung des Istwertes wird über den Operationsverstärker-Ausgang 7 der Optokoppler 221 entsprechend stark angesteuert. Ein höherer Istwert ergibt einen niedrigeren Steuerstrom für den Optokoppler und

umgekehrt. Der Optokoppler-Fototransistor ändert die Spannung am Eingang 4 des Steuer-IC 215. Hierdurch wird der Tastgrad des Umrichters verändert. Eine höhere Ausgangsspannung verkleinert den Tastgrad. Eine kleinere Ausgangsspannung vergrößert den Tastgrad.

3.2.3.2 Ausgangsspannungsregler 10 V

Die Ausgangsspannung +10 V wird mit einem Transduktorregler (Transduktordrossel 290, Operationsverstärker 238, Transistoren 240, 242) auf Nennspannung gehalten. Die Verbraucherspannung wird an den Operationsverstärker 238, Anschluß 5, über den Spannungsteiler 77, 83, 84 gelegt und bildet den Istwert.

Die Sollwertspannung liegt am Anschluß 6 des Operationsverstärkers 238; diese wird von der konstanten Spannung der Zenerdiode 236 zwischen 238-8 und 238-6 abgeleitet. Schwankungen der Ausgangsspannung steuern über den Operationsverstärker 238-7, den Transistor 242 und dadurch den Transistor 240 mehr oder weniger durch. Während der Sperrphase des Umrichters wird über die Regelschaltung (Transistor 240) die umgepolte Übertragerspannung (282) aus der Wicklung 8-9 an die Transduktordrossel gelegt. Diese Spannung bringt das Magnetmaterial aus der magnetischen Sättigung in einen bestimmten Arbeitspunkt auf der Hystereseschleife. Während der Durchlaßphase des Umrichters liegt zunächst die volle Übertragerspannung (Wicklung 8-9) an der Transduktordrossel. Diese Drossel wird vom Arbeitspunkt (aufgebaut während der Sperrphase) aus aufmagnetisiert. In dieser Zeit fließt kein Strom durch die in Reihe geschaltete Gleichrichterdiode 243 (1-2). Erst wenn die Transduktordrossel gesättigt ist, wird die Sperrung unwirksam und Strom kann fließen. Über die Regelschaltung (Transistor 240) wird der Arbeitspunkt auf der Hystereseschleife so eingestellt, daß die Ausgangsspannung konstant bleibt. Es ergibt sich somit eine Impulsbreitenregelung auf rein magnetischer Basis.

Eine Begrenzung sorgt für die Kurzschlußfestigkeit des Ausgangskreises. Übersteigt die Spannung am Meßwiderstand 80 einen bestimmten Wert – dieser entspricht dem Strombegrenzungseinsatz – steigt die Spannung am Eingang 2 des Operationsverstärkers 238 über den am Eingang 3 anliegenden Spannungswert an. Über den Anschluß 1 wird dann der Basisstrom am Transistor 242 abgeleitet und der Transistor 240 stärker durchgesteuert. Hierdurch wird der Arbeitspunkt auf der Hystereseschleife der Transduktordrossel so weit zurückgelegt, daß während der Durchlaßphase des Umrichters nur kurzzeitig ein Strom durch den Gleichrichter 243 (1-2) fließen kann. Vom Strombegrenzungseinsatz bis zum Kurzschluß am Ausgang sinkt die Ausgangsspannung steil ab.

3.2.4 Überwachung und Signalisierung

Die Ausgangsspannungen +5 V und +10 V werden auf Über- und Unterspannung überwacht. Solange die Ausgänge ihre Nennspannungen abgeben liegt am Ausgang b20 das Power-on-Reset-Signal H (high).

Bei Über- oder Unterspannung am mindestens einem der Ausgänge wird der Ausgang b20 auf L (low) geschaltet. Bei Überspannung am Ausgang +10 V wird über den Komparator 252, Ausgang 2; bei Überspannung am Ausgang +5 V über den Komparator 253, Ausgang 2, der Transistor 255 durchgesteuert und der Transistor 256 gesperrt. Das POR-Signal wird dadurch auf L gesetzt. Gleichzeitig wird durch den Komparator 253, Ausgang 14, das Relais 295 über den Transistor 246 abgeschaltet und gibt an seinen Ausgängen z22, b22, z20 eine entsprechende Störmeldung ab. Bei unzulässig hohen Ausgangsspannungen wird der Umrichter mit dem Schalttransistor 206 abgeschaltet. Für die Abschaltung sorgen die Komparatoren 252 Ausgang 1 (10-V-Kreis) und 253 Ausgang 1 (5-V-Kreis). Sie schalten den Optokoppler 260 durch, der über den Komparator 216, Ausgang 7 am Eingang 6 der Steuerschaltung eine Unterspannung simuliert und den Umrichter abschaltet. Diese Schaltung arbeitet mit Hilfe der Diode 218 als Selbsthalteschaltung; sie kann nur durch Aus- und Wiedereinschalten der Versorgungsspannung (Selbstschalter) entriegelt werden.

Bei Unterspannung am Ausgang +10 V wird über den Komparator 252, Ausgang 13; bei Unterspannung am Ausgang +5 V wird über den Komparator 253, Ausgang 13 der Transistor 256 gesperrt und das POR-Signal auf L gelegt. Der Komparator 252, Ausgang 14 ergibt eine eindeutige Schaltschwelle am Eingang 11 des Komparators 252. Gleichzeitig schaltet auch hier der Komparator 253, Ausgang 4 das Relais 246 ab und die Störungsmeldung wird abgegeben.

4 Geräteübersicht

Bezeichnung	Sach-Nr.	Maße in mm B x H x T	Gewicht in kg
Stromversorgung	S42023-H905-A1	110x195x232	2,8

C

C

C

C

Stromversorgung

S42023-H905-A1

Inhalt

	Seite
1 Anwendung	3
2 Technische Daten	4
2.1 Eingang	4
2.2 Ausgang	4
2.3 Signalisierung	5
3 Arbeitsweise	6
3.1 Allgemeines	6
3.2 Funktionseinheiten	6
3.2.1 Durchflußumrichter	6
3.2.2 Steuerschaltung	8
3.2.3 Ausgangsspannungsregler	8
3.2.4 Überwachung und Signalisierung	10
4 Geräteübersicht	11

Herausgegeben von Bereich
 Öffentliche Vermittlungssysteme
 Hofmannstraße 51, D-8000 München 70



1 Anwendung

Die Stromversorgung S42023-H905-A1 liefert die Betriebsspannungen für die FME-Einsätze in den FME-Gestellen. Sie kann bis zu drei FME-Einsätze pro FME-Gestell versorgen.

Bei einer Versorgungsgleichspannung zwischen 36 V und 75 V gibt das Gerät folgende, geregelte Ausgangsspannungen ab: +10 V und +5 V. Der Versorgungsspannungsbereich ist für den Anschluß an Amtsbatterien mit einer Nennspannung von 48 V oder 60 V ausgelegt. Ein- und Ausgang sind galvanisch getrennt. Das Gerät ist leerlauf- und kurzschlußfest und gegen falsche Polung der Versorgungsspannung mit Hilfe einer Querdiode am Eingang geschützt. Die Ausgangsspannungen werden intern auf die oberen und unteren Grenzwerte hin überwacht; eine Strombegrenzung sichert das Gerät gegen Überlastung.

Konstruktiv ist die Stromversorgung als 195mm hoher Einsatz der Bauweise 7R4.2 ausgeführt.

2 Technische Daten

2.1 Eingang

Versorgungsgleichspannung	36 V bis 75 V (48-V- oder 60-V-Batterie)
Überspannungsverträglichkeit	Stoßwelle $\hat{u} = 150 \text{ V}$ 0,1/0,3 ms
Wirkungsgrad bei Nennlast	etwa 77 %
Absicherung des Gerätes durch Schutzschalter mit Nennstromstärke	4 A (bei 48-V- und 60-V-Batterie)

Verpolschutz mittels Querdiode in Verbindung mit einem Schutzschalter.

Der Stromversorgungseinsatz darf nur in spannungslosem Zustand gesteckt oder gezogen werden (Schutzschalter im Gestell auf "Aus").

2.2 Ausgang

Ausgang	U_{B1}	U_{B2}
Ausgangsspannung im Lastbereich	+10 V $\pm 5\%$	+5V $\pm 2\%$
Ausgangsstrombereich	0,9 A bis 3,6 A	1 A bis 7,6 A
Max. Ausgangsstrom bei Überlast	$\leq 6 \text{ A}$	$\leq 10,5 \text{ A}$
Überlagerte Wechselspannung Grundwelle Nadelspitze	$\leq 50 \text{ mV}_{SS}$ $\leq 100 \text{ mV}_{SS}$	$\leq 50 \text{ mV}_{SS}$ $\leq 100 \text{ mV}_{SS}$

Maximal zulässige Ausgangsleistung 74 W

Alle Betriebsspannungen sind leerlauf-, überlast- und kurzschlußfest

3 Arbeitsweise

3.1 Allgemeines

Die Stromversorgung arbeitet nach dem Prinzip des pulsbreitengeregelten Eintakt-Durchflußumrichters (variabler Tastgrad $\leq 50\%$) mit konstanter Schaltfrequenz von etwa 60 kHz.

Die Schaltung besteht aus den folgenden Funktionseinheiten: Durchflußumrichter, Steuerschaltung, Regelschaltung je Ausgangskreis, Überwachung und Signalisierung.

Jeder Ausgang ist mit einer Strombegrenzung versehen, die vor dem Überschreiten des maximal zulässigen Ausgangsstromes anspricht.

Wird bei einer der Ausgangskreise die maximal zulässige Spannung überschritten, schaltet das Gerät automatisch ab und läßt sich nur durch einen Schaltzyklus (Aus- und Einschalten am zugehörigen Stromverteiler) wieder in Betrieb nehmen.

3.2 Funktionseinheiten

3.2.1 Durchflußumrichter

Nach dem Eingangsfiler, wird die Versorgungsgleichspannung durch den Transistorschalter 206, der das Stellglied des Umrichters bildet (Tastgrad ist $\gamma \leq 0,5\%$), mit einer konstanten Schaltfrequenz von etwa 60 kHz in eine unipolare Rechteckspannung gewandelt, die über den Transformator 282 auf die zwei Ausgangskreise übertragen wird. Während der Durchlaßzeit des Transistors 206 sind folgende sekundärseitigen Gleichrichterioden leitend 225/1-2 und 243/1-2. Das heißt, die ausgangseitig angeschlossenen Verbraucher werden während dieser Phase aus den entsprechend zugeordneten Sekundärwicklungen 282/1,2-13, 14 und 282/8-9 gespeist. Gleichzeitig nehmen die Speicherdrosseln 287 und 292 Energie auf.

Mit der Sperrphase des Transistors 206 sperren gleichzeitig die Gleichrichterioden 225/1-2 und 243/1-2. Demzufolge polen sich die Spannungen an den Speicherdrosseln 287 und 292 um und geben die Energie über Dioden 225/2-3 und 243/2-3 an die Verbraucher weiter.

3.2.2 Steuerschaltung

Die Steuerbausteine 215 und 220 und die äußere Beschaltung dieser Bausteine wird während der Anlaufphase des Durchflußumrichters aus der Versorgungsgleichspannung über eine Stabilisierungsschaltung (Transistor 208, Z-Dioden 209, 210, 213) versorgt. Nach Beendigung der Anlaufphase speist die Wicklung 8,7 der Speicherdrossel 287 über die Gleichrichterdiode 226 die Steuerschaltung.

Die Versorgungsspannung für den Treiberbaustein 220 wird durch zusätzliche Stabilisierung mit dem Transistor 214 und der Z-Diode 213 aus der Versorgungsspannung für die Steuerschaltung gewonnen.

Die Ausgänge 12 und 13 des Steuer-IC 215 steuern über den Treiber 220 direkt den Schalttransistor 206 mit dem 60-kHz-Signal an.

Der Steuer-IC 215 enthält die Schaltungen mit den folgenden Funktionen:

- Taktgeber für 60 kHz mit dem frequenzbestimmenden Widerstand 39 an Pin 2
- Referenzspannung (2,5 V) an Pin 10
- Weicher Anlauf mit dem Kondensator 146
- Abschaltung des Gerätes bei zu geringer Eingangsspannung (Pin 6)
- Abschaltung des Gerätes bei zu hoher Eingangsspannung (Pin 7)
- Primärstrombegrenzung durch Vergleich der am Meßwiderstand 23 entsprechenden Spannung an Pin 8 mit der über Widerstände 47 und 48 geteilten Referenzspannung (Pin 9).

3.2.3 Ausgangsspannungsregler

Beide Ausgangsspannungen werden getrennt geregelt. Die 5-V-Spannung wird laufend gemessen und durch eine Tastgradänderung in der Steuerschaltung (215) geregelt. Die 10-V-Spannung wird mit einem magnetischen Regler innerhalb der vorgegebenen Toleranz gehalten.

3.2.3.1 Ausgangsspannungsregler 5 V

Die mit dem Spannungsteiler 62, 63 und 67 unterteilte Ausgangsspannung ist der Istwert für den Operationsverstärker 228 (Anschluß 4).

Der Sollwert liegt am Anschluß 3 des Operationsverstärkes 228 und wird von der Referenzdiode 227 geliefert. Bei Änderung des Istwertes wird über den Operationsverstärker-Ausgang 7 der Optokoppler 221 entsprechend stark angesteuert. Ein

höherer Istwert ergibt einen niedrigeren Steuerstrom für den Optokoppler und umgekehrt. Der Optokoppler-Fototransistor ändert die Spannung am Eingang 4 des Steuer-IC 215. Hierdurch wird der Tastgrad des Umrichters verändert. Eine höhere Ausgangsspannung verkleinert den Tastgrad. Eine kleinere Ausgangsspannung vergrößert den Tastgrad.

3.2.3.2 Ausgangsspannungsregler 10 V

Die Ausgangsspannung + 10 V wird mit einem Transduktorregler (Transduktordrossel 290, Operationsverstärker 238, Transistoren 240, 242) auf Nennspannung gehalten. Die Verbraucherspannung wird an den Operationsverstärker 238, Anschluß 5, über den Spannungsteiler 77, 83, 84 gelegt und bildet den Istwert.

Die Sollwertspannung liegt am Anschluß 6 des Operationsverstärkers 238; diese wird von der konstanten Spannung der Zenerdiode 236 zwischen 238-8 und 238-6 abgeleitet. Schwankungen der Ausgangsspannung steuern über den Operationsverstärker 238-7, den Transistor 242 und dadurch den Transistor 240 mehr oder weniger durch. Während der Sperrphase des Umrichters wird über die Regelschaltung (Transistor 240) die umgepolte Übertragerspannung (282) aus der Wicklung 8-9 an die Transduktordrossel gelegt. Diese Spannung bringt das Magnetmaterial aus der magnetischen Sättigung in einen bestimmten Arbeitspunkt auf der Hystereseschleife. Während der Durchlaßphase des Umrichters liegt zunächst die volle Übertragerspannung (Wicklung 8-9) an der Transduktordrossel. Diese Drossel wird vom Arbeitspunkt (aufgebaut während der Sperrphase) aus aufmagnetisiert. In dieser Zeit fließt kein Strom durch die in Reihe geschaltete Gleichrichterdiode 243 (1-2). Erst wenn die Transduktordrossel gesättigt ist, wird die Sperrung unwirksam und Strom kann fließen. Über die Regelschaltung (Transistor 240) wird der Arbeitspunkt auf der Hystereseschleife so eingestellt, daß die Ausgangsspannung konstant bleibt. Es ergibt sich somit eine Impulsbreitenregelung auf rein magnetischer Basis.

Eine Begrenzung sorgt für die Kurzschlußfestigkeit des Ausgangskreises. Übersteigt die Spannung am Meßwiderstand 80 einen bestimmten Wert – dieser entspricht dem Strombegrenzungseinsatz – steigt die Spannung am Eingang 2 des Operationsverstärkers 238 über den am Eingang 3 anliegenden Spannungswert an. Über den Anschluß 1 wird dann der Basisstrom am Transistor 242 abgeleitet und der Transistor 240 stärker durchgesteuert. Hierdurch wird der Arbeitspunkt auf der Hystereseschleife der Transduktordrossel so weit zurückgelegt, daß während der Durchlaßphase des Umrichters nur kurzzeitig ein Strom durch den Gleichrichter 243 (1-2) fließen kann.

Vom Strombegrenzungseinsatz bis zum Kurzschluß am Ausgang sinkt die Ausgangsspannung steil ab.

3.2.4 Überwachung und Signalisierung

Die Ausgangsspannungen +5 V und +10 V werden auf Über- und Unterspannung überwacht. Solange die Ausgänge ihre Nennspannungen abgeben liegt am Ausgang b20 das Power-on-Reset-Signal H (high).

Bei Über- oder Unterspannung am mindestens einem der Ausgänge wird der Ausgang b20 auf L (low) geschaltet. Bei Überspannung am Ausgang +10 V wird über den Komparator 252, Ausgang 2; bei Überspannung am Ausgang +5 V über den Komparator 253, Ausgang 2, der Transistor 255 durchgesteuert und der Transistor 256 gesperrt. Das POR-Signal wird dadurch auf L gesetzt. Gleichzeitig wird durch den Komparator 253, Ausgang 14, das Relais 295 über den Transistor 246 abgeschaltet und gibt an seinen Ausgängen z22, b22, z20 eine entsprechende Störungsmeldung ab. Bei unzulässig hohen Ausgangsspannungen wird der Umrichter mit dem Schalttransistor 206 abgeschaltet. Für die Abschaltung sorgen die Komparatoren 252 Ausgang 1 (10-V-Kreis) und 253 Ausgang 1 (5-V-Kreis). Sie schalten den Optokoppler 260 durch, der über den Komparator 216, Ausgang 7 am Eingang 6 der Steuerschaltung eine Unterspannung simuliert und den Umrichter abschaltet. Diese Schaltung arbeitet mit Hilfe der Diode 218 als Selbsthalterschaltung; sie kann nur durch Aus- und Wiedereinschalten der Versorgungsspannung (Selbstschalter) entriegelt werden.

Bei Unterspannung am Ausgang +10 V wird über den Komparator 252, Ausgang 13; bei Unterspannung am Ausgang +5 V wird über den Komparator 253, Ausgang 13 der Transistor 256 gesperrt und das POR-Signal auf L gelegt. Der Komparator 252, Ausgang 14 ergibt eine eindeutige Schaltschwelle am Eingang 11 des Komparators 252. Gleichzeitig schaltet auch hier der Komparator 253, Ausgang 4 das Relais 246 ab und die Störungsmeldung wird abgegeben.

4 Geräteübersicht

Bezeichnung	Sach-Nr.	Maße in mm B x H x T	Gewicht in kg
Stromversorgung	S42023-H905-A1	110x195x232	2,8



SIEMENS

Fu Tel C-Netz

ORTSFESTES SPRECHFUNKGESTELL

SE72

LM 5.0

S42023-H907-A1-1-18

Herausgegeben vom Bereich Öffentliche Vermittlungssysteme
Hofmannstraße 51, D-8000 München 70
Verfasser, SÖ ETG 22, Wien

Weitergabe sowie Vervielfältigung dieser Unterlage, Verwertung
und Mitteilung ihres Inhalts nicht gestattet, soweit nicht aus-
drücklich zugestanden. Zuwiderhandlungen verpflichten zu Scha-
denersatz. Alle Rechte vorbehalten, insbesondere für den Fall der
Patenterteilung oder GM-Eintragung.
Technische Änderungen vorbehalten.

© Siemens AG 1989

S42023-H907-A1-1-18

INHALT	Seite
1 ANWENDUNG	5
2 ELEKTRISCHE DATEN	7
2.1 Funkgestell, Sprechkanal	7
2.2 Funkgestell (unbestückt) FuG	10
2.3 Senderendstufe SdE	11
2.4 Senderüberwachung 1 SdÜw1	14
3 ARBEITSWEISE DES FUNKGESTELLS	16
3.1 Einsatz, kpl. Senderendstufe SE72 SdE	16
3.2 Einsatz, kpl. Senderüberwachung 1 SE72 SdÜw1	19
4 ARBEITSWEISE DER BAUGRUPPEN SdE	21
4.1 Senderverstärker SdVr	21
4.2 Richtleitung RiLtg	25
4.3 Senderregelung 3 SdRgl 3	26
5 ARBEITSWEISE DER BAUGRUPPEN SdÜw1	36
5.1 Richtkoppler-Senderüberwachung RiK SdÜw	36
5.1.1 Richtkoppler-Senderüberwachung RiLtg SdÜw	36
5.1.2 Richtkoppelpverstärker-Senderüberwachung RiKVr SdÜw	36
5.2 Einwegleitung (Isolator)	39
6 AUFBAU DES FUNKGESTELLS	40
6.1 Funkgestell SE72 FuG	40
6.2 Anschlußfeld SE72	43
7 BAUGRUPPEN-BEZEICHNUNGEN, ABKÜRZUNGEN, ABMESSUNGEN, GEWICHTE	47

INHALT		Seite
8	INWEIS ZU BERYLLIUMOXID (BEO)-KERAMIK	49
8.1	Allgemeines	49
8.2	Reparatur von Baugruppen mit Beo-Keramik behafteten Bauteile	49
9	SIGNAL-ABKÜRZUNGEN	50
10	ALLGEMEINE ABKÜRZUNGEN	54

Das Sprechfunkgestell SE72 ist für den Einsatz im Funktelefondienst (FuTelD) Netz C der Deutschen Bundespost bestimmt. Es arbeitet im UHF-Bereich von 450 ... 470 MHz (Sendefrequenz stationär: 461,30 ... 465,74 MHz; Sendefrequenz mobil: 451,30 ... 455,74 MHz).

Die Funkfeststation (FuFSt) besteht aus dem Zentralgestell 1 und 2 (Siemens) und den Sprechfunkgestellen SE72, die wahlweise mit einem Einsatz Senderüberwachung 1 (siehe Bild 1-1 - Seite 1-2) oder je nach Anwendung mit einem Einsatz Antennenweiche (siehe Bild 1-2 - Seite 1-2) bestückt werden. Außerdem ist jedes Funkgestell mit einer Senderendstufe (TE KA DE), einem Funkkanalmodem und einer Stromversorgung (Siemens) ausgerüstet.

Bei Betrieb ohne Koppelinrichtung wird eine Antennenweiche eingesetzt. Die Koppelinrichtung oder die Antennenweiche ist mit einem Prüffunkgerät verbunden.

Im Funktelefondienst (FuTelD) der Deutschen Bundespost kommt allerdings nur die Senderüberwachung 1 zum Einsatz.

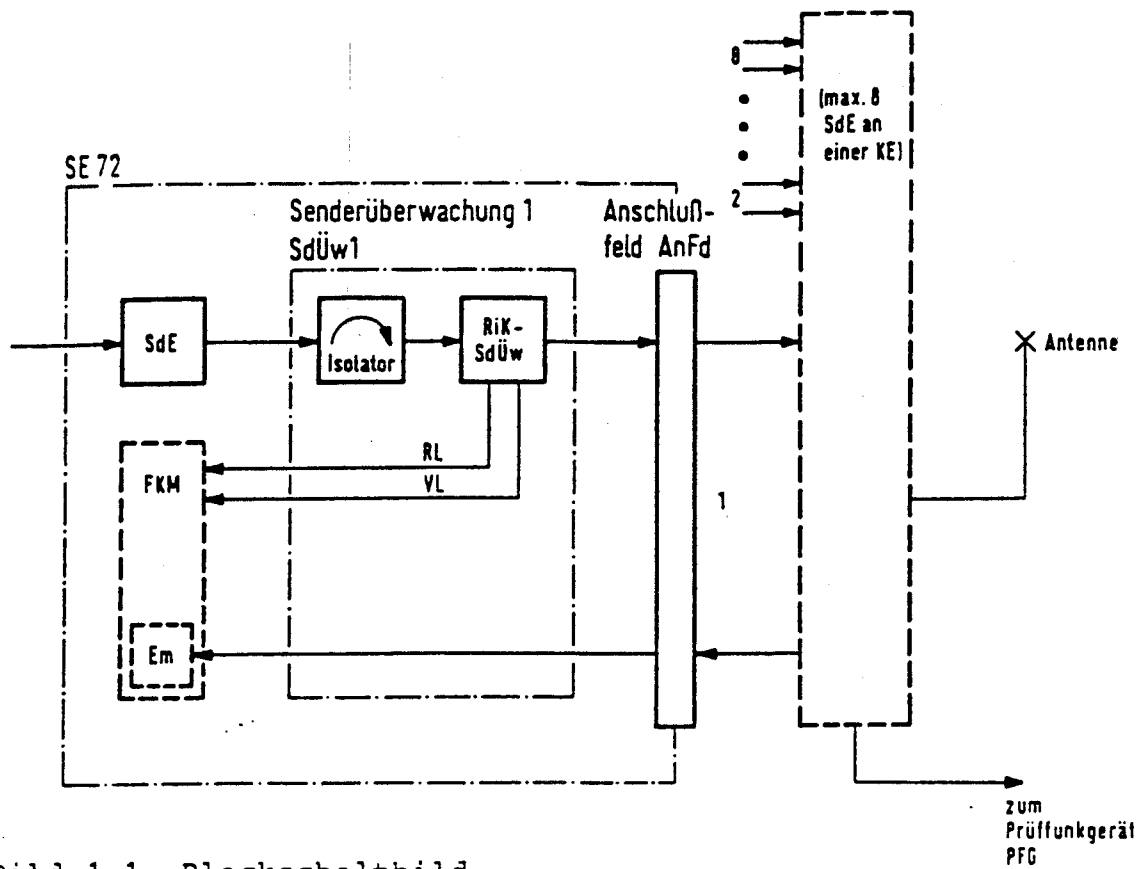


Bild 1-1 Blockschaltbild
SdÜw1 mit Umgebung

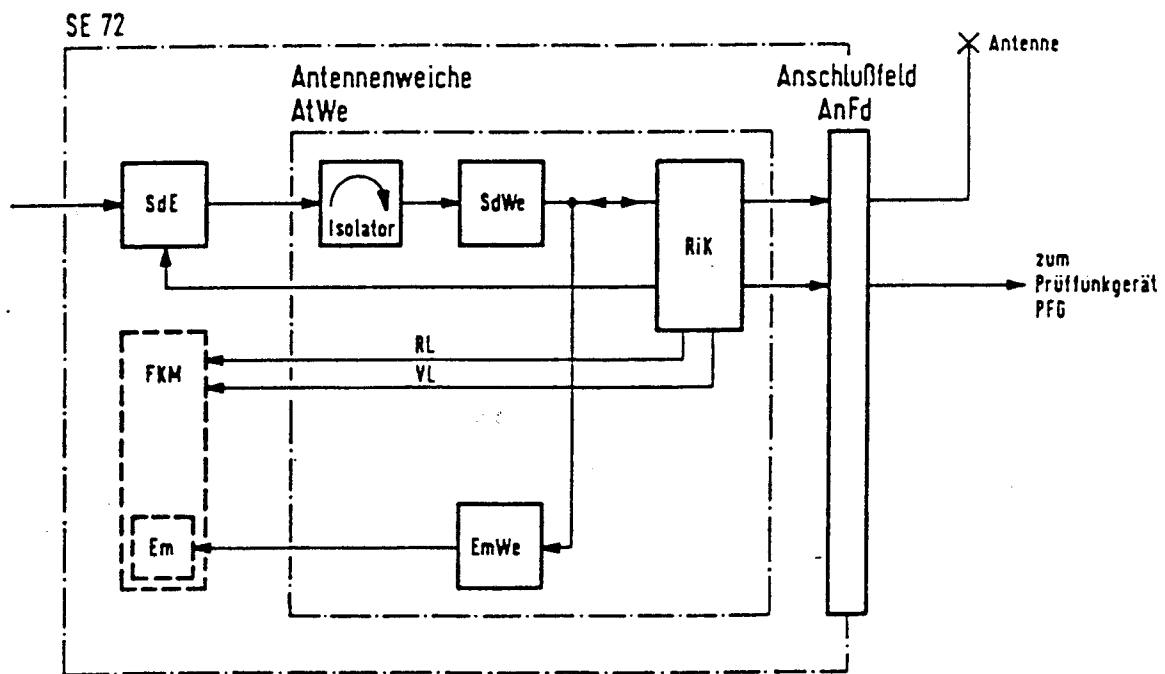


Bild 1-2 Blockschaltbild
AtWe mit Umgebung

2.1 Funkgestell, Sprechkanal

	Wert	Einheit	Bemerkungen
2.1.1 Eigenschaften des bestückten Gestells			Meßort ist das Anschluß- feld des Gestells
2.1.1.1 Betriebs-Spannungen/Ströme			
2.1.1.1.1 Eingangsgleichspannung	36...75	V	+Pol an Masse
2.1.1.1.2 Stromaufnahme	≤ 6	A	
2.1.1.1.3 Leistungsaufnahme	≤ 210	W	Ausgangslei- stung der Sendeendstu- fe: 40 W
2.1.1.1.4 Referenzfrequenz 6,4 MHz	≥ 0	dBm	Z = 50 Ohm
2.1.1.1.5 Systemtakt QSET	5	V	C-MOS
2.1.1.2 Betriebsarten	1. Sprache klar/WT 2. Verschleierung 3. Transitdaten 4. NF-/Transitdaten- schleifenschluß		Wechselstrom- telegraphie (WT)
2.1.1.3 Sendeart	FM-Duplex		
2.1.1.3.1 Frequenzhub bei klar/WT	≤ 4	kHz	mit Pre-/ Deemphasis
Verschleierung	≤ 4	kHz	
Sign.-Daten	≤ 2,5	kHz	
2.1.1.3.2 Funkkanalabstand einstellbare Frequenzschritte	20 10; 12,5	kHz kHz	
2.1.1.3.3 Duplexabstand	10	MHz	

	Wert	Einheit	Bemerkungen
2.1.1.4 Umweltbedingungen	R 12		FTZ Klima- modell
2.1.1.5 EMV	1)	V/m	
2.1.1.6 Sender (SdE)			
2.1.1.6.1 Frequenzbereich von bis	461,30 465,74	MHz MHz	
2.1.1.6.2 Leistungsstufen			
2.1.1.6.2.1 Leistungsreduzierung mit Toleranzen			SLEI-Befehl
1. Stufe	0 ± 0,3	dB dB	H H H
2. Stufe	- 5 ± 0,7	dB dB	H H L
3. Stufe	- 10 ± 1,1	dB dB	H L H
4. Stufe	- 15 ± 1,5	dB dB	H L L
5. Stufe	- 20 ± 1,8	dB dB	L H H
6. Stufe	- 25 ± 2,2	dB dB	L H L
7. Stufe	- 30 ± 2,6	dB dB	L L H
8. Stufe	- 35 ± 3,0	dB dB	L L L
Sender Aus	> 150	dB	SEI-Befehl = Low
2.1.1.6.2.2 Einschwingzeit zwischen beliebigen Leistungsstufen	< 757	µs	Zeit vom SLEI-Befehl bis 1 dB vor Erreichen der gewählten Leistungsstu- fe

1) Wert ist z.Z. nicht bekannt

	Wert	Einheit	Bemerkungen
2.1.1.6.2.3 Einschwingzeit beim Einschalten	< 757	µs	Zeit vom SEI- Befehl bis 1 dB unter Maximallei- stung
2.1.1.6.2.4 Einschwingzeit beim Ausschalten	< 1,5	ms	Zeit vom SEI- Befehl bis 70 dB unter Maximallei- stung
2.1.1.6.3 Nebenaussendungen außerhalb der Bandgrenzen	> 80	dB	ohne Filter- koppler
mit Antennenweiche	> 80	dB	
mit Senderüberwachung 1	> 40	dB	
2.1.1.6.4 Nebenaussendungen innerhalb der Bandgrenzen	> 80	dB	
2.1.1.6.5 Rauschleistungsabstand des unmodulierten Trägers			
im Nachbarkanal (± 20 kHz)	> 79	dB/14 kHz	
im Abstand > 5 MHz v. Träger	> 111	dB/14 kHz	
2.1.1.6.6 Nachbarkanalleistung des modulierten Trägers	> 70	dB	
2.1.1.6.7 Störabstand bez. auf $f_{mod} = 1$ kHz und Frequ.-Hub = $\pm 2,4$ kHz			In den Be- triebsarten Sprache klar/ WT und ver- schleiert
Fremdspg.-Abstand	> 40	dB	
Geräuschsp.-Abstand	> 50	dB	gemessen mit CCITT-Filter
Phasenjitter	< 1	Bit/128	
2.1.1.6.8 Hubbegrenzer			
Begrenzereinsatz	> 3,5	kHz	
Maximaler Frequenzhub	$\pm 4,0$	kHz	

2.2 Funkgestell (unbestückt) FuG
Ident-Nr. 2622 281470

	Wert	Einheit	Bemerkungen
2.2.1 Bauweise	7R2		
2.2.2 Verkabelung			
2.2.2.1 Gestellkabel	geschirmte Leitungen		Schirmadern an beiden En- den der Lei- tung an Ge- stellmasse
2.2.2.2 HF-Kabel	doppelt geschirmte 50-Ohm-Koax-Kabel		
2.2.3 Steckverbinder			gemäß Norm
2.2.4 Anschlußtechnik			Löttechnik
2.2.5 Anschluß der seriellen Datenschnittstellen			auf Steckver- bindern im Anschlußfeld
2.2.6 Richtkoppler V42244-W2-A RiK	1	Stück	Fester Be- standteil des Gestells
2.2.6.1 Durchgangsdämpfung	$\leq 0,6$	dB	
2.2.6.2 Auskoppeldämpfung	12 ± 1	dB	

2.3 Senderendstufe SdE
Ident-Nr. 2627 281480

	Wert	Einheit	Bemerkungen
2.3.1 Sendefrequenzen fs	461,30... 465,74	MHz	
2.3.2 HF-Eingangspegel Pe	+10...+13	dBm	
2.3.3 Reflexionsdämpfung des Einganges bei fs und Pe	> 15	dB	SEI = High
2.3.4 HF-Ausgangsleistung einstellbar durch 3-Bit-Befehl	> 29	W	typisch 33 W, gemessen am
Leistungsreduzierung und Toleranzen: siehe 2.1.1.6.2.1			Gestellknopf
2.3.5 Sendertastung mit Befehl SEI: High $\hat{=}$ Ein; Low $\hat{=}$ Aus			
Dämpfung der Sendefrequenz für SEI = Low	> 80	dB	
2.3.6 Oberwellenunterdrückung	> 35	dB	gemessen am Gestellkopf
2.3.7 Wirkungsgrad bei P = 46 W am Ausgang der Senderendstufe	> 33	%	

	Wert	Einheit	Bemerkungen
2.3.8 Einschwingzeit der HF- Ausgangsspannung			
2.3.8.1 Für das Umschalten zwischen allen Leistungsstufen vom SLEI-Befehl bis 1 dB vor Erreichen der neuen Leistungs- stufe	< 757	µs	
2.3.8.2 Vom SEI-Befehl (Low → High) bis 1 dB unter der gewählten Leistungsstufe	< 757	µs	
2.3.8.3 Vom SEI-Befehl (High → Low) bis 80 dB unter P max.	< 1,5	ms	
2.3.9 Störleistung beim Schalten zwischen beliebigen Leistungen am Antennenausgang, gemessen als Spitzenwert des Effektiv- wertes			
2.3.9.1 Im 20 kHz entfernten Nachbar- kanal	< 0	dBm	
2.3.9.2 In den weiter entfernten Nachbarkanälen abnehmend	> 6	dB/Oktave	
2.3.10 Schutzschaltung der SdE gegen Übertemperatur und Fehlan- passung			Schutz gegen beliebigen Fehlabschluß und gegen Übertempera- tur vorhanden

	Wert	Einheit	Bemerkungen
2.3.11 Überwachung			
2.3.11.1 Überwachungs- und Steuerpegel			
High	+ 5	V	CMOS Spez.
Low	0	V	CMOS Spez.
2.3.11.2 HF-Eingangspegel SdE (STFUI 0)			
High	> 10	dBm	
Low	< 7	dBm	
2.3.11.3 Leistungsregelung (STFUI 3) im Regelbereich: außerhalb des Regelbereichs:			
High	High		CMOS
Low	Low		CMOS
2.3.11.4 Temperatur SdE (STFUI 4) im zulässigen Betrieb: High zu hoch: Low			
High	High		CMOS
Low	Low		CMOS
2.3.11.5 Ansprechzeit der Überwachungen (außer 2.3.11.4) bezogen auf SEI-Befehl			
	< 1,7	ms	

2.4 Senderüberwachung 1 Sdöwl
Ident-Nr. 2627 282080

	Wert	Einheit	Bemerkungen
2.4.1 Betriebsspannungen/-ströme			
2.4.1.1 Eingangsspannung 5 V - zulässige Toleranz - Stromaufnahme	± 5 $< 0,05$	% A	
2.4.1.2 Eingangsspannung +13,8 V - zulässige Toleranz - Stromaufnahme	± 5 $< 0,05$	% A	
2.4.2 Wellenwiderstand HF-Ein-/und Ausgänge	50	Ohm	
2.4.3 Sendeweg Alle Angaben beziehen sich auf fs = 461,30 ... 465,74 MHz			
2.4.3.1 Dämpfung in Richtung Sd \rightarrow SdFi	$< 1,5$	dB	
2.4.3.2 Dämpfung in Richtung SdFi \rightarrow Sd	> 50	dB	
2.4.3.3 Reflexionsdämpfung Sender-Eingang	> 15	dB	
2.4.3.4 Maximale HF-Leistung am Ein- gang Bu6	85	W	
2.4.3.5 HF-Leistung am Ausgang Bu4 bei 45 W am Eingang Bu6	> 32	W	typisch 35 W
2.4.3.6 Reflektierte HF-Leistung am Sd-Ausgang	< 50	W	kurzzeitig (t $<$ 5 Min)
2.4.3.7 Zulässige Dauer der Belastung mit reflektierter HF-Leistung am Sd-Ausgang a) Prefl. = 40 W b) Prefl. = 6 W	< 10 t = ∞	Min.	ohne vorherige Erwärmung

	Wert	Einheit	Bemerkungen
2.4.4 Empfangsweg Dämpfung in Richtung Ant → Em oder Em → Ant für fE = 451,30 ... 455,74 MHz	< 0,3	dB	
2.4.5 Überwachung			
2.4.5.1 HF-Sendeleistung, Vorlauf, gemessen am Antennenanschluß (STFUI 6)	High > 19,5 Low < 12,5	W W	Vor Ort einstellbar
2.4.5.2 HF-Sendeleistung, Rücklauf, gemessen am Antennenanschluß (STFUI 7)	High < 2,0 Low > 4,0	W W	Vor Ort einstellbar
2.4.5.3 Ansprechzeit der Überwachungs- kriterien bezogen auf den SEI- Befehl	> 1,7	ms	
2.4.5.4 Logikpegel der Alarme: Alarm "ein" Alarm "aus"	0 + 5	V V	CMOS-Pegel CMOS-Pegel

3 ARBEITSWEISE DES FUNKGESTELLS SE72

3.1 Einsatz, kpl. Senderendstufe SE72 SdE Ident-Nr. 2627 281480

Der Einsatz, kpl. Senderendstufe SE72 ist in der Bauweise 7R2 ausgeführt. Der Anschluß des Gerätes an die Gestellverdrahtung bzw. an die anderen Einschübe des Funkgestells erfolgt über interne Steckverbindungen. Diese Steckverbindungen befinden sich im oberen Teil auf der Rückseite des Einsatzes. Sie enthalten eine 26polige Messerleiste über die

- die Betriebsspannungen,
- die Steuersignale, Ein- und Ausschaltsignale und ein 3-bit-Steuersignal, mit dem die abzugebende HF-Leistung bestimmt wird,
- die von der Senderendstufe erzeugten Alarmmeldungen

geführt werden und die Buchse Bu1 (siehe Bild 1-3 - Seite 1-13), über die die Eingangsleistung zum Sendeverstärker gelangt. Die Buchse Bu4 für den HF-Ausgang befindet sich im unteren Teil auf der Rückseite des Gestells (siehe Teil 4 - Seite 4-8).

Durch das Einschieben des Einsatzes in den Gestellrahmen sind alle Verbindungen zwischen SdE und FuG hergestellt.

Der Einsatz, kpl. Senderendstufe besteht aus dem Senderverstärker und der Senderregelung 3. Diese zwei Leiterplatten sind zu beiden Seiten eines U-Profilkühlkörpers angebracht. Dieser schirmt die beiden Baugruppen gegeneinander ab (siehe Teil 4 - Seite 4-8).

Eine Verbindung zwischen den Leiterplatten selbst und dem Anschlußfeld wird durch Kabelbäume hergestellt.

In einem abgeschirmten Kanal, der mit einer Abdeckung versehen ist, wird die Betriebsspannung für den Sendeverstärker zugeführt.



Um Verkopplungen zwischen den Verstärkerteilen zu vermeiden, befinden sich in diesem Kanal Filter aus Längsdrosseln DR17...21 und Durchführungskondensatoren C67, C68, C70...77 (siehe Teil 4 - Seite 4-12).

Eine Funktionsübersicht der SdE ist in Bild 1-3 - Seite 1-13 dargestellt.

Über Bu1 gelangt die aufbereitete HF zum Senderverstärker, wo sie in drei Stufen (Vorverstärker, Treiber und Endstufe) weiterverarbeitet wird. Im Richtkoppler werden die vorlaufende und die rücklaufende HF-Leistung über zwei Leitungsschleifen ausgekoppelt. Hierbei wird der Senderregelung 3 der Pegel des Vorlaufs über Bu3 und der Pegel des Rücklaufs über Bu2 zugeführt.

Die Regelung der Ausgangsleistung erfolgt über den Steuerstrom I_{st1} der SdRgl 3. Mit I_{st2} kann der Schalttransistor T7 des Verstärkers angesteuert werden und in Verbindung mit dem Signal SdVr "Ein" erfolgt eine Regelung der Leistung über T3.

Für eine Auswertung wird ein Teil der HF-Eingangsspannung gleichgerichtet, der als U_{HFSdSy} und U_{Ref} der Senderregelung 3 zugeführt wird.

Bei Verwendung eines Einsatzes Sdüw1 ist der Eingang (11) nicht angeschlossen. Die Rücklaufschutzschaltung ist nur in Verbindung mit einer Antennenweiche (AtWe) von Bedeutung.

Die Gleichspannungsversorgung der Senderendstufe erfolgt durch die DC-Stromversorgung (Siemens), die die Betriebsspannungen von +13,8 V und +5 V liefert.

3.2 Einsatz, kpl. Senderüberwachung 1 SE72 SdÜw1
 Ident-Nr. 2627 282080

Die Senderüberwachung 1 ist in einem 500-mm-Einschub der Bauweise 7R2 untergebracht. Der Anschluß des Gerätes an die anderen Einrichtungen des Gestells erfolgt über ein eigenes Anschlußteil. Durch das Einschieben des Einsatzes SdÜw1 in das Gestell werden alle Verbindungen zum Gestell und zu anderen Einsätzen hergestellt.

Eine Funktionsdarstellung ist aus dem Blockschaltbild (Bild 1-4 - Seite 1-16) zu entnehmen.

Beim Betrieb des Systems mit einer Koppereinrichtung (SdFi und EmTrVr) ist der Einsatz SdÜw1 erforderlich. Er dient als Bindeglied zwischen dem Ausgang der SdE und der Koppereinrichtung.

Die Senderüberwachung 1 hat folgende Aufgaben:

- Erhöhung der Entkopplung zwischen den auf eine Koppereinrichtung geschalteten Sendern
- Überwachung der abgegebenen HF-Leistung (Vorlauf) auf einen unteren Grenzwert
- Überwachung der rücklaufenden HF-Leistung auf einen oberen Grenzwert

Außer den Baugruppen Isolator, Richtleitung (RiLtg) und Richtkopplerverstärker (RiKVr) zwischen den Buchsen Bu6, Bu2 und St6 enthält die Senderüberwachung 1 eine Durchgangsleitung zwischen den Buchsen Bu12 und Bu5, die den Empfänger im FKM mit dem EmTrVr in der Koppereinrichtung verbindet.

Zeichnungen hierzu siehe Teil 4 - Seite 4-19...27.

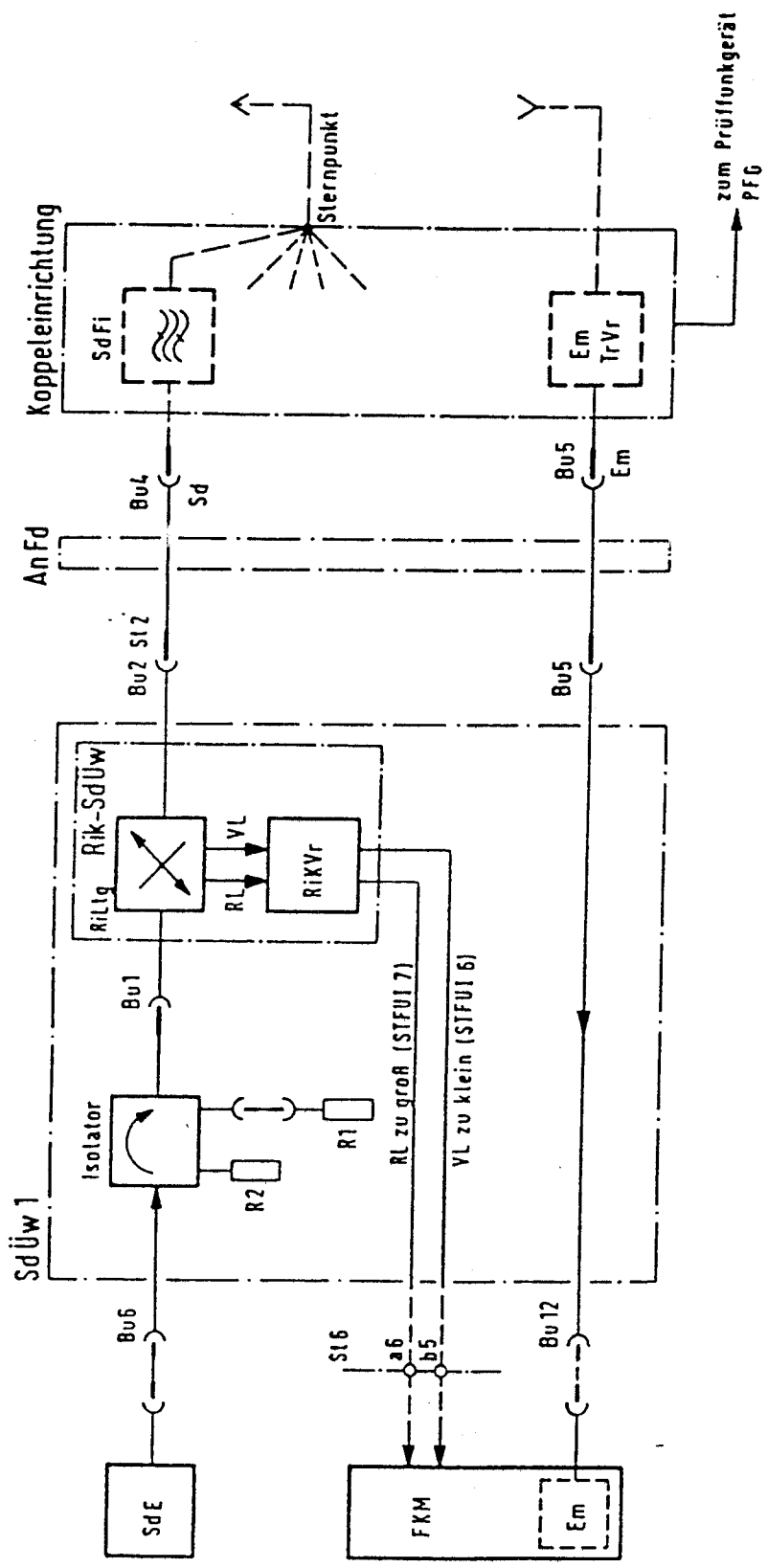


Bild 1-4 Blockschaltbild
Senderüberwachung 1 SE72

4.1 Senderverstärker SdVr

Ident-Nr. 3237 150421

Die Baugruppe Senderverstärker besteht aus zwei Schaltungen, die in abgeschirmten Kammern untergebracht und zusätzlich mit einem Deckel versehen sind (siehe Bild 1-5 und Teil 4 - Seite 4-7):

- Vorverstärker
- Endverstärker

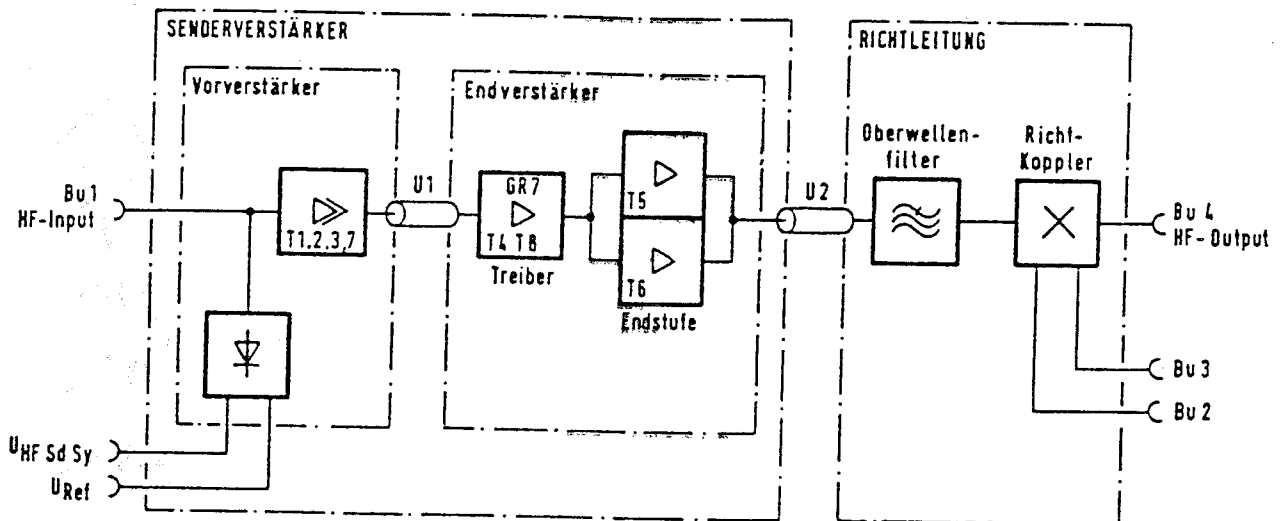


Bild 1-5 Blockschaltbild
Senderverstärker/Richtleitung

4.1.1 Vorverstärker

Der gesamte Vorverstärker besteht aus drei Stufen: T1, T2 und T3, die über Anpaßnetzwerke verbunden sind. Die Anpaßnetzwerke dienen dazu, die Impedanz der vorhergehenden Stufe an die Impedanz der nachfolgenden Stufe anzupassen.

Die Transistoren T1 und T2 arbeiten im B-Betrieb. Der dazu nötige Basisvorstrom wird mit den Vorwiderständen R16 für T1 und R22 für den Transistor T2 eingestellt (siehe auch Teil 4 - Seite 4-7). Zu diesem Zweck sind in die Kollektorleitung von T1 die Brücke A1 und in die Kollektorleitung von T2 die Brücke A2 eingefügt. Zum Abgleich wird statt der Brücke ein Strommesser eingesetzt und der Kollektorstrom, der ohne Ansteuerung durch die Transistoren fließt, eingestellt. Der Basisvorstrom von T1 wird außerdem mit dem Ansteuerbefehl I_{st2} der Sender-Regelung (H = ein) über den Schalttransistor T7 geschaltet.

Der Transistor T3 arbeitet im C-Betrieb, d.h. seine Basis ist galvanisch über die Spule L6 und nachgeschalteter Ferritperle mit Masse verbunden.

Die Ausgangsleistung des Sendeverstärkers wird über den Regelstrom I_{st1} geregelt, der von der Sender-Regelung erzeugt wird. Dieser Regelstrom wird über ein Korrektornetzwerk, bestehend aus GR9, GR10, R42, R43 dem Gleichrichter GR5 zugeführt. Der Gleichrichter wirkt als steuerbarer Widerstand, d.h. je höher der Steuerstrom wird, desto niederohmiger wird GR5 und umso weniger HF-Leistung wird der Basis von T3 zugeführt und damit entsprechend weniger HF-Leistung vom Senderverstärker abgegeben. Das Korrektornetzwerk hat die Aufgabe, einen linearen Verlauf des Widerstandes von GR5 zu erzielen.

Die Betriebsspannung für diese drei Stufen wird über Siebglieder (Drosseln, Kondensatoren an Masse) geführt, um gegenseitige Verkopplungen auszuschließen.

Am Eingang des Vorverstärkers wird ein Teil des Eingangssignals über C1 ausgekoppelt und gleichgerichtet. Die gleichgerichtete Spannung wird in IC1, Pin 1, 2, 3 verstärkt und steht als UHFSdSy zur Verfügung. Die Höhe der erzeugten Gleichspannung hängt von der Größe der Eingangsspannung ab. Mit dem zweiten Operationsverstärker in IC1, Pin 5, 6, 7 wird eine Referenzspannung ($U_{Ref.}$) erzeugt. Beide Spannungen werden der Senderregelung 3 zur Auswertung zugeführt.

Am Ausgang des Vorverstärkers steht an einer 50-Ohm-Schnittstelle (U1) eine Leistung von ca. 3...4 W zur Verfügung. Diese kann mit einem Leistungsmesser (50 Ohm) gemessen werden.

4.1.2 Endverstärker

Der Endverstärker besteht aus der Treiberstufe T4, der Endstufe T5 und T6, der Schaltstufe T8 und den Anpaßnetzwerken.

Die Treiberstufe T4 arbeitet im B-Betrieb. Der notwendige Vorstrom wird mit dem Vorwiderstand R30 eingestellt. Zum Messen des Kollektorstroms wird die Lötbrücke A3 durch einen Strommesser ersetzt. Der Vorstrom und damit die Treiberstufe werden von der Senderregelung 3 mit dem Signal SdVr "ein" über den Schalttransistor T8 geschaltet (L = ein). Über den Spannungsteiler R29 im Rahmen der SdE und dem Gleichrichter GR7 wird die Basisvorspannung von T4 auf ein Potential von 0,7 V geklemmt. Damit wird erreicht, daß die Basisvorspannung auch bei großer HF-Ansteuerung nicht negativ werden kann.

Über ein Anpaßnetzwerk steuert T4 die Parallelendstufe T5, T6 an. Das Netzwerk teilt die Steuerleistung gleichmäßig auf T5 und T6 auf.

Die Transistoren T5 und T6 arbeiten im C-Betrieb. Die Basen sind über die Spule L9 und die Drossel DR16 auf Masse gelegt. Die Widerstände R38 und R39 sind Ausgleichswiderstände, die nur wirksam werden, wenn eine Unsymmetrie vorliegt. Solange die Basen und die Kollektoren der beiden Transistoren gleiche Amplituden und gleiche Phasenlage der HF aufweisen, fließt kein Ausgleichsstrom.

Um die thermische HF-Belastung klein zu halten, sind die Kondensatoren C45 und C62 als Lufttrimmer ausgelegt und die Spule L10 am Ausgang des Endverstärkers angeordnet, die aus versilberten Blech besteht.

Die Ausgänge von T5 und T6 werden über ein Anpaßnetzwerk zu einem 50-Ohm-Ausgang zusammengefaßt. Die Ausgangsleistung steht (mit 50 Ohm) an der Trennstelle U2 zur Verfügung.

4.2 Richtleitung RiLtg
Ident-Nr. 3234 154755

Zwischen dem Ausgang des Endverstärkers (Schnittstelle U2) und der Buchse Bu4 (HF-Output) befindet sich die Richtleitung. Sie besteht aus einem Oberwellenfilter (C92, L21, C93, C91 trennt nur galvanisch) und einem Richtkoppler (siehe Teil 4 - Seite 4-7 und 4-16).

Der Richtkoppler besitzt zwei Koppelschleifen (abgeschlossen mit je 50 Ohm) für die vorlaufende und rücklaufende HF-Leistung. Der ausgekoppelte Pegel wird über die HF-Steckverbinder Bu2 und Bu3 (Rücklauf/Vorlauf) der Senderregelung 3 zugeführt.

Die Auskoppeldämpfung beträgt etwa 25 dB. Die HF-Ausgangsleistung wird der HF-Ausgangsbuchse Bu4 (HF-Output) zugeführt.

4.3 Senderregelung 3 SdRgl 3
Ident-Nr. 3237 154876

Für die Senderregelung 3 werden im Richtkoppler des Sendeverstärkers Meßpegel gewonnen (Koppeldämpfung: 25 dB).

Der Meßpegel für die vorlaufende Leistung liegt am HF-Eingang St3, der Meßpegel für die rücklaufende Leistung liegt am HF-Eingang St2 der Senderregelung 3 an (siehe Bild 1-6 - Seite 1-23).

Die Abschlußwiderstände für die HF-Leistungen bilden die Widerstände R11, R12 bzw. R31, R32.

Parallel zu den Eingangswiderständen sind die Spulen L1 und L2 geschaltet. Diese sollen die Schaltkapazitäten der Gleichrichterschaltungen und der Abschlußwiderstände kompensieren.

Die HF-Spannungen werden kapazitiv über C12 bzw. C20 an die HF-Gleichrichterschaltungen (GR8, IC12; GR10, IC5) gekoppelt.

Mit GR9, IC12 ist eine Referenzgleichrichterschaltung aufgebaut. Sie dient dazu, den Temperaturgang der Dioden GR8 und GR10 auszugleichen, und zwar durch Subtraktion der gewonnenen Gleichspannungen über IC6/3,2,1 bzw. IC13/6,5,7.

Der Sollwert der Senderausgangsleistung wird über die drei Leistungssteuereingänge SLEI0, SLEI1 und SLEI2 mit einem 3-bit-Befehl eingestellt:

SLEI2	SLEI1	SLEI0	Pegelreduzierung
H	H	H	0 dB ± 0,3 dB
H	H	L	- 5 dB ± 0,7 dB
H	L	H	- 10 dB ± 1,0 dB
H	L	L	- 15 dB ± 1,5 dB
L	H	H	- 20 dB ± 1,9 dB
L	H	L	- 25 dB ± 2,3 dB
L	L	H	- 30 dB ± 2,6 dB
L	L	L	- 35 dB ± 3,0 dB

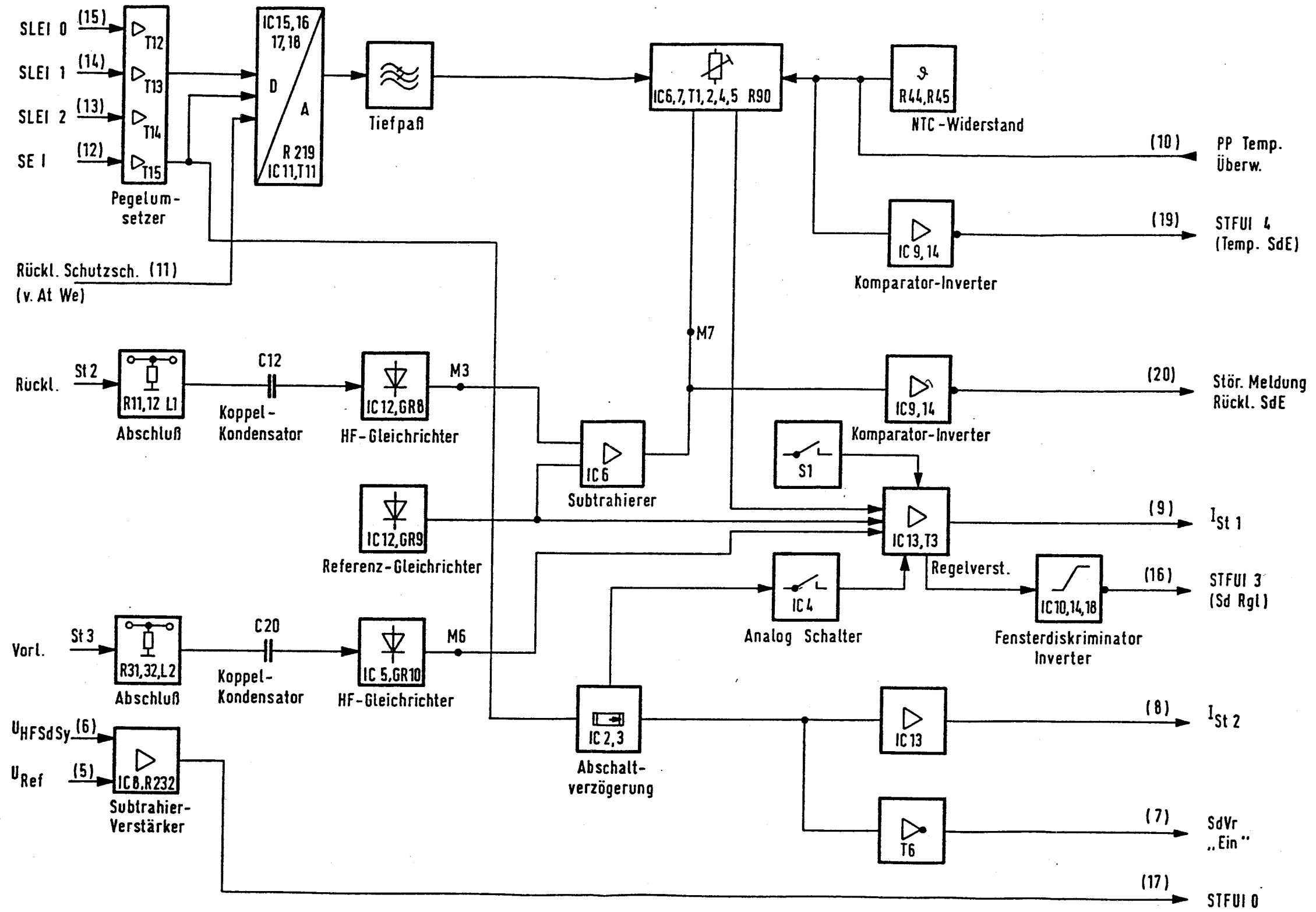


Bild 1-6 Blockschaltbild
Senderregelung 3



Die Transistoren T12...T15 setzen den Eingangspegel von 5 V auf 10 V um.

Diese Sperrung der Leistungsstufen tritt auf,

- wenn der Rücklauf > 4 W ist
- wenn der Einsatz SdÜw1 nicht angeschlossen ist
- wenn der Einsatz SdE nicht angeschlossen ist
- oder wenn die Leiterplatte SdRgl 3 nicht angeschlossen ist.

Für Leistungsmessungen am Meßplatz kann der Anschluß (11) galvanisch mit Masse verbunden werden.

Dieser Eingang ist nur in Verbindung mit einer Antennenweiche von Bedeutung.

Der Leistungsbefehl SLEI, zusammen mit dem Sendertastbefehl SEI (H am Eingang 12) bewirken über den BCD zu Dezimal-Dekoder IC15, die Widerstände (R201 ... 209) einen bestimmten Analogwert am D/A-Wandler (IC11, T11). Dieser wandelt die Spannung in einen Strom um, der mit dem Widerstand R219 eine Spannungsquelle mit definiertem Innenwiderstand bildet. Wird die Leistungsstufe geändert, bewirkt dies einen Spannungssprung am Widerstand R219. Die LC-Glieder aus L3, C71; L4, C72 verrunden auftretende Spannungssprünge \cos^2 -förmig.

Der so verformte Analogwert steuert die Konstantstromquelle IC7, T1. Diese liefert den Strom für die emitterseitig parallelgeschalteten Transistoren T2, T4 und T5. Liegt an den Transistoren T2 (Übertemperatur-Rückregelung) und T4 (Rücklauf-Rückregelung) keine Ansteuerung an, so fließt der gesamte Strom von T1 durch den Transistor T5, der über IC6/5,6,7 und R73 durchgesteuert ist (siehe auch Bild 1-7 - Seite 1-25).

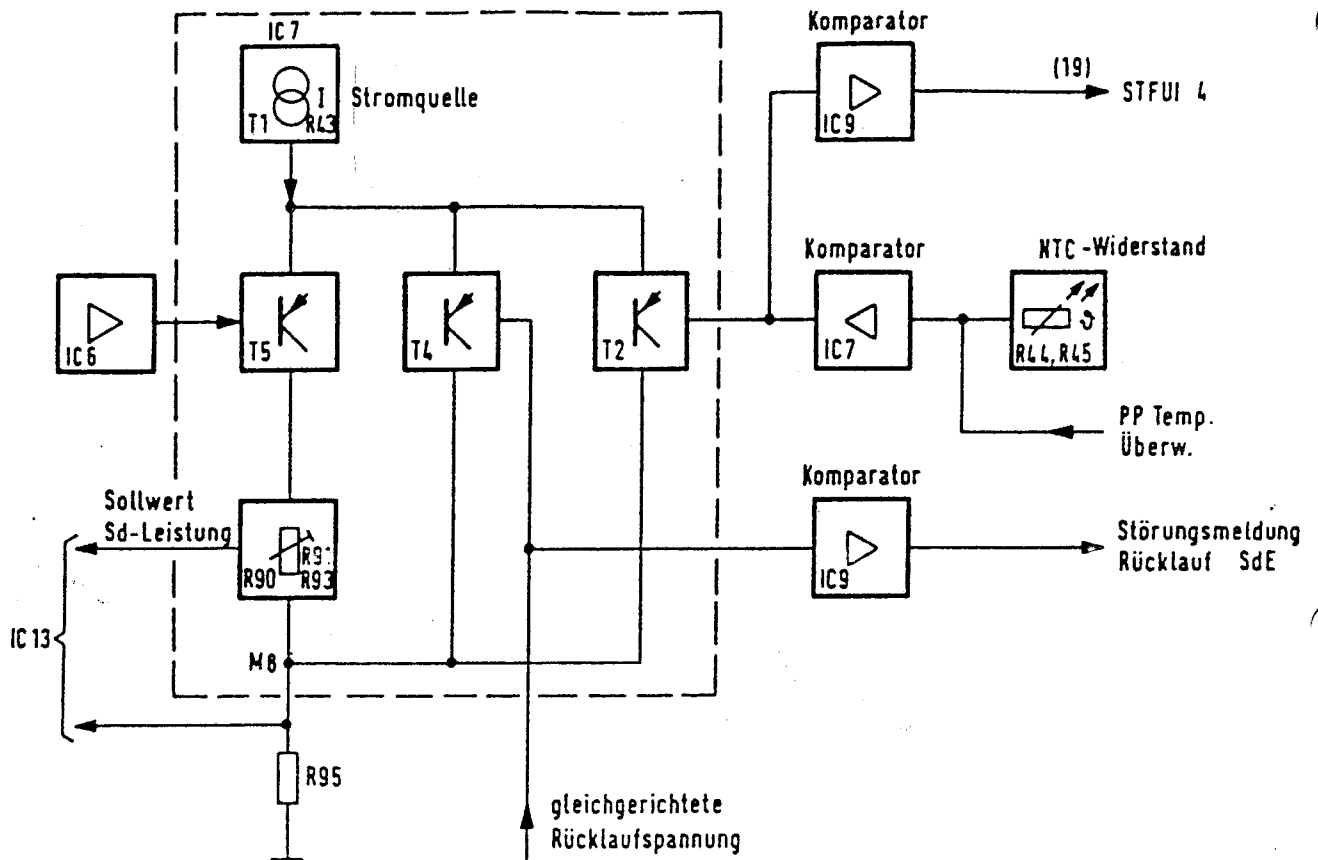


Bild 1-7 Blockschaltbild
Sollwerterzeugung SdRgl 3

Die Spannung an R95 (M8) ist identisch mit dem Analogwert der Ansteuerung von IC7/2, wobei eine Regelung über R43 und IC7 erfolgt (siehe Bild 1-7).

Mit dem Trimmerwiderstand R90 wird der Sollwert für die abzugebende Senderleistung eingestellt und über R97 dem Regelverstärker IC13/6 zugeführt. Mit R91 parallel zu R93 wird die größte einstellbare Ausgangsleistung vorgegeben.

Die Referenzspannung erhält IC13/6 gleichzeitig von IC12/7 über den Teiler R26, R121 und R100 und an IC13/5 liegt die Gleichspannung von IC5/5 (gewonnen aus der Vorlaufspannung) über den Teiler R102, R122, R120, R101 und den Schalter S1/4, 5, 6.

Außerdem gelangt die Spannung von R95 über R123 an den Anschluß 5 von IC13, das die aus diesen Gleichspannungen resultierende Differenzspannung im Regelverstärker IC13/5, 6, 7 verarbeitet.

Der so erzeugte Sendersteuerstrom I_{st1} wird von IC13/7 über den Impedanzwandler T3 an den Ausgang (9) gelegt (Ansteuerung der Diode GR5 des Sendeverstärkers).

Mit dem Schalter S1/4, 5, 6 kann, für den Abgleich des Sendeverstärkers, von "Regeln" auf "Steuern" umgeschaltet werden. Dabei wird der Eingang des Regelverstärkers IC13/5 auf festes Potential gelegt und R114 über T3 parallel zu C31 geschaltet. Der Steuerstrom I_{st1} wird mit dem Spannungsabgriff an R90 gesteuert. Rücklauf-Rückregelung und Übertemperatur-Rückregelung sind weiterhin über die Stromverteilung von T2, T4 und T5 wirksam (siehe auch Bild 1-7 - Seite 1-25).

Im Ruhezustand wird über den Analogschalter IC4/1,5,12 der Eingang IC13/6 auf festes Potential geschaltet. Damit ist sichergestellt, daß im Ruhezustand immer der maximale Steuerstrom I_{st1} fließt und die kleinste Sendeleistung einstellt.

Der Sendertastbefehl SEI (H-Potential) vom Funkkanalmodem FKM am Eingang (12) schaltet über IC17/1,2,3 - IC2/5,6,4 - IC2/2,3 - IC2/12,13,11 zum einen über T6 das Signal "SdVr Ein" (T6 wird gesperrt und damit das Ansteuerpotential für den Schalttransistor T8 im Endverstärker weggenommen) am Ausgang (7) und über IC13/3,1 das Signal I_{st2} mit H an den Ausgang (8) (Ansteuern des Schalttransistors T7 des Vorverstärkers).

Mit IC3/1,2,3 werden die Signale I_{st2} und "SdVr Ein" verzögert zu SEI abgeschaltet. Damit wird über die Regelung L3, C71, L4, C72 an T3 (SdVr) die Leistung des Senderverstärkers an T3 "weich" heruntergeregelt (< -50 dBc) bevor er über I_{st2} und "SdVr Ein" abgeschaltet wird (< -80 dBc).

Der temperaturabhängige Widerstand R44 (NTC) ist auf die Kühlfläche der Endstufentransistoren des Senderverstärkers montiert.

Bei Erwärmung wird R44 niederohmiger. Mit R45 ist die Schaltschwelle für IC7 eingestellt. Wird die Schaltschwelle unterschritten, steuert IC7/7 den Transistor T2 durch. Die Stromverteilung von T2, T4, T5 ändert sich. Der Strom durch T5 wird kleiner und damit auch die Steuerspannung an R90 für IC13 (siehe auch Bild 1-7 - Seite 1-25).

Der Senderregelstrom I_{st1} wird vergrößert, die Ausgangsleistung verkleinert. Außerdem wird über IC9/2,3,1 - IC14/3,2 das Signal STFUI 4 mit L an den Ausgang (19) gelegt.

Mit steigendem Rücklauf (Rückl.) wird die Gleichspannung an M3 größer.

Dadurch wird die Gleichspannung nach dem Subtrahierer IC6/2,3,1 an M7 kleiner. Der Transistor T4 wird niederohmiger. Dadurch ändert sich die Stromverteilung über T2, T4 und T5.

Der Strom durch T5, R90 wird geringer. Damit wird die an R90 abgegriffene Steuerspannung für den Regelverstärker IC13/6 kleiner, seine Ausgangsspannung steigt. Der über den Transistor T3 erzeugte Sendersteuerstrom I_{st1} wird ebenfalls größer und regelt die Ausgangsleistung der Endstufe herunter. Durch die verkleinerte Ausgangsleistung kann die HF-Rücklaufleistung nicht mehr ansteigen. Mit dem Abgleichwiderstand R66 wird die zulässige HF-Rücklaufleistung eingestellt. Unterschreitet die Gleichspannung an M7 den im Komparator IC9 - R81, R82, R83, R84 fest eingestellten Schwellwert, wird über IC14/5,4 das Signal "Stör. Meldg. Rückl. SdE" mit L an den Ausgang (20) gelegt.

Der Regelverstärker IC13/5,6,7 wird mit den beiden Komparatoren IC10/2,3,1 und IC10/6,5,7 überwacht. Dafür ist der Schwellwert des einen Komparators auf einen Wert nahe der Betriebsspannung und beim anderen nahe 0 V eingestellt. Über- oder unterschreitet die Ausgangsspannung von IC13/7 diese Werte, wird über IC18/8,9,10 - IC18/6,5,4 - IC14/14,15 das Signal STFUI 3 (Sd Rgl.) mit L an den Ausgang (16) gelegt.

Zur Überwachung der HF-Spannung am Eingang wird im Vorverstärker ein Meßpegel ausgekoppelt und gleichgerichtet. Außerdem wird im Vorverstärker eine Referenzspannung erzeugt.

Die aus der Hochfrequenz gewonnene Gleichspannung U_{HFSDSy} liegt am Eingang (6) an. Die Gleichspannung U_{Ref} liegt am Eingang (5) an.

IC8/6,5,7 subtrahiert die beiden Signale. Mit dem Abgleichwiderstand R232 wird die Schaltschwelle des Komparators IC8/3,2,1 so eingestellt, daß bei Eingangspegeln ≥ 10 dBm das Ausgangssignal STFUI 0 mit H und bei Eingangspegeln ≤ 7 dBm mit L am Ausgang (17) anliegt.

5 ARBEITSWEISE DER BAUGRUPPEN SdÜw1

5.1 Richtkoppler - Senderüberwachung RiK SdÜw
 Ident-Nr. 3134 164112

Der Richtkoppler besteht aus zwei Leiterplatten:

- der Richtleitung und
- dem Richtkoppler-Verstärker.

5.1.1 Richtleitung - Senderüberwachung RiLtg SdÜw
 Ident-Nr. 3234 164108

(Hierzu siehe auch Teil 4 - Seite 4-24.)

Auf der Richtleitung-Leiterplatte sind eine Durchgangsleitung zwischen den Buchsen Bu1 und Bu2 (Ausgang zur Koppelleinrichtung) und zwei Auskoppelleitungen VL und RL untergebracht.

Die Auskoppelleitungen sind mit jeweils 50 Ohm (R90, R91 bzw. R92, R93) abgeschlossen. Der ausgekoppelte Meßpegel, der um ca. 25 dB gegenüber dem Sendesignal gedämpft ist, wird auf den Richtkoppler-Verstärker gegeben (siehe auch Bild 1-4 - Seite 1-16).

5.1.2 Richtkopplerverstärker - Senderüberwachung RiKVr SdÜw
 Ident-Nr. 3234 164110

(Hierzu siehe Teil 4 - Seite 4-24.)

Vergl. mit Blockschaltbild RiKVr (siehe Bild 1-8 - Seite 1-30).

Beim Richtkopplerverstärker ist mit IC5 eine Spannungsstabilisierung aufgebaut.

Am Vorlaufeingang VL befindet sich ein Oberwellenfilter aus C12, L1, C14 und L2.

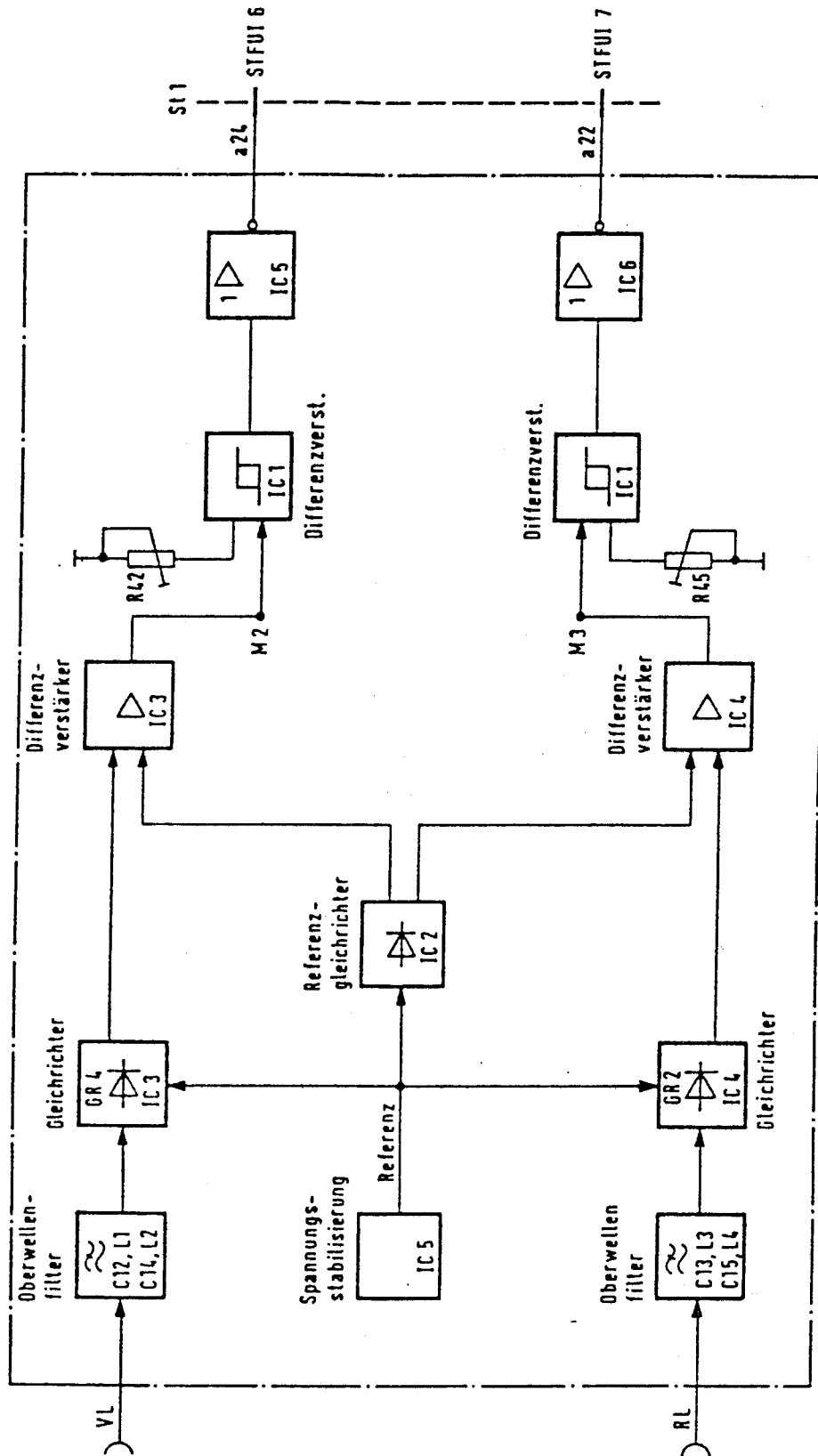


Bild 1-8 Blockschaltbild
Richtkopplerverstärker - Senderüberwachung

Diesem folgt der Gleichrichter GR4 - IC3/2,3,1. Am Rücklaufeingang RL befindet sich ein Oberwellenfilter aus C13, L3, C15 und L4. Diesem folgt der Gleichrichter GR2 - IC4/3,2,1.

Mit IC2/2,3,1 ist ein Referenzgleichrichter aufgebaut, um den Temperaturgang der Dioden GR4 und GR2 auszugleichen. IC3/6,5,7 bildet die Differenz zwischen Vorlauf- und Referenzspannung.

IC4/5,6,7 bildet die Differenz zwischen Rücklauf- und Referenzspannung.

IC1/3,2,1 vergleicht die am Meßpunkt M2 anstehende Gleichspannung mit einem Schwellwert, eingestellt mit R42. Mit diesem Schwellwert wird die Störungsmeldung für einen Vorlauf $< 12,5$ W eingestellt. Wird dieser Wert der HF-Ausgangsleistung unterschritten, liegt über IC6/5,6 - 11,12 - 14,15 an St1/a24 "L" an: Störungsmeldung STFUI 6 (VL zu klein).

IC1/6,5,7 vergleicht die am Meßpunkt M3 anstehende Gleichspannung mit einem Schwellwert, eingestellt mit R45. Mit diesem Schwellwert wird die Störungsmeldung für einen Rücklauf $> 4,0$ W eingestellt. Wird dieser Wert der HF-Rücklaufleistung überschritten, liegt über IC6/7,6 - 9,10 an St1/a22 "L" an: Störungsmeldung STFUI 7 (RL zu groß).

R42 und R45 sind bei abgenommener Abdeckung des Einsatzes Sdüwl von vorne zugänglich.

5.2 Einwegleitung (Isolator)

Ident-Nr. 3133 164269

Die Einwegleitung (Isolator) stellt einen nichtreziproken Vierpol dar, der die HF-Leistung nur in einer Richtung vom Eingang zum Ausgang mit relativ geringer Durchlaßdämpfung (ca. 0,5 dB) überträgt. Diese Durchlaßdämpfung wird durch einen Pfeil gekennzeichnet (siehe Teil 4 - Seite 4-20).

Die Wirkung des Isolators beruht auf magnetischen Effekten von Ferritmaterial, welches von einem starken Magnetfeld durchsetzt wird.

Wird HF-Leistung entgegen der Durchlaßrichtung durch den Isolator geschickt, wird sie stark gedämpft (ca. 25 dB), wobei die Leistung an einem eingebauten bzw. extern angebrachten Abschlußwiderstand verbraucht wird.

Der verwendete Doppelisolator besteht aus einer Serienschaltung von zwei Isolatoren in einem Gehäuse, wobei sich etwa die doppelten Werte für Durchgangsdämpfung und Sperrdämpfung ergeben.

Wegen der geringen Entkopplung der Sender gegeneinander (minimal 16 dB) wird ständig durch die Sendeleistung der Nachbarsender (minimaler Frequenzabstand 200 kHz) künstlich ein Rücklauf erzeugt, der auch dann vorhanden ist, wenn der eigene Sender abgeschaltet ist. Deshalb läßt sich aus einem Vor-/Rücklaufvergleich kein Abschaltkriterium für den Sender bilden. Im Störfall wird der Sender vom Funkkanalmodem (FKM) abgeschaltet. Aus diesem Grund muß der Abschlußwiderstand R1 (Ident-Nr. 3700 164270) des ersten Isolators im Störfall für ≤ 10 min die volle HF-Ausgangsleistung (≤ 56 W) des Senders aushalten.

R1 hat eine Belastbarkeit von 60 W, ist außen am Isolator angebracht und über einen Koaxstecker angeschlossen.

Der Abschlußwiderstand R2 des zweiten Isolators ist eingebaut und hat eine Belastbarkeit von ca. 6 W.

6 AUFBAU DES FUNKGESTELLS

6.1 Funkgestell SE72 FuG Ident-Nr. 2622 281470

Das Funkgestell SE72 ist in 7R-Bauweise ausgeführt. Es besteht aus zwei Aluminiumprofilen, die vertikal im Abstand von 121,2 mm auf einem Gestellfuß befestigt sind (siehe Teil 4 - Seite 4-3 und Bild 1-9 - Seite 1-34). Diese Profile werden durch Querverbindungen auf gleichen Abstand gehalten. Zur Aufnahme der verschieden hohen Einsätze sind Aufnahmeleisten in unterschiedlichem Abstand mit den Gestellholmen verschraubt, die das Gestell zusätzlich verstreben. Zwischen den beiden Profilstangen ist die Gestellverdrahtung mit den Anschlüssen für die Einsätze angeordnet. Am oberen Ende des Gestells ist das Anschlußfeld untergebracht, das die Verbindung zu anderen Gestellen und zu den Einsätzen herstellt. Nur für die Stromversorgung ist eine eigene Anschlußplatte vorgesehen, um die Amtsbatteriespannung abgeschirmt zuführen zu können.

Die Gestellverdrahtung enthält:

- die Stromzuführung zu den einzelnen Einsätzen
- die Signalleitungen von Einsatz zu Einsatz und vom Einsatz zum Anschlußfeld
- die koaxialen Verbindungsleitungen von Einsatz zu Einsatz und vom Einsatz zum Anschlußfeld.

Am linken Gestellholm befindet sich oben ein Lötanschluß für die Betriebsschutzerde (BSE).

Aus Gründen der elektromagnetischen Verträglichkeit (EMV) sind alle Stromversorgungsleitungen und Signalleitungen abgeschirmt. Eine gegenseitige Beeinflussung wird dadurch verhindert, daß die Stromversorgungsleitungen und die Signalleitungen in getrennten Kabelbäumen geführt werden.

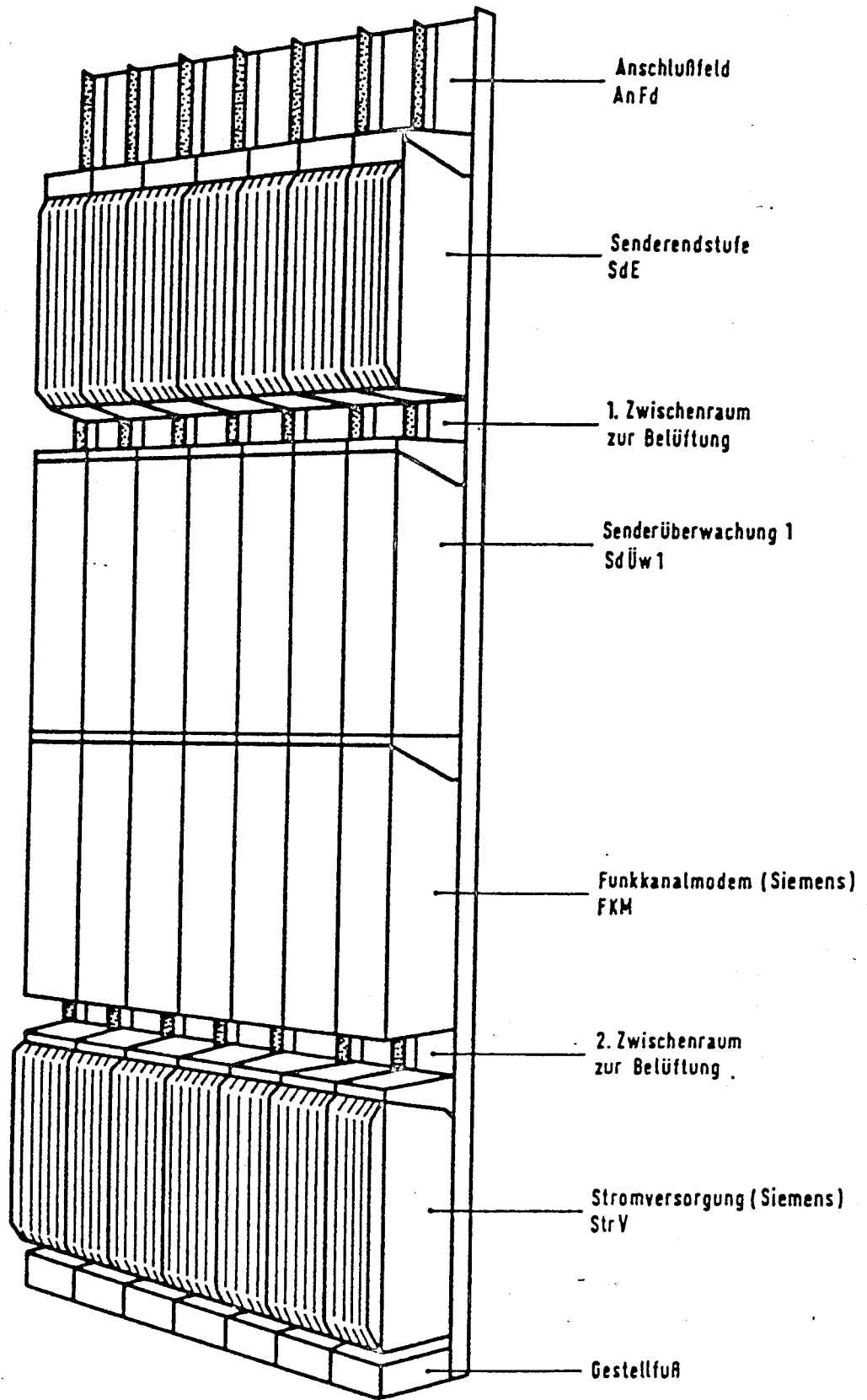


Bild 1-9 Ansichtszeichnung
 Funkgestelle SE72

Um die durch direkte Einstrahlung von benachbarten Sendern entstehende Intermodulationsprodukte zu verringern, werden die koaxialen Verbindungsleitungen teilweise innerhalb der Gestellholme geführt.

Eine Anordnung der einzelnen Einsätze im Gestell bzw. den Gesamtumfang des Funkgestells SE 72 vermittelt Bild 1-9 - Seite 1-34.

Dargestellt sind 7 Kanäle. Da ein Gestell alle Einrichtungen (Einsätze) aufnehmen kann, die für einen Funkkanal nötig sind, entspricht ein Gestell gleich einem Funkkanal.

6.2 Anschlußfeld SE72

Das gesamte Anschlußfeld besteht aus den folgenden Funktionsgruppen (siehe Bild 1-10 - Seite 1-36):

- Zwei 26poligen Federleisten (Bu1, Bu2) für den Anschluß an das Zentralgestell und das zu mehreren Funkgestellen führende Bussystem (siehe auch Teil 4 - Seite 4-1).
- einem Richtkoppler (RiK) Bu5, Bu6, Bu7 für den Anschluß der zentralen 6,4-MHz-Taktversorgung, die von Gestell zu Gestell durchgeschleift wird.
Der Richtkoppler nimmt den 6,4-MHz-Takt auf und gibt ihn um ca. 13 dB gedämpft an das Funkkanalmodem (FKM) weiter.
- je einer N-Buchse für Sender (Bu3) und Empfänger (Bu4), um den Betrieb mit Koppereinrichtungen zu ermöglichen.
Bei Betrieb ohne Koppereinrichtung, d.h. bei Verwendung des Einsatzes Antennenweiche, wird die gemeinsame Antenne an der Buchse Bu3 (Sd) angeschlossen.
- einer Leiterplatte Anschlußfeld AnFd (Ident-Nr. 3234 163262).
Zeichnungen siehe Teil 4 - Seite 4-4...5.

Auf der Leiterplatte Anschlußfeld sind die DIP-FIX-Schalter zur Einstellung der Gestelladresse QADR 0...7 und der Laufzeitkorrektur L KORR 1...3 angeordnet. (Siehe Teil 4 - Seite 4-4 und Bild 1-11 - Seite 1-37.)

Außerdem enthält die Leiterplatte AnFd Lötstützpunkte für die Abschlußwiderstände R1, R2 und R3 (je 220 Ohm), die jeweils im letzten Funkgestell eingelötet werden, das über das Bussystem betrieben wird.

AnFd SE 72

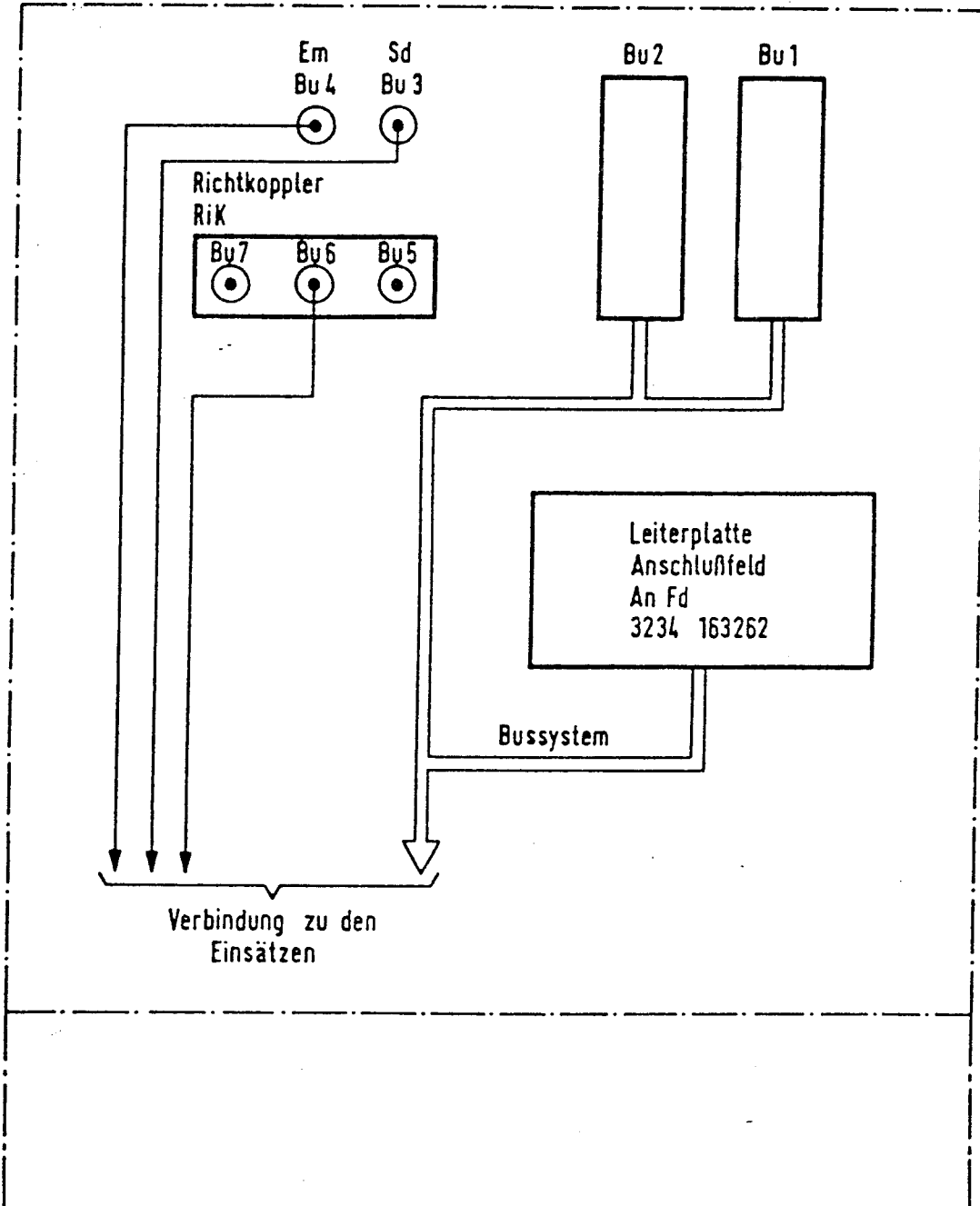


Bild 1-10 Blockschaltbild
Anschlußfeld SE72

von vorne gesehen

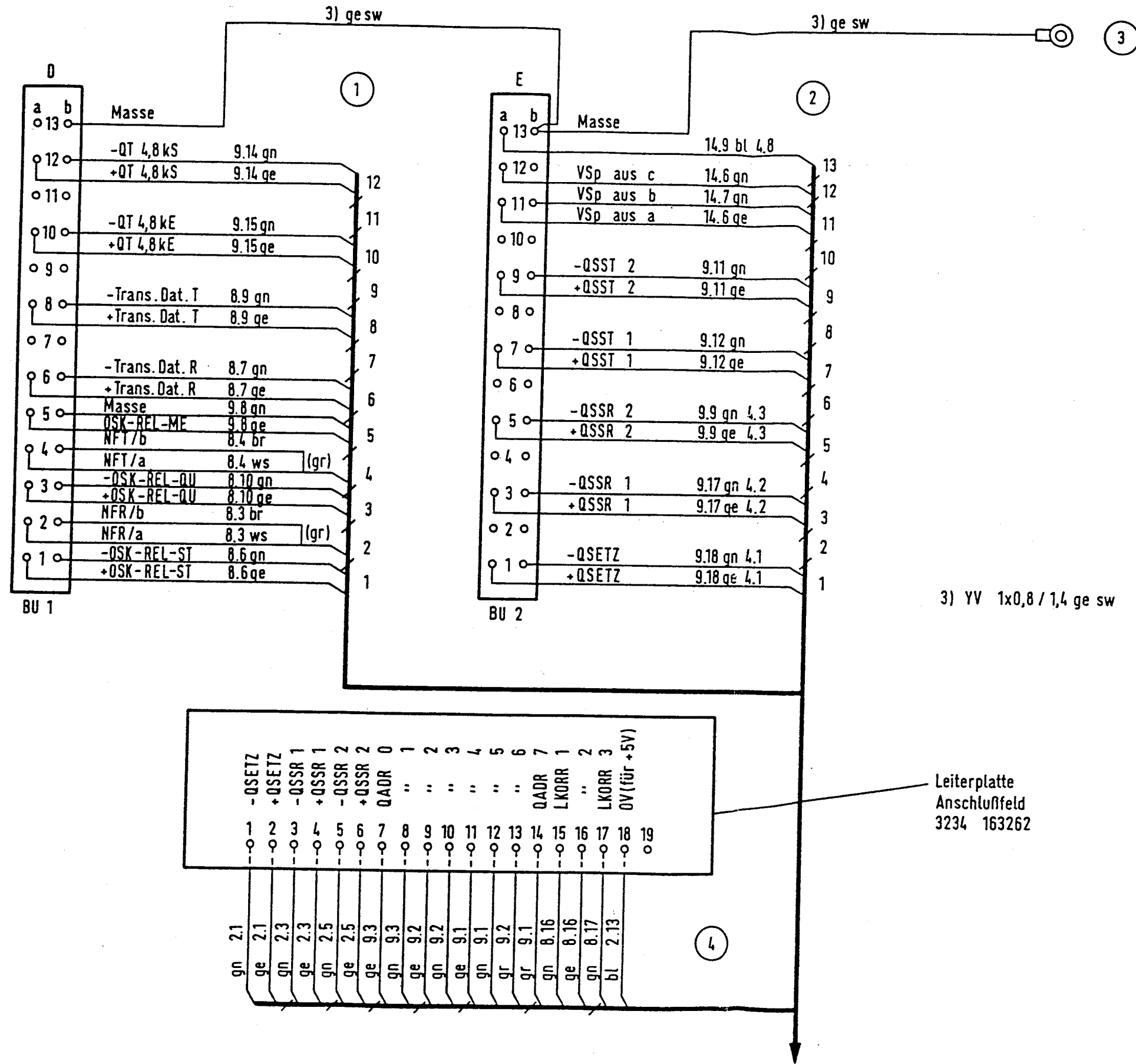
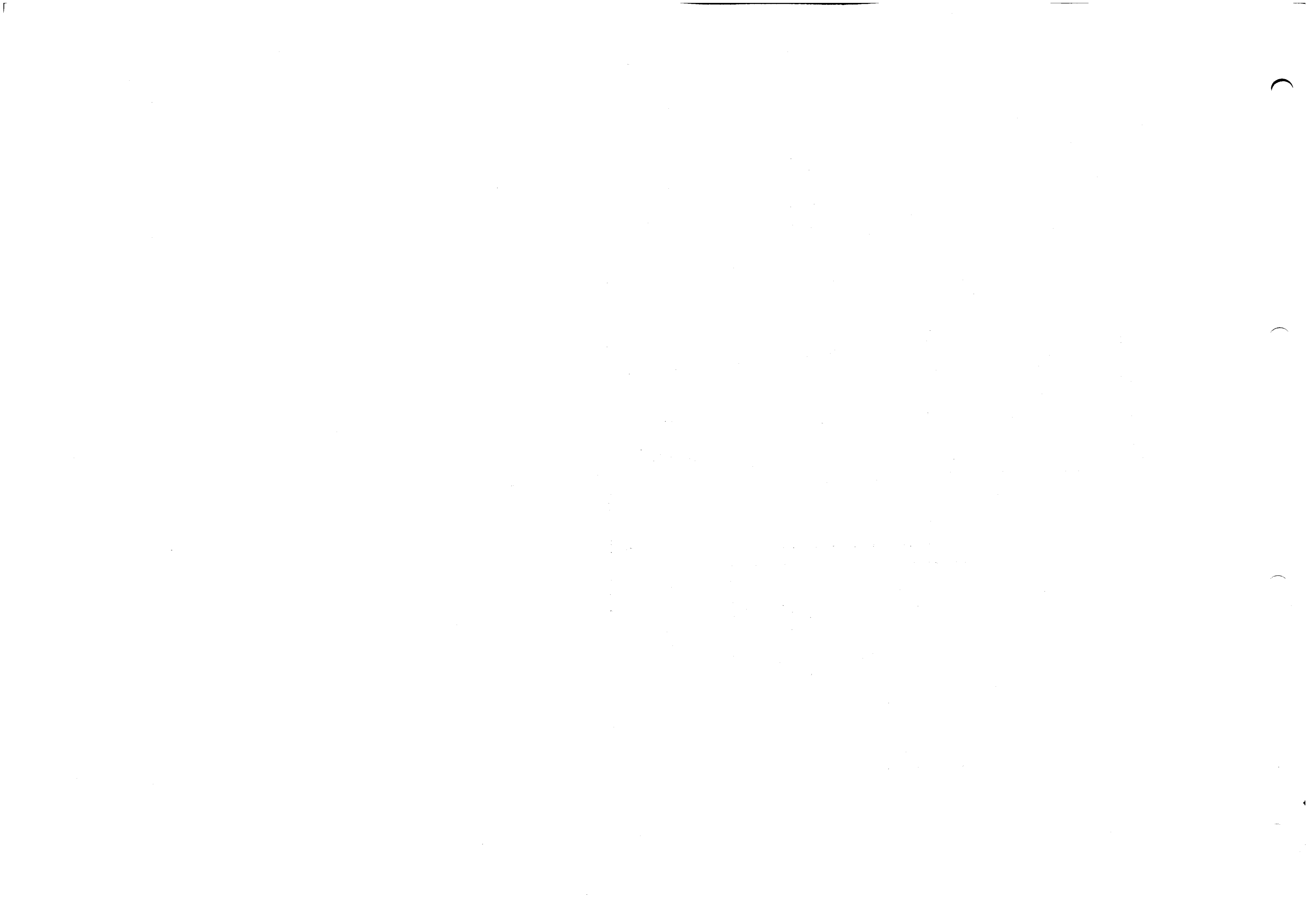


Bild 1-11 Signalbelegung
Anschlußfeld SE72



BAUGRUPPEN-BEZEICHNUNGEN, ABKÜRZUNGEN,
ABMESSUNGEN, GEWICHTE

Gegenstand	Abkürzungen	Ident-Nr.	Abmessungen in mm (HxBxT)	Gewicht in kg
Funkgestell	FuG	2622 282470	2995x121x207	ca. 8,7
Anschlußfeld	AnFd	3234 163262	-	-
Richtkoppler	RiK	V42244-W2-A	-	-
Einsätze				
Senderendstufe SE72	SdE	2627 281480	495x110x241	ca. 12,0
SdE mit U-Schiene	-	3136 154979	-	-
SdE mit Rahmen	-	3136 154978	-	-
Senderverstärker	SdVr	3237 150421	-	-
Richtleitung	RiLtg	3237 154755	-	-
Senderregelung 3	SdRgl 3	3237 154876	-	-
Senderüberwachung 1 SE72	Sdüw1	2627 282080	495x110x231	ca. 6,5
Richtkoppler, Sdüw	RiK Sdüw	3134 164112	-	-
Richtleitung, Sdüw	RiLtg			
	Sdüw	3234 164108	-	-
Richtkopplerverst., Sdüw	RiKVr			
	Sdüw	3234 164110	-	-
Isolator	WE1	3133 164269	-	-
Lastwiderstand	R1	3700 164270	-	-

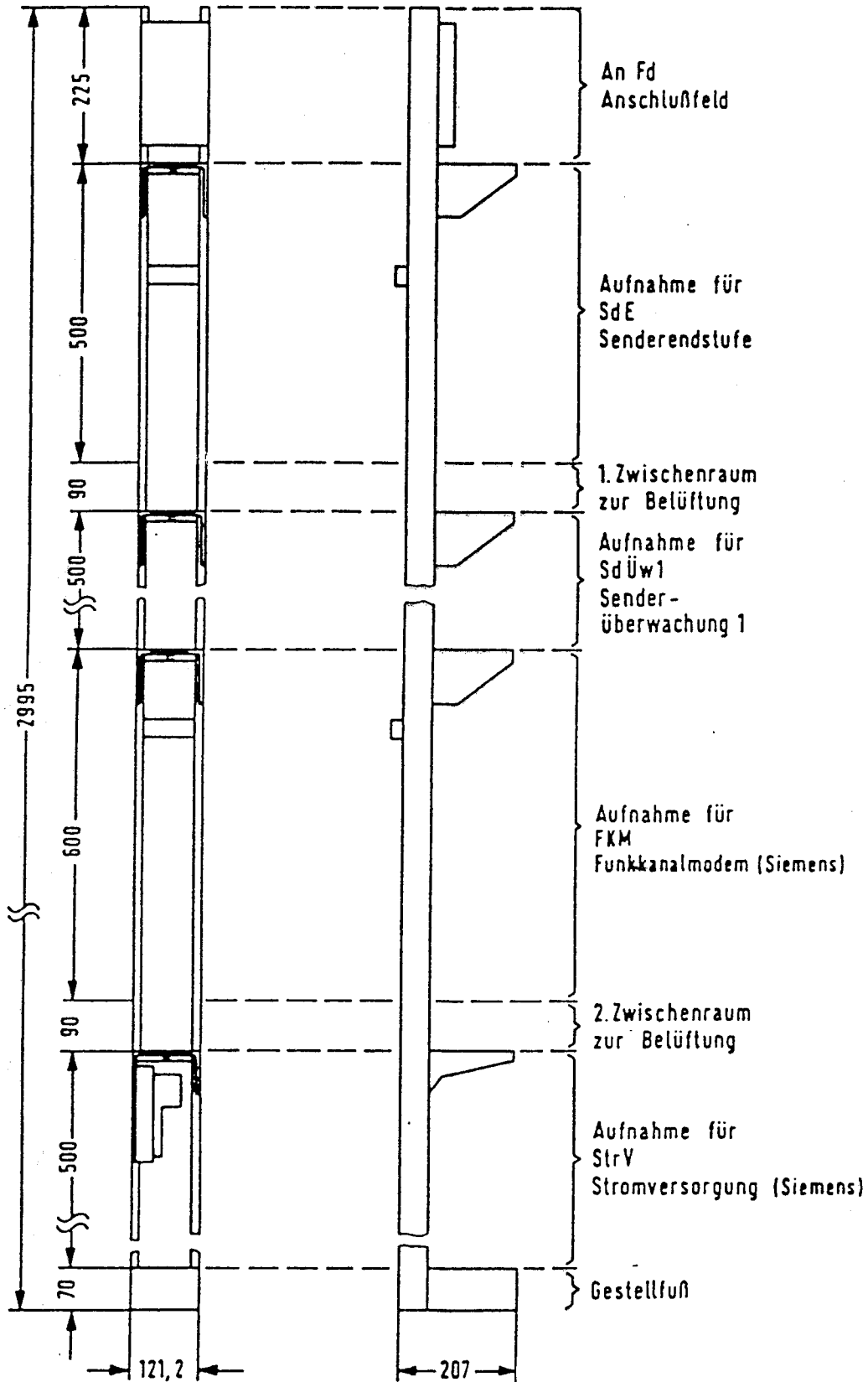


Bild 1-12 Abmessungen
Funkgestell SE72

8.1 Allgemeines

BeO-Keramik, ein durch Sintern physikalisch gebundenes BeO-Pulver, besitzt die optimale Kombination der Eigenschaften:

- Elektrische Isolation und
- Wärmeleitfähigkeit.

BeO-Keramik wird in der Elektrotechnik/Nachrichtentechnik in Form von Wärmeableitscheiben sowie als Bestandteil von Leistungshalbleitern eingesetzt; so auch in Senderendstufen. Hier kommt es darauf an, neben der elektrischen Isolation die Verlustwärme der Leistungstransistoren so schnell wie möglich an die Kühlflächen zu leiten.

BeO-Keramik stellt in der oben beschriebenen Form kein gefährliches Material dar, sofern dieses Material nicht durch äußere mechanische Einwirkung zerstört wird.

8.2 Reparatur von Baugruppen mit BeO-Keramik behafteten Bauteilen

Bei unsachgemäßer Handhabung von Baugruppen mit BeO-Keramik behafteten Bauteilen kann dies zu Vergiftungen führen. Aus diesem Grund werden Reparaturen dieser Baugruppen grundsätzlich beim Hersteller durchgeführt. Sollten dennoch Reparaturen durch den Kunden, bzw. durch Reparaturaufträge an Dritte solche Arbeiten durchgeführt werden, sind unbedingt die folgenden Vorschriften einzuhalten:

- "Verordnung über gefährliche Arbeitsstoffe", Anhang 1, Bundesgesetzblatt 1975, Teil 1, S. 2493 und S. 2494
- "Unfallverhütungsvorschriften, Anhang 1 "Schutz gegen gefährliche chemische Stoffe", (Ausgabe 1.80) S. 25, Punkt 22

Für die Folgen unsachgemäßer Behandlungen übernimmt die Philips Kommunikations Industrie AG keine Haftung.

Abkürzung	Bezeichnung	Signal von → zu
AT	HF-Signal zur Antenne	RiK SdÜw → AnFd
HF-Input	HF-Eingangssignal (SdE)	(Siemens) → SdVr
HF-Output	HF-Ausgangssignal (SdE)	SdVr → SdÜw1
Ist1	Steuerstrom für Leistungseinstellung	SdRgl 3 → SdVr
Ist2	Steuerstrom für Vorverstärker	SdRgl 3 → SdVr
LKORR 1	Laufzeitkorrektur	
LKORR 2	Laufzeitkorrektur	
LKORR 3	Laufzeitkorrektur	
Masse		
NFR/a	NF-Signal vom Empfänger	
NFR/b	NF-Signal vom Empfänger	
NFT/a	NF-Signal zum Sender	(Siemens) → AnFd
NFT/b	NF-Signal zum Sender	
OSK-REL-ME		
-OSK-REL-QU		
+OSK-REL-QU		
-OSK-REL-ST		
+OSK-REL-ST		
PP Temp.Überw.	Temperaturüberwachung	(Siemens) → SdRgl 3
QADR 0	Gestelladresse 0	
QADR 1	Gestelladresse 1	
QADR 2	Gestelladresse 2	
QADR 3	Gestelladresse 3	(Siemens) → AnFd
QADR 4	Gestelladresse 4	
QADR 5	Gestelladresse 5	

Abkürzung	Bezeichnung	Signal von → zu
QADR 6	Gestelladresse 6	
QADR 7	Gestelladresse 7	
QSET	Taktsignal am ZG (FV1,2)	
-QSETZ	Taktsignal am AnFd SE72	
+QSETZ	Taktsignal am AnFd SE72	
-QSSR1		
+QSSR1		
-QSSR2		
+QSSR2		
-QSST1	Sendesignal FDS SE72	(Siemens) → AnFd
+QSST1	Sendesignal FDS SE72	
-QSST2	Sendesignal FDS SE72	
+QSST2	Sendesignal FDS SE72	
-QT 4,8 KE		
+QT 4,8 KE		
-QT 4,8 KS		
+QT 4,8 KS		
QTA 6,4 M	6,4-MHz-Takt vom PHE	
RL1 Ansteuerung		
RL1 Steuerleitung		
RL zu groß	STFUI 7	SdÜw1 → (Siemens)
Rüchl.	Rücklaufende HF-Leistung	SdVr → SdRgl 3
Reserve		SdÜw1 → (Siemens)
Sd	HF-Ausgangssignal	SdE → RiK SdÜw
SdVr "ein"	Leistungsregelung über Vorstufe	SdRgl 3 → SdVr

Abkürzung	Bezeichnung	Signal von → zu
SEI	Sendertastbefehl	SdRgl 3 → SdVr
SLEI 0 (SELEI 0)	3-bit-Befehl zur Einstellung der Sendeleistung	(Siemens) → SdRgl 3
SLEI 1 (SELEI 1)		
SLEI 2 (SELEI 2)		
STFUI 0	HF-Eingangsspiegel an der SdE	SdRgl 3 → SdVr
STFUI 3	Sendeleistungsregelung gestört	SdRgl 3 → (Siemens)
STFUI 4	Übertemperaturalarm	SdRgl 3 → (Siemens)
STFUI 6	Vorlaufende HF-Sendeleistung am Antennenanschluß	RiKVr SdÜw → (Siemens)
STFUI 7	Rücklaufende HF-Sendeleistung am Antennenanschluß	RiKVr SdÜw → (Siemens)
Stör. Meldg. Rüchl. SdE	Störungsmeldung RL der SdE	SdRgl3 → (Siemens)
-Trans.Dat. R	Transit-Daten, Empfänger	(Siemens) → AnFd
+Trans.Dat. R	Transit-Daten, Empfänger	
-Trans.Dat. T	Transit-Daten, Sender	
+Trans.Dat. T	Transit-Daten, Sender	
U _{HFSdSy}	Der HF proportionale Gleichspannung	SdVr → SdRgl 3
U _{Ref}	Referenzspannung	SdVr → SdRgl 3
V _L zu klein	STFUI 6	SdÜw1 → (Siemens)
Vorl.	Vorlaufende HF-Leistung	SdVr → SdRgl 3

Abkürzung	Bezeichnung	Signal von → zu
0V (für +5V)] Gleichspannung aus DC-StrV [StrV → SdE
+5 V		StrV → SdE
-10 V] Gleichspannung aus DC-StrV [SdVr → SdRgl 3
+13,8 V		StrV → SdE

Ant	Antenne
AT	Antenne
AtWe	Einsatz, kpl. Antennenweiche
AUTOST	Programm "automatischer Start"
BeO	Beryllimoxyd
BSE	Betriebsschutzerde
CCITT	Zwischenstaatlicher, beratender Ausschuß für den Telegraphen- und Telefondienst
dB	Dezibel
dBc	Dezibel bezogen auf den Träger
dBm	Dezibel bezogen auf 1 mW an 600 Ohm
DC-StrV	Gleichspannungsstromversorgung
ED	electronic disc
EINZEL	Programm "Einzelmessung"
Em	Empfänger im FKM
EmTrVr	Empfängertrennverstärker
EmV	Elektromagnetische Verträglichkeit
EmWe	Empfängerweiche
FDS	Funkdatensteuerung
FKM	Funkkanalmodem
FME	Funkmeßempfänger
FTZ	Fernmeldetechnisches Zentralamt
FuFSt	Funktteststation (Fuko)
FuKo	Funkkonzentrator (Funkfeststation)
FuTeld	Funktelefondienst
FV	Frequenzverteiler
KE	Koppeleinrichtung
Kpl.	Komplett
MESSP	Meßprogramm

NTC-Widerstand	Widerstand mit negativem Temperaturkoeffizienten
PBR	Prüf- und Bedienrechner
PFG	Prüffunkgerät
PHE	Phasenempfänger
Prefl.	Reflektierte Sendeleistung
PSE	Prüfsender
PW01	Sendeleistungsstufe 1
RiK	Richtkoppler
RL	Rücklauf
Rüchl.	Rücklauf
Rüchl. Schutzsch.	Rücklaufschutzschaltung
Sd	Sender
SdFi	Senderfilter
Sd Rgl.	Senderregelung
SdWe	Senderweiche
SE	Sende-/Empfangseinrichtung
StrV	Stromversorgung
SVR	Sendevolumenregler
UHF	Ultrahochfrequenz (450 MHz)
VL	Vorlauf
Vorl.	Vorlauf
WT	Wechselstromtelegraphie
ZG	Zentralgestell

